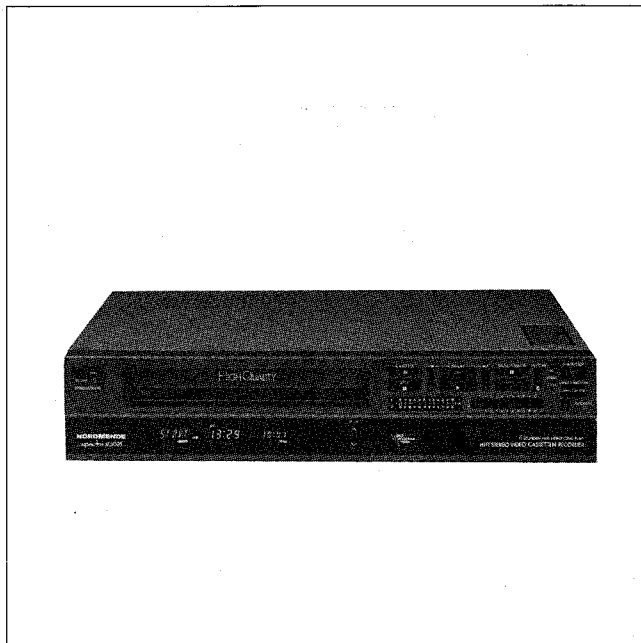


# SERVICE HANDBUCH SERVICE MANUAL



**video-vision V 5005**  
**986.340 H / 986.341 K**

Teil 2 Schaltungsbeschreibung  
Part 2 Circuit description

**NORDMENDE**

**TECHNISCHER KUNDENDIENST**

# Inhaltsverzeichnis

# Table of contents

Kapitel	Seite	Section	Page
<b>2. Beschreibung der Mechanik</b>		<b>2. Mechanism Description</b>	
<b>2.1 Funktion der Motoren</b>	3	<b>2.1 Function of main parts</b>	3
2.1.1 Kopftrommelmotor	3	2.1.1 Drum motor	3
2.1.2 Capstan Motor	3	2.1.2 Capstan motor	3
2.1.3 Betriebsart-Steuermotor	5	2.1.3 Mode control motor	5
<b>2.2 Betriebsartenwechsel und Beschreibung</b>	11	<b>2.2 Mode shift and description</b>	11
2.2.1 Betriebsartenwechsel	11	2.2.1 Mode shift	11
2.2.2 Beschreibung der Betriebsarten	11	2.2.2 Mode description	11
<b>2.3 Cassettenfach-Funktion</b>	15	<b>2.3 Cassette housing operation</b>	15
2.3.1 Cassetten-Einfädelmechanik	15	2.3.1 Cassette loading mechanism	15
2.3.2 Cassetten-Lade-/Entladeendabschaltung	16	2.3.2 Cassette loading and eject and detect	16
2.3.3 Klappenmechanismus	16	2.3.3 Upper and lower door mechanism	16
<b>3. Schaltungsbeschreibung</b>		<b>3. Circuit description</b>	
<b>3.1 Mechanik Steuersystem</b>	17	<b>3.1 Mechanism control</b>	17
3.1.1 Allgemeines	17	3.1.1 General description	17
3.1.2 Funktion der Laufwerksteuerung	17	3.1.2 Mechanism	17
3.1.3 Funktion der Schaltung	21	3.1.3 Circuit operation	21
3.1.4 Funktion des Mechacons	28	3.1.4 Mechacon operations	28
<b>3.2 Servo Schaltung</b>	30	<b>3.2 Servo circuit</b>	30
3.2.1 Digitales Servo System	30	3.2.1 Digital servo system	30
3.2.2 Digital Servo LSI	36	3.2.2 Digital servo LSI	36
3.2.3 Signalfuß des Kopftrommel Servo Systems	36	3.2.3 Drum servo system signal flow	36
3.2.4 Signalfuß des Capstan Servo	37	3.2.4 Capstan servo signal flow	37
3.2.5 Doppel-Azimuth Videoköpfe	38	3.2.5 Dual azimuth video head	38
3.2.6 Zeitlupe und Standbild	39	3.2.6 Slow and still	39
<b>3.3 Videoschaltung</b>	45	<b>3.3 Video circuit</b>	45
3.3.1 Allgemeines	45	3.3.1 General	45
3.3.2 LP-Betrieb	45	3.3.2 LP mode	45
3.3.3 Aufnahme des Luminanzsignals	47	3.3.3 Luminance signal recording system	47
3.3.4 Wiedergabe des Luminanzsignals	48	3.3.4 Luminance signal playback system	48
3.3.5 Aufnahme des Chromasignals	52	3.3.5 Color signal recording system	52
3.3.6 Wiedergabe des Chromasignals	53	3.3.6 Color signal playback system	53
3.3.7 HQ; High-Quality-System	60	3.3.7 High quality system	60
<b>3.4 Audio Schaltung</b>	64	<b>3.4 Audio circuit</b>	64
3.4.1 Ton-Eingangsschaltung	64	3.4.1 Audio input circuit	64
3.4.2 Ton-Ausgangsschaltung	65	3.4.2 Audio output circuit	65
3.4.3 FM-Tonstufe	65	3.4.3 FM audio circuit	65
3.4.4 Standard-Tonschaltung	66	3.4.4 Normal audio circuit	66
<b>3.5 Tuner/ZF-Schaltung</b>	67	<b>3.5 Tuner/IF circuit</b>	67
3.5.1 Kanalwahlsystem	67	3.5.1 Channel selection system	67
3.5.2 Signalweg	71	3.5.2 Signal flow	71
<b>3.6 Demodulatorschaltung</b>	72	<b>3.6 Demodulator circuit</b>	72
3.6.1 Allgemeines	72	3.6.1 General	72
3.6.2 Schaltungsbeschreibung	72	3.6.2 Circuit diagram description	72
<b>3.7 Tuner/Timer/Display Steuerschaltung</b>	73	<b>3.7 Timer/Display control circuit</b>	73
3.7.1 IC101 UPD 75208 CW	73	3.7.1 IC101 UPD 75208 CW	73
3.7.2 IC102	74	3.7.2 IC102	74
3.7.3 IC1	74	3.7.3 IC1	74
3.7.4 IC101 Ton-Aussteuerungs-IC	75	3.7.4 IC101 Audio level indicator driver	75
3.7.5 Zeitdiagramm Tonaussteuerungsanzeige	76	3.7.5 Serial transfer timing chart	76
3.7.6 Bildschirm-Einblendungen	77	3.7.6 On screen display circuit	77
3.7.7 Steuerung der Synchronsignale	78	3.7.7 Control of sync. signals	78
<b>3.8 VPS Schaltung</b>	78	<b>3.8 VPS Schematic</b>	78
Video-Programm-System	78	Video programming system	78



## 2. Beschreibung der Mechanik

### 2.1 Funktion der Motoren

#### 2.1.1 Kopftrommelmotor

Der Kopftrommelmotor, bestehend aus Stator und Rotor, innerhalb des Kopftrommelunterteiles bewegt die Kopftrommel, auf der die Videoköpfe montiert sind.

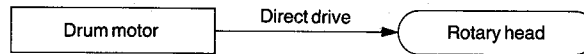


Abb./Fig. 2-1-1 Direkt angetriebene rotierende Köpfe  
Direct drive, rotary heads

#### 2.1.2 Capstan Motor

Der Capstan Motor kann in beiden Richtungen drehen, um das Band zu transportieren und zu wickeln.

Wie in Abbildung 2-1-2 dargestellt, wird die Rotation des Capstan Motors auf das Hauptzwischenrad und Zwischenzahnrad übertragen. Beim schnellen Vor- bzw. Rücklauf (FF/REW) wird das Zwischenrad gegen das Zwischenzahnrad und das Aufwickel- bzw. Abwickelzwischenrad gedrückt und das Band durch die Zugkraft des Bandtellers aufgewickelt.

Im Wiedergabebetrieb wird der Bandantrieb durch die Capstanwelle gesteuert und konstant gehalten.

Das von der Capstanwelle geführte Band wird vom Aufwickelteller aufgenommen. Da sich der Durchmesser des Wickels ständig vergrößert, muß die Rotationsgeschwindigkeit des Wickeltellers kontinuierlich verlangsamt werden.

Würde eine direkte Kraftübertragung vom Capstanmotor auf den Bandteller bestehen, so würde das Band einer hohen Belastung ausgesetzt.

Aus diesem Grund wird eine Rutschkupplung eingesetzt, die zusammen mit dem Kupplungsgetriebe die Wickelgeschwindigkeit des Bandtellers an die konstant vom Capstan angelieferte Bandmenge angleicht und somit für eine Entlastung des Bandzuges sorgt.

## 2. MECHANISM DESCRIPTION

### 2.1 FUNCTION OF MOTORS

#### 2.1.1 Drum motor

The drum motor consisting of a stator and rotor within the lower drum drives the upper drum which incorporates the video heads.

#### 2.1.2 Capstan motor

The capstan motor rotates in the forward and reverse directions to advance and take up the tape.

As shown in Fig. 2-1-2, the rotation of the capstan motor is transmitted to the center pulley gear and pulley gear. Since in the FF/REW modes, the tape is rewound and taken up by drive power from the reel disk, the pulley is compressed against the pulley gear and idler.

In the PLAY mode, the tape is fed from the capstan. At this time, the amount of tape to be fed from the capstan is constant.

The reel disk takes up the tape fed from the capstan. As the rewind diameter of the reel increases, the speed of the reel will become slower.

If the rotation of the capstan motor is directly transmitted to the reel disk, there is no relief of the load between the capstan motor and reel; a heavy load is applied to the tape.

For this reason, the clutch is slipped using the clutch gear to match the reel's take-up speed with the constant amount of tape fed from the capstan so that no additional load is applied to the tape.

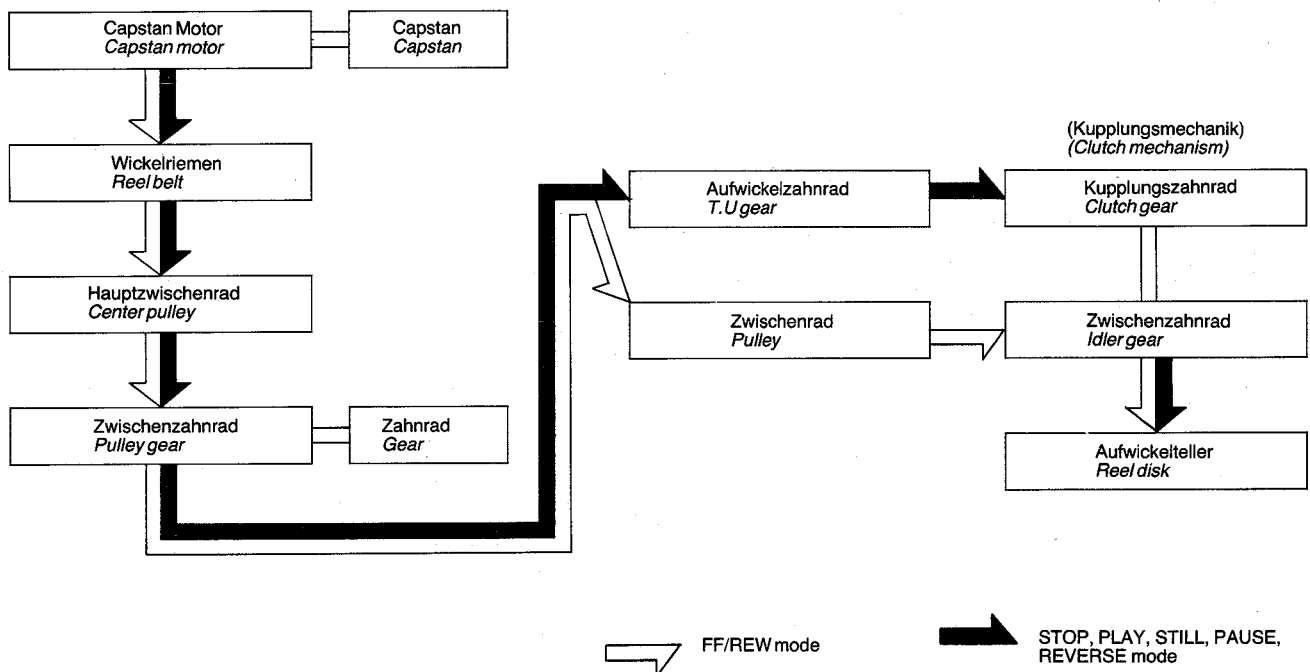


Abb./Fig. 2-1-2 ① Capstan-Motorfunktion  
Capstan motor function reference

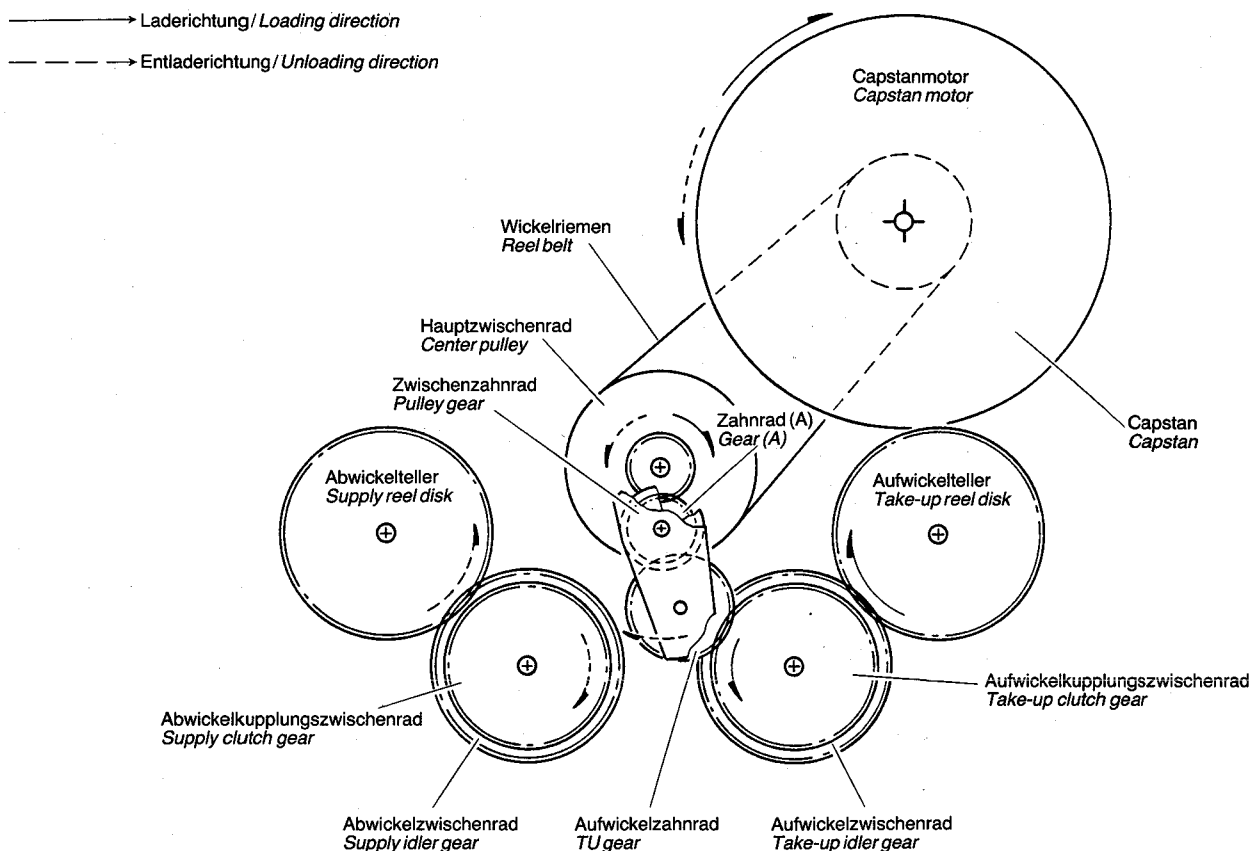


Abb./Fig. 2-1-2 ② Capstan-Motorfunktion  
Capstan motor function

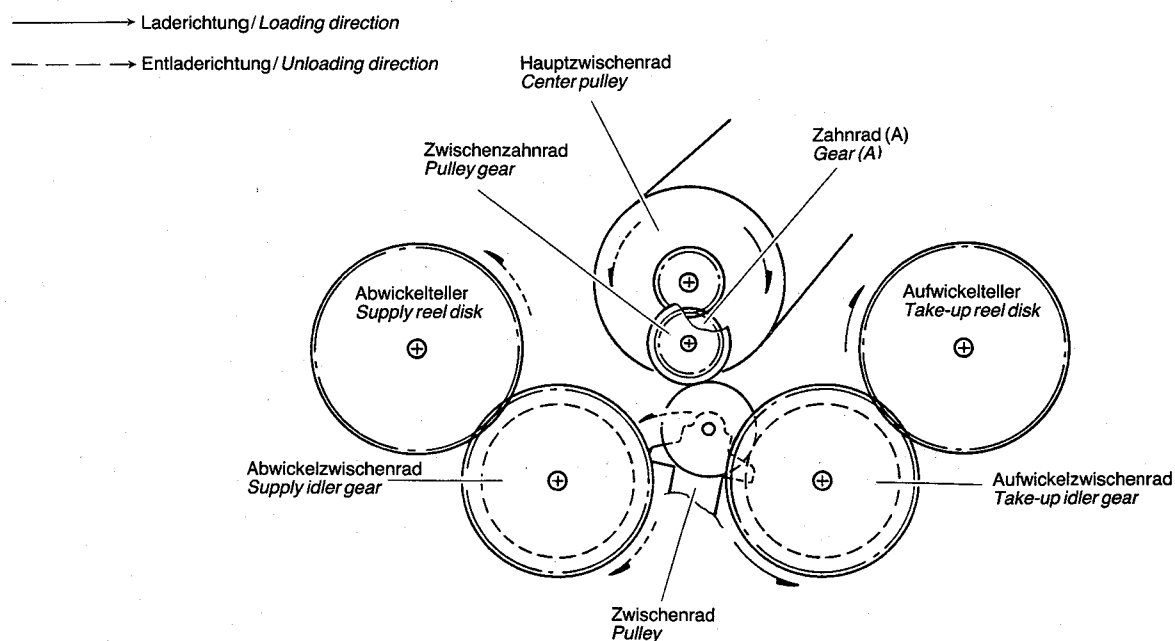


Abb./Fig. 2-1-2 ③ Capstan-Motorfunktion (Auf/Abwickelvorgang)  
Capstan motor function (FF/REW mode)

### 2.1.3 Betriebsart-Steermotor

Der Betriebsartsteermotor kann in beiden Richtungen drehen. Er bewegt, abhängig von der Betriebsart, die notwendigen Komponenten. Wie aus der Abb. 2-1-3 ersichtlich, wird die Rotation des Motors mittels des Einfädelriemens auf das Kupplungszwischenrad, Zahnrad, Schneckenrad und die Kurvenscheibe übertragen. Die Kurvenscheibe setzt ihrerseits das Ladegetriebe (1) in Bewegung (Abb. 2-1-4).

1. Die Rotation vom Ladegetriebe (1) bewegt das Ladegetriebe (2) und über das Abwickelgetriebe wird der Antrieb auf die abwickel-seitige Bandführungsgrundplatte übertragen.
2. Die zum Abwickelladekranz übertragene Rotation überträgt sich über Zwischenzahnrad (1), Zwischenzahnrad (2), und den Aufwickelladekranz auf die aufwickelseitige Bandführungsplatte.

### 2.1.3 Mode control motor

The mode control motor rotates in the forward and reverse directions, switching the mechanism mode. As shown in Fig. 2-1-3, the rotation of the mode control motor is transmitted via the mode control belt to the clutch pulley, drive gear, worm gear and cam gear. The rotation transmitted to the cam gear turns loading gear (1).

1. The rotation transmitted to loading gear (1) is transmitted via loading gear (2) and the supply loading gear to the supply pole base.
2. The rotation transmitted to the supply loading ring is transmitted via connect gear (1), connect gear (2), and the take-up loading ring to the take-up pole base.

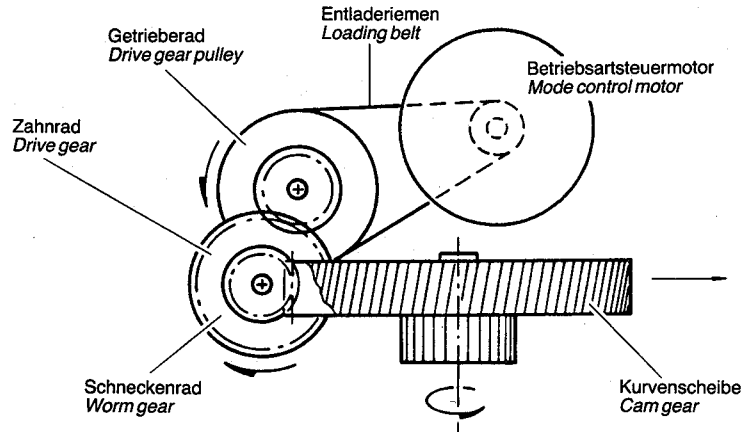


Abb./Fig. 2-1-3 A Betriebsartsteermotor-Funktion  
Mode control motor function

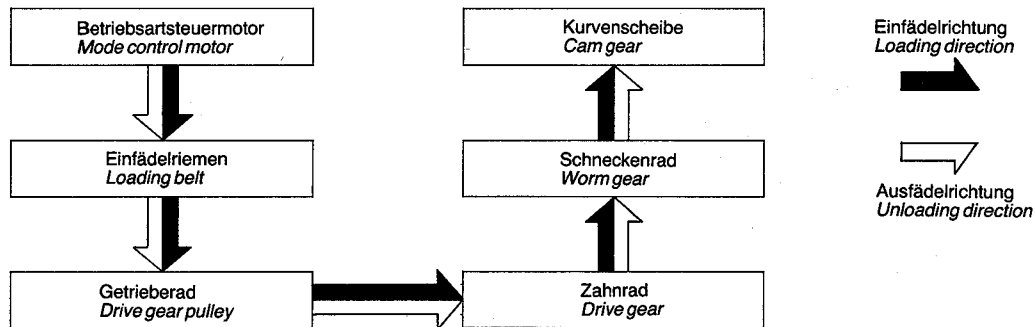


Abb./Fig. 2-1-3 B Betriebsartsteermotor Funktionsablauf  
Mode control motor function reference

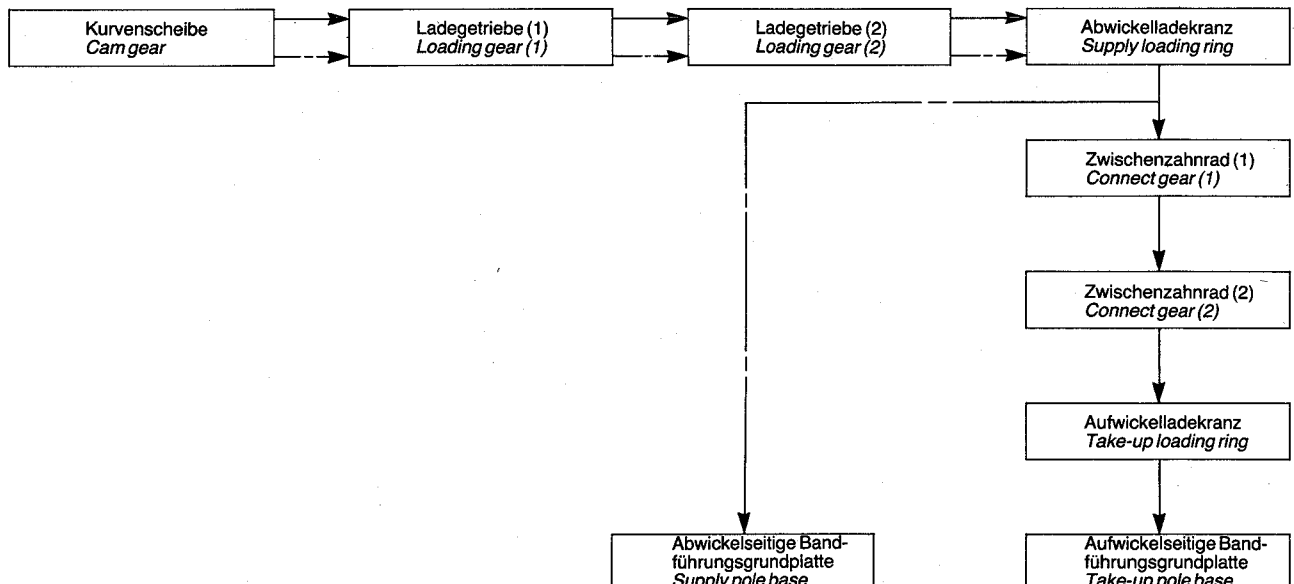
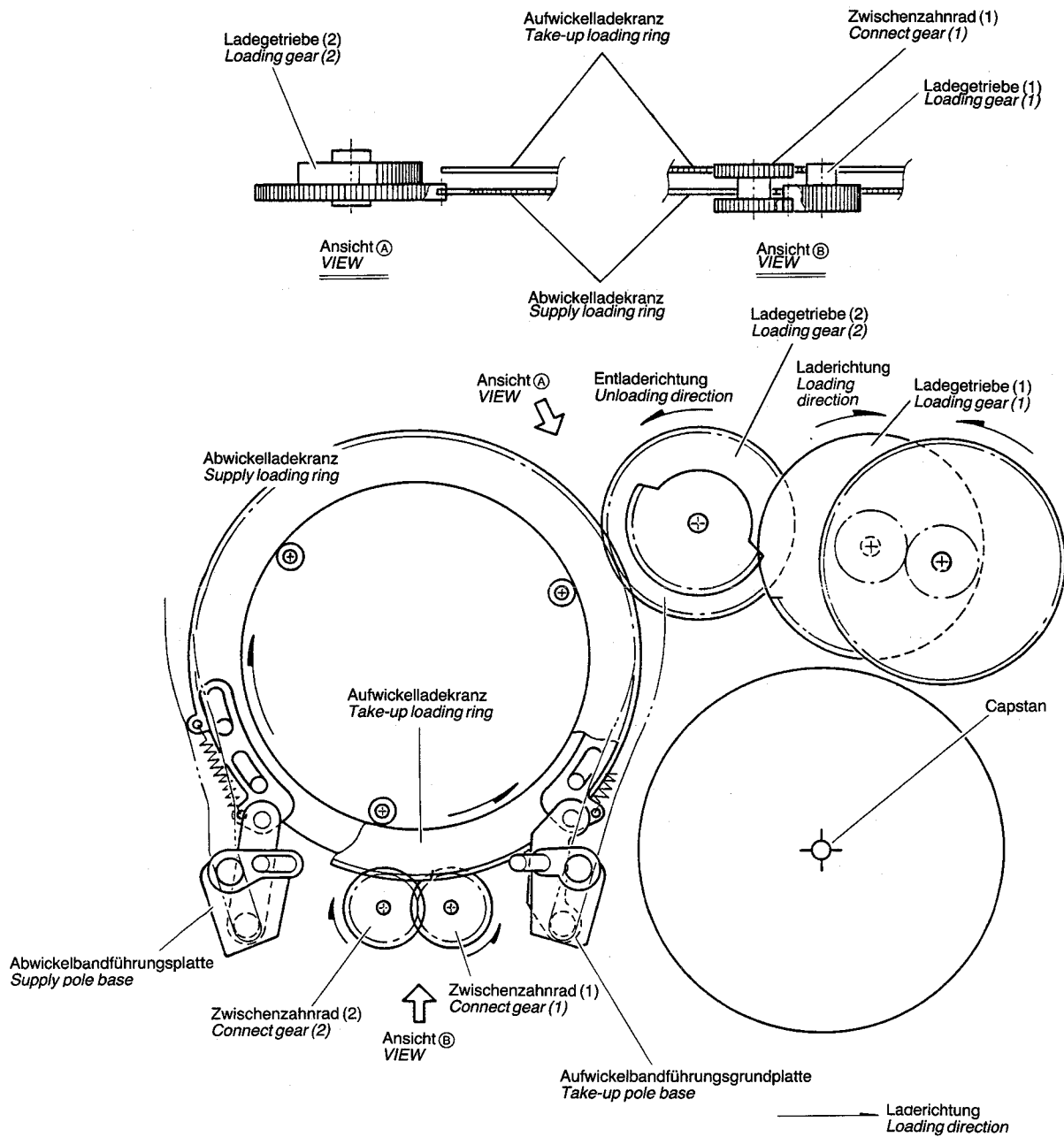
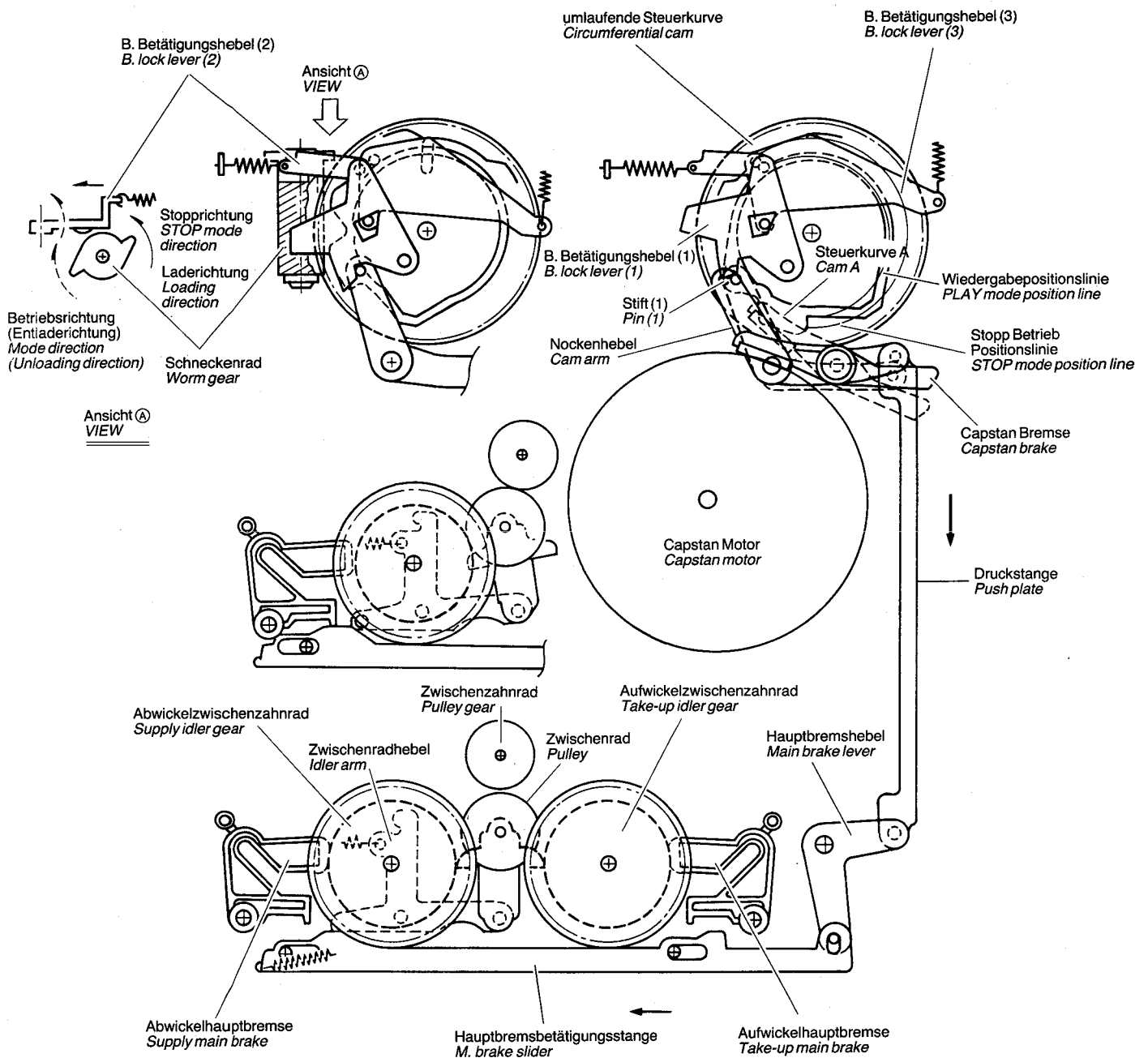


Abb./Fig. 2-1-4 A Kurvenradfunktionsablauf  
Cam gear function reference



**Abb./Fig. 2-1-4 B Kurvengetriebefunktion**  
Cam gear function (Loading motion)



**Abb./Fig. 2-1-5** A Funktion der Steuerkurve A (umlaufende Steuerkurve)  
Cam gear (Cam A/circumferential cam) function



### ● Kurvenzahnrad (Steuerkurve B)

Der Betriebsartensteuermotor dreht das Kurvenzahnrad. Entsprechend hat sich das Kurvenzahnrad B in seiner Position verändert (Abb. 2-1-6).

Entsprechend der Betriebsart werden die Rotationen des Betriebsartensteuermotors auf das Kurvenzahnrad übertragen und betätigt den Andruckrollen-Nockenhebel und den Federhalter. Durch die Bewegung des Federhalters wird die Andruckrolle gegen die Capstanwelle gedrückt oder, entsprechend der Betriebsart, von der Capstanwelle abgehoben (siehe Abb. 2-1-6).

### ● Kurvenzahnrad (Steuerkurve C)

Der Betriebsartensteuermotor dreht die Steuerkurve C. Dadurch bewegt sich die Schubstange nach rechts oder links entsprechend der Hebeleinheit.

Die Schubstange betätigt den Abwickelbetätigungshebel um das Aufwickelzahnrad ein- oder auszurasen. Außerdem betätigt der Abwickelbetätigungshebel die Abwickelladebremse und den Fühlarm.

### ● Cam gear (cam B)

The mode control motor turns the cam gear. As shown in Fig. 2-1-6, the position of cam B is changed according to the mode.

The rotation transmitted to cam B by means of the mode control motor moves the pinch roller cam arm, then pushes the spring holder. Through the movement of the spring holder, the pinch roller is compressed against the capstan according to the mode or released from the capstan. (Refer to Fig. 2-1-6.)

### ● Cam gear (Cam C)

The rotation transmitted from the mode control motor is transmitted to cam C. This moves the slide plate to the right or left via the lever assembly.

The slide plate acts on the supply gear lever to lock or free the take-up gear. The slide plate also acts on the loading brakes of the supply side and take-up side and the tension arm.

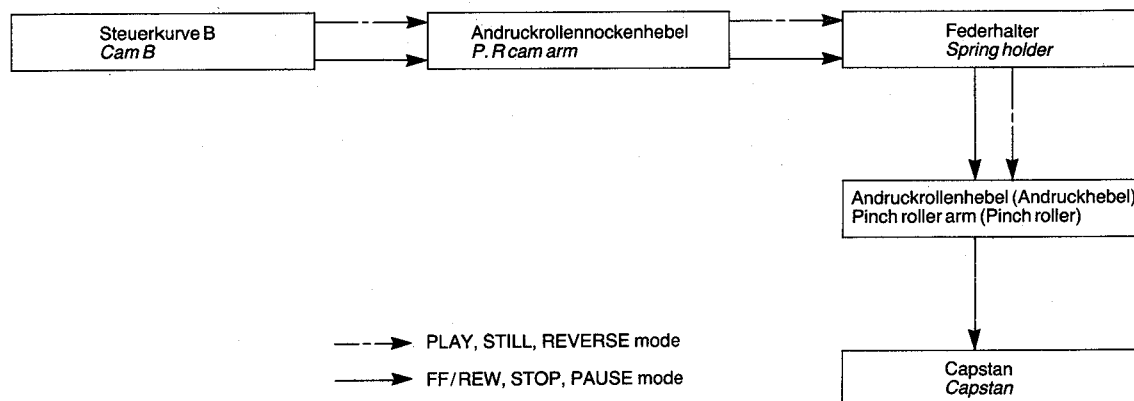


Abb./Fig. 2-1-6 ① Kurvenzahnrad (Steuerkurve B) Funktionsablauf  
Cam gear (cam B) function reference

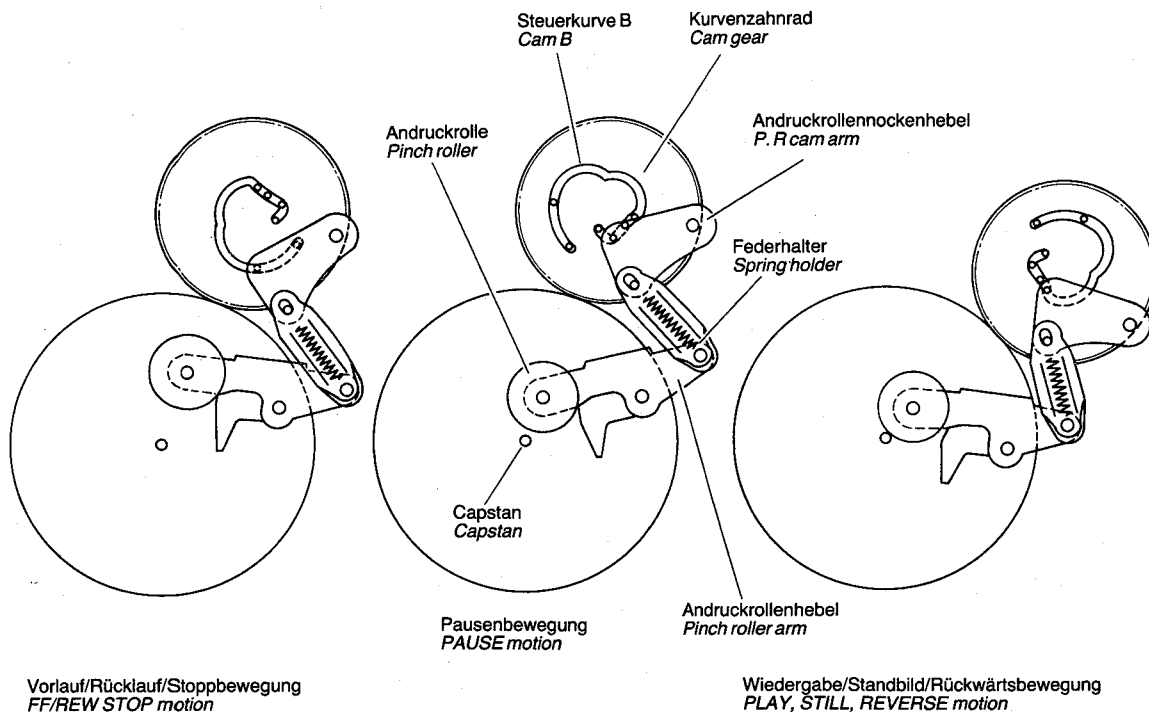


Abb./Fig. 2-1-6 ② Kurvenzahnrad (Steuerkurve B) Funktion  
Cam gear (cam B) function

# Betriebsarteneinteilung

## Mode classified

1. Vor-/Rücklauf / FF/REW mode
2. Stop / STOP mode
3. Wiedergabe / PLAY mode
4. Standbild / STILL mode
5. Pause / PAUSE mode
6. Rückwärts / REVERSE mode

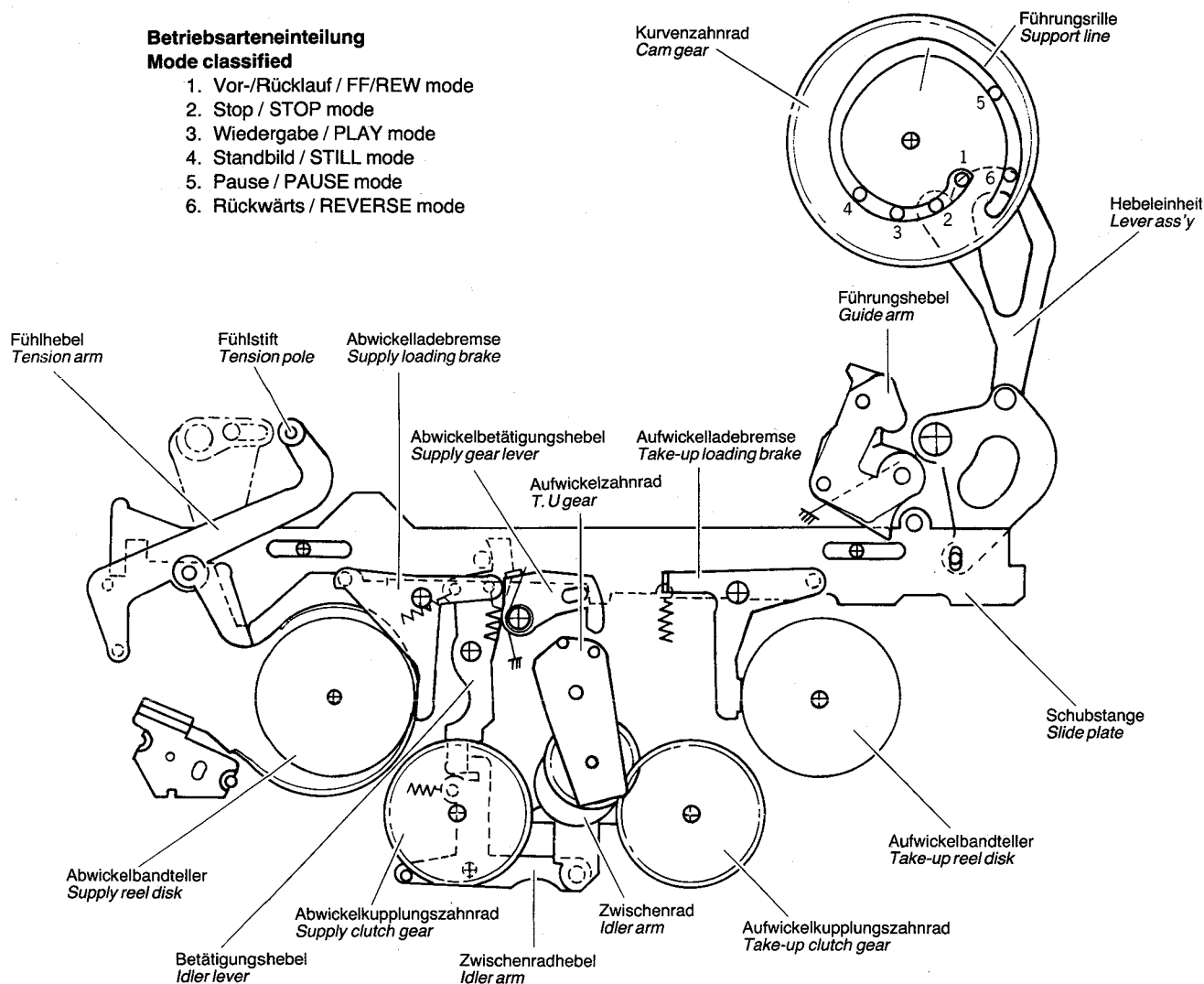


Abb./Fig. 2-1-7 ① Funktion der Steuerkurve C  
Cam gear (cam C) function

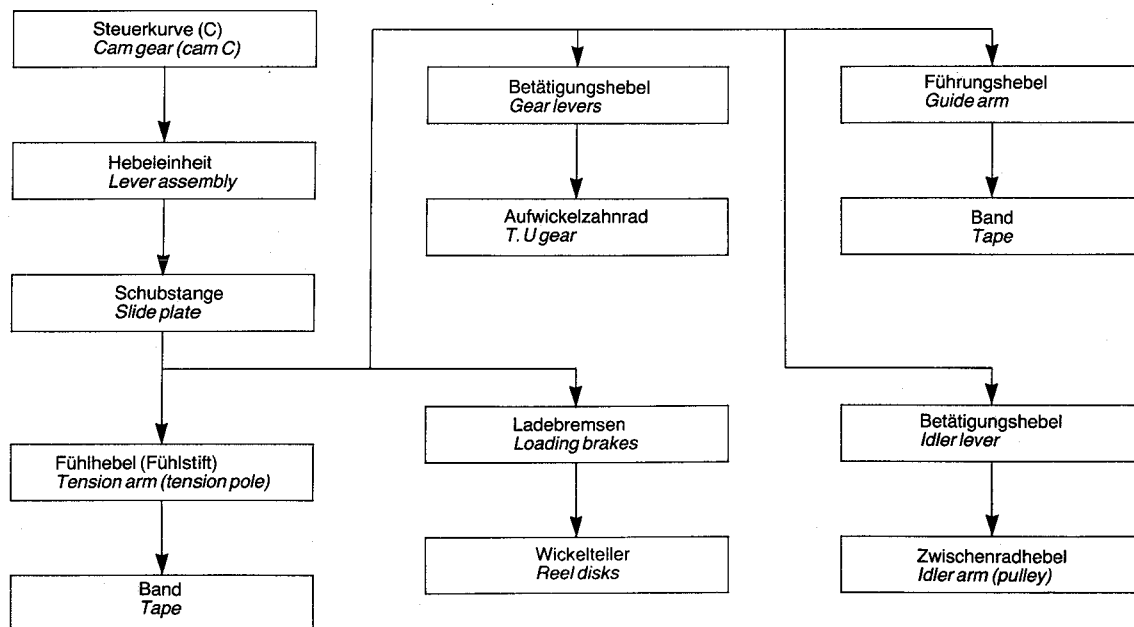


Abb./Fig. 2-1-7 ② Steuerkurve C, Funktionsablauf  
Cam C function reference



## 2.2 Betriebsartenwechsel und Beschreibung

### 2.2.1 Betriebsartenwechsel

Die Zuordnung der Betriebsarten erfolgt gemäß Tabelle 2-2-1.

### 2.2.2 Beschreibung der Betriebsart

Für Details bezüglich Betriebsartenwechsel oder Einzelheiten jeder Betriebsart siehe Abb. 2-2-6. (Siehe auch Abb. 2-2-2 und 2-2-1 für Kurvenzahnrad (1) und (2).)

#### 1. Betriebsart STOP

Im STOP-Betrieb ist der Ladesensor (1) auf H- und Ladesensor (2) auf L-Potential. Beide, Abwickel- und Aufwickelteller werden im STOP-Betrieb gebremst, um Bandschlaufen zu vermeiden.

Im STOP-Betrieb wird die Andruckrolle von der Capstanwelle abgehoben und die Abwickelführungsplatte sowie der Bandzugfühlhebel in Bandkontakt gebracht.

#### Bemerkung:

Der Ladesensor schaltet auf H-Potential, wenn das Sensorlicht das Loch vom Ladezahnrad (1) passiert und schaltet auf L-Potential, wenn das Licht nicht passieren kann.

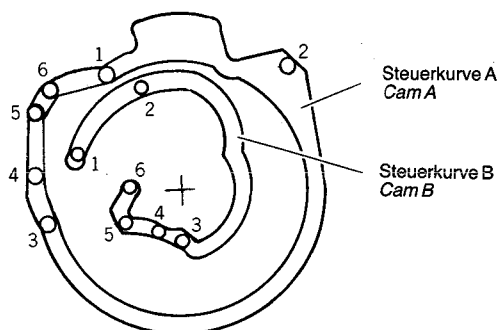


Abb./Fig. 2-2-1 Funktionsablauf Kurvenzahnrad (1)  
(siehe hierzu Tabelle 2-2-1)  
Cam gear timing (1)  
(Reference mechanism mode list 2-2-1)

## 2.2 MODE SHIFT AND DESCRIPTION

### 2.2.1 Mode shift

Table 2.2.1 summarizes the mechanism modes.

### 2.2.2 Mode description

For details when the mode is changed and details of each mode, refer to Fig. 2-2-6. (Refer to Figs. 2-2-2 and 2-2-1 Cam gear timing (1) and (2).)

#### 1. Stop mode

In the STOP mode, loading sensor (1) has high potential whereas loading sensor (2) has low potential. In the STOP mode, both the take-up and supply reels are braked, preventing slack tape.

In the STOP mode, the pinch roller is released from the capstan and the take-up supply pole base and tension pole are positioned within the tape.

**Note:** The loading sensor goes high when the light from the sensor passes through the hole in loading gear (1) and goes low when it does not pass through the hole.

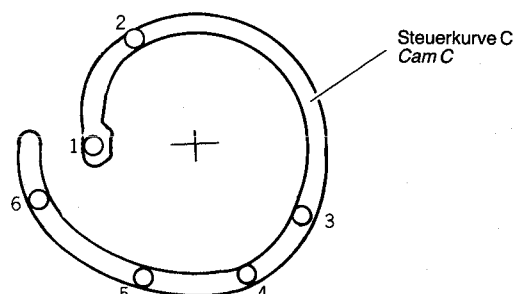


Abb./Fig. 2-2-2 Funktionsablauf Kurvenzahnrad (2)  
(siehe hierzu Tabelle 2-2-1)  
Cam gear timing (2)  
(Reference mechanism mode list 2-2-1)

Symbol Nr. Symbol No.	entsprechende Betriebsarten Representative mode	Betriebsarten Modes
1	Vorlauf/Rücklauf FF/REW	Vorlauf, Rücklauf, kurz Vorlauf FF, REW, Short FF
2	STOP STOP	STOP, Auswurf, kurz Rücklauf STOP, EJECT, Short REW
		Einfädeln, Ausfädeln LOADING, UNLOADING
3	Wiedergabe PLAY	Wiedergabe (Aufnahme), Aufnahme Pause, kurz Rücklauf, Einfügen, Nachvertonung, Vorwärts Suchlauf PLAY (REC), REC PAUSE, B. SPACE, INSERT, AUDIO DUB, FWD SEARCH
4	Standbild STILL	Standbild, Zeitlupe vorwärts, Nachvertonungspause STILL, A. DUB PAUSE
5	PAUSE PAUSE	PAUSE bei Timerbereitschaft, Stop zu Aufnahme Pause PAUSE (TIMER STANDBY, STOP to REC PAUSE)
6	Rückwärts RESERVE	Rückwärts Bildsuchlauf, Zeitlupe rückwärts REV SEARCH

→ Laderichtung  
Loading direction  
→ Entladerichtung  
Unloading direction

Tabelle/Table 2-2-1 Betriebsarten/Modes

## 2. Ladebetrieb

Wie in Abb. 2-2-6 dargestellt, bewegt sich die Kurvenscheibe von der STOP-Position zur Wiedergabeposition, wenn der Betriebsartsteuermotor sich in Vorwärtsrichtung dreht. Wird die Wiedergabetaste gedrückt, während das Gerät im STOP-Betrieb ist, so beginnt der Kopftrommelmotor zu laufen und der Betriebsartensteuermotor beginnt sich in Vorwärtsrichtung zu drehen.

Danach setzen sich das Kurvenzahnrad, das Ladezahnrad, der Ladekranz und die Bandführungsgrundplatte in Bewegung, wobei die Bandführungsbolzen gegen den Bolzenanschlag gedrückt werden. Damit befindet sich das Band in seiner Laufposition und der Capstanmotor beginnt sich zu drehen. Kurzfristig entstehende Beharrungskräfte des Bandes und die dadurch entstehende Schlaufe werden durch entsprechende Aktivierung der Ladebremsen am Abwickel- bzw. Aufwickelteller vermieden.

Auch nachdem sich das Band bereits in Bewegung gesetzt hat, ist der Betriebsartmotor weiterhin in Betrieb und drückt die Andruckrolle gegen den Capstan.

Erst wenn der Mechanismus signalisiert, daß das Gerät im Wiedergabebetrieb ist, schaltet der Betriebsartmotor ab und setzt den Mechanismus für die Wiedergabe fest.

### 3. Wiedergabe (siehe Abb. 2-2-3)

Wie in Abb. 2-2-6 dargestellt, beginnt sich der Capstan in Vorwärtsrichtung zu drehen und die Andruckrolle drückt gegen den Capstan. Zu Beginn der Wiedergabe bewegt sich die Bandführungsgrundplatte entlang der Einfädelführung. Gleichzeitig bewegt sich der Bandführlhebel zwischen dem Abwickelführungsbolzen und Führungsstift.

Dieses ermöglicht dem Fühlhebel, über das Bremsband und den Abwickelteller eine Zugkraft auf das Band auszuüben. Das vom Capstan freigegebene Band wird vom angetriebenen Aufwickelteller aufgenommen.

Da sich jedoch der Bandwickeldurchmesser ständig vergrößert, muß die Aufwickelgeschwindigkeit entsprechend verringert werden, damit das Band nicht unnötig belastet wird. Hierzu dient die Rutschkupplung. Die Abwickel- und Aufwickel-Ladebremse werden von der Schubstange gesteuert.

### 4. Standbild

Wie Abb. 2-2-6 veranschaulicht, wird der Capstanmotor jetzt gestoppt und das Band zum Stillstand gebracht.

### 5. Suchlauf rückwärts – REW (siehe Abb. 2-2-4)

Wie aus Abb. 2-2-6 hervorgeht, dreht sich der Betriebsart-Steuermotor vorwärts und stellt damit von Standbild auf die Betriebsart Suchlauf um. Der Steuermotor stoppt, sobald die Betriebsart Suchlauf von der Mechanik signalisiert wird. Während des Suchlaufs bleibt die Andruckrolle am Capstan angedrückt. In dieser Betriebsart wird die Rückwärtsdrehung des Capstanmotors auf den Abwickelbandteller übertragen. Das Band bewegt sich – im Vergleich zur Normalgeschwindigkeit – mit 7-facher Geschwindigkeit in umgekehrter Richtung.

Bandschlaufen werden in dieser Betriebsart durch den Bandabwickelteller aufgefangen. In diesem Fall wird die Bandzugbremse entriegelt und die Aufwickeltellerbremse mittels der Schubstange aktiviert. Dabei übernimmt die Bremse die Stabilisierung der Wickeltellergeschwindigkeit. (Die Abwickelladebremse ist hierbei entriegelt).

Im Gegensatz zum Wiedergabebetrieb, wird beim schnellen Vorwärtssuchlauf (FF) die Rückstellbremse entriegelt und der Bandauftrieb ist entgegengesetzt.

### 6. Pause

Im Pausebetrieb wird eine Rückstellung für den „Bildschnitt“ ausgeführt und der Capstanmotor erst danach zum Stillstand gebracht. Der Bandvorschub wird unterbrochen, die Abwickel- Aufwickel-Ladebremse entriegelt und die Rückstellbremse aktiviert.

### 7. Ausfädeln

Der Betriebsart-Steuermotor läuft rückwärts und bewegt den Ladekranz von der Wiedergabe in die Stopposition. Die Arbeitsweise entspricht der umgekehrten Reihenfolge des Ladebetriebs.

Der Capstanmotor läuft in entgegengesetzter Richtung. Das in der Bandführung befindliche Band wird vom Abwickel-Bandteller aufgenommen. Sobald die Mechanik die Endposition signalisiert, werden der Betriebsart- und Capstanmotor abgeschaltet.

### 8. Schneller Vor- und Rücklauf, FF/REW (siehe Abb. 2-2-5)

Wie die Abb. 2-2-6 zeigt, läuft der Betriebsart-Motor in umgekehrter Richtung. Dabei bewegt sich der Ladekranz in die schnelle Vor-Rücklaufposition. Sobald die Mechanik die FF bzw. REW-Position signalisiert, wird der Betriebsart-Steuermotor abgeschaltet.

In dem Moment, wo der Steuermotor abschaltet, schaltet der Capstanmotor bei FF in Vorwärtsrichtung ein und das Band wird vom Abwickelteller in Richtung zum Aufwickelteller umgespult. Bei REW verhält sich der Vorgang in umgekehrter Reihenfolge.

## 2. Loading mode

As shown in Fig. 2-2-6, when the mode control motor rotates in the forward direction, the position of the drive ring shifts from the stop mode position to the PLAY mode position. If the PLAY button is depressed in the STOP mode, the drum motor starts and at the same time, the mode control motor starts rotating in the forward direction.

When the mode control motor starts rotating, the cam gear starts rotating, which allows the loading gear to rotate, and this rotation is transmitted to the drive ring and the pole base moves along the loading guide. After that, the pole base is pushed against the pole guide, the tape is set to the travel mode and the capstan motor starts rotating. The tape slack which would be developed by inertia at this time is prevented by the loading brake acting on the take-up and supply reel disks.

Even after the tape is set to the travel mode, the mode control motor continues to rotate, compressing the pinch roller against the capstan. When the mechanism controller detects the PLAY mode position, the mode control motor stops rotating and the mechanism is set to the PLAY mode.

### 3. Play mode (Refer to Fig. 2-2-3.)

As shown in Fig. 2-2-6, the capstan starts rotating in the forward direction. In the PLAY mode, the pinch roller is pushed against the capstan.

At the beginning of the PLAY mode, the pole base moves along the loading guide. At the same time, the tension arm moves between the supply guide pin and supply guide pole.

This permits the tension arm to apply tension to the tape via the tension band and supply reel disk. The tape fed from the capstan as the capstan motor rotates is taken up by the rotation of the take-up reel disk. However, as the amount of tape to be taken up increases, the diameter of tape hub increases, slowing down the speed of the take-up reel disk. So that more than a certain load is not applied to the tape. The supply take-up loading brake is released by the slide plate.

### 4. Still mode

As shown in Fig. 2-2-6, the capstan motor stops from the PLAY mode, stopping the tape travel.

### 5. Search mode (search REW mode) (Refer to Fig. 2-2-4.)

As shown in Fig. 2-2-6, the mode control motor rotates in the forward direction, changing the mode from the still mode to the search mode.

When the mechanism controller detects the position of the search mode, the mode control motor stops. In the search rewind mode, the pinch roller is compressed against the capstan. In this mode, the reverse rotation of the capstan motor is transmitted to the supply reel disk. Since the tape is fed by the capstan which is compressed against the pinch roller, the tape travels in the reverse direction at a speed 7 times faster than in the PLAY mode.

The tape slack developed this time is taken up by the supply reel.

At this time, the back tension brake is released, and the take-up loading brake is applied via the slide plate. This brake stabilizes the reel speed. (The supply loading brake is released at this point.)

In the search FF mode, as opposed to the PLAY mode, the back tension is released, and the tape travel speed and direction are different.

### 6. Pause mode

In the REC pause mode, back spacing for editing is performed before the capstan motor stops.

The tape travel is interrupted and the take-up supply loading brake is released with the back tension brake applied.

### 7. Unloading mode

The mode control motor rotates in the reverse direction, shifting the position of the drive ring from that in the PLAY mode to that in the STOP mode. The operations between are reverse to the processes during loading.

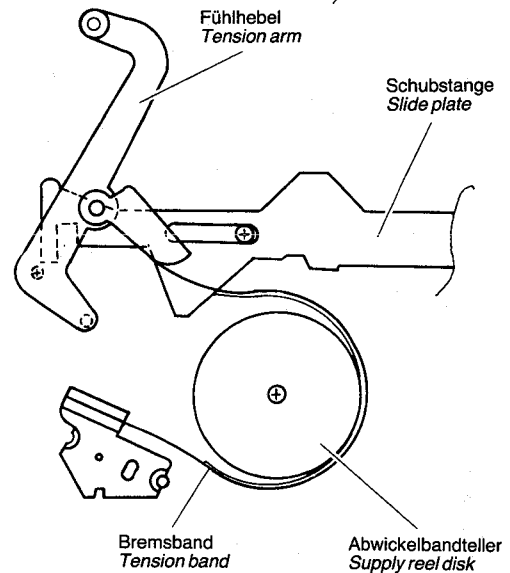
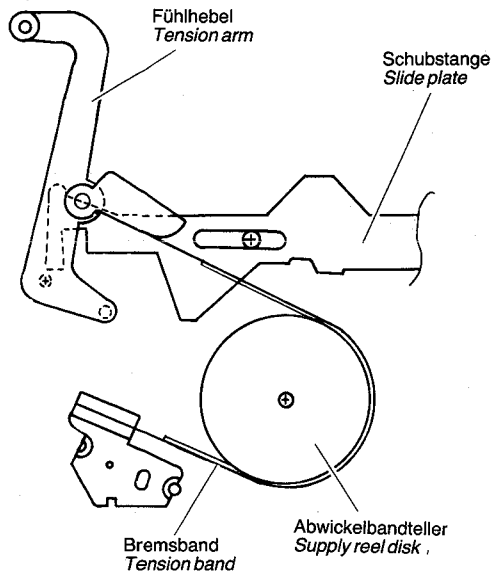
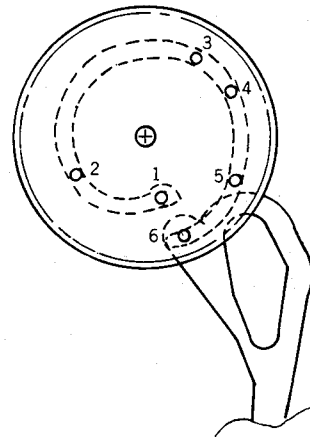
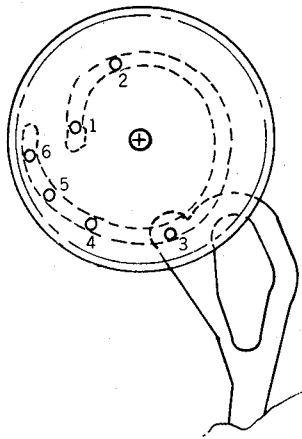
The capstan motor rotates in the reverse direction, then the tape in the travel path is taken up by the supply reel. When the position of the stop mode is detected by the mechanism controller, the mode control motor and capstan motor stop.

### 8. FF/REW mode (Refer to Fig. 2-2-5.)

As shown in Fig. 2-2-6, the mode control motor rotates in the reverse direction, and the position of the drive ring shifts to that of the FF/REW modes.

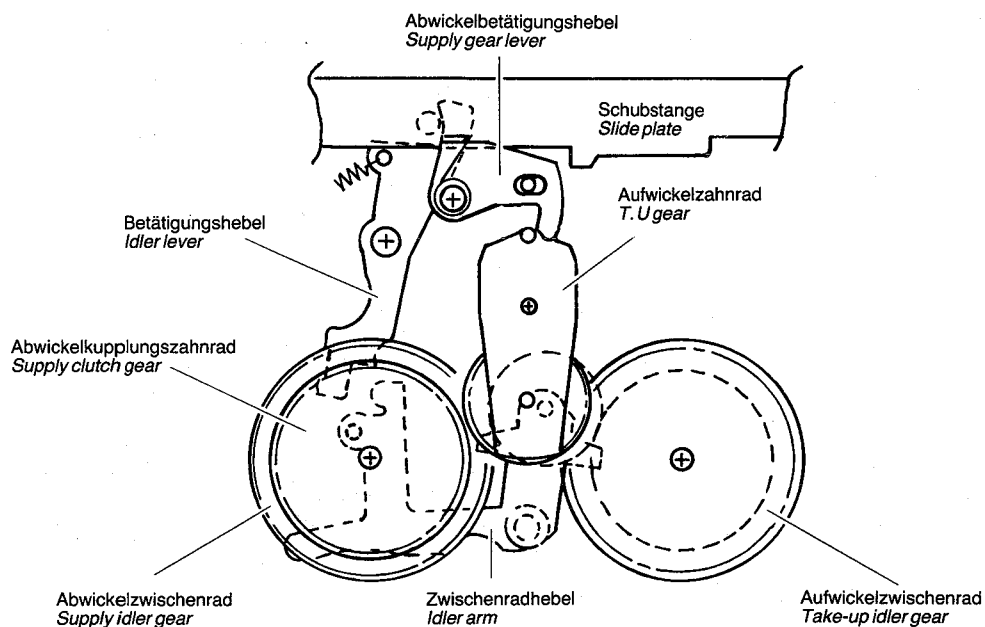
When the mechanism controller detects the FF or REW mode position, the mode control motor stops.

The moment the mode control motor stops, the capstan motor rotates in the forward direction when the mode is FF, and the tape is rewound from the supply reel to the take-up reel whereas when the mode is REW, the capstan motor rotates in the reverse direction and the tape is rewound from the take-up reel to the supply reel.



**Abb./Fig. 2-2-3** Bandzugregelung (Wiedergabe)  
Back tension mechanism (play mode)

**Abb./Fig. 2-2-4** Fühlerhebelarretierung bei Suchlauf  
Tension arm release mechanism  
(Search reverse mode)



**Abb./Fig. 2-2-5** Vor-/Rücklauf-Bewegung  
FF/REW motion

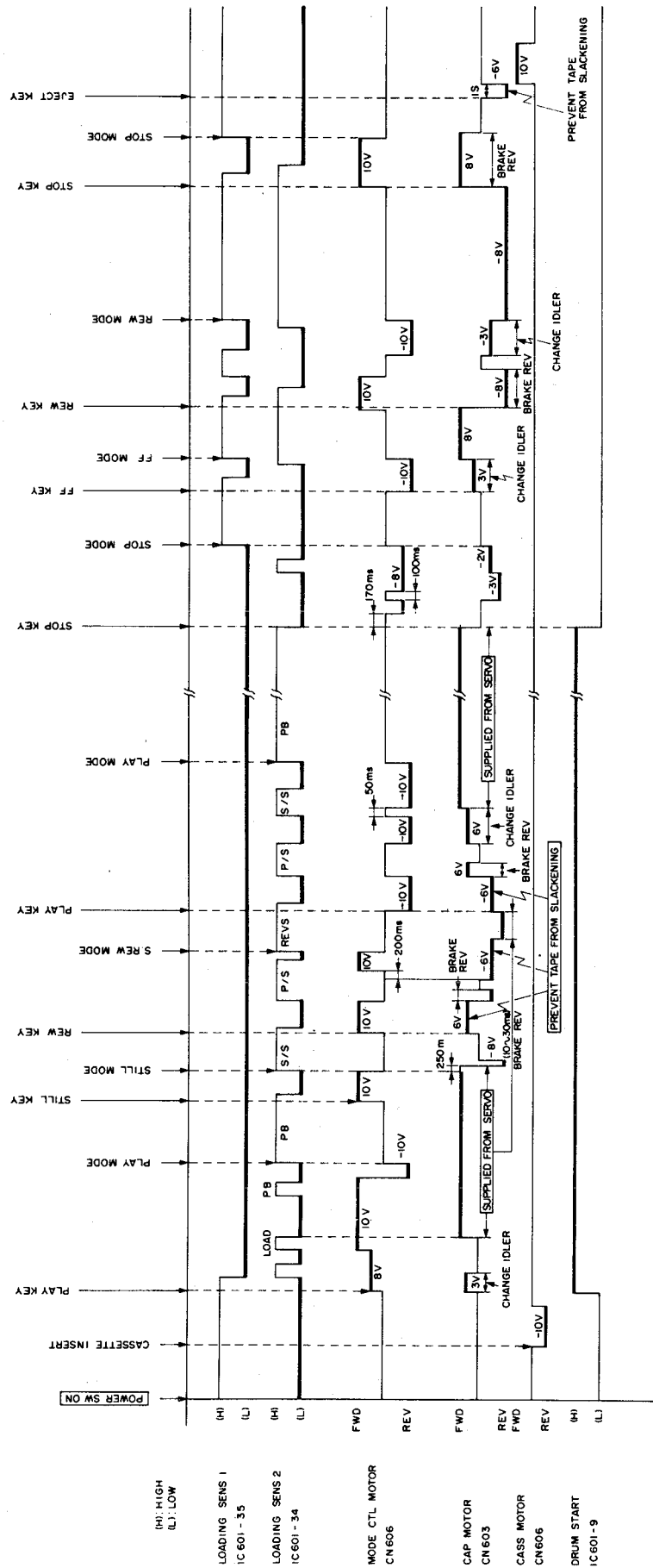


Abb./Fig. 2-2-6 Mechaniksteuerung  
Mechanism timing chart

## 2.3 Cassettenfach-Funktion

Beim Ein- oder Ausfädeln rotiert der Cassettenfachmotor in Vor- bzw. Rückwärtsrichtung. Der Cassettenfachschalter schließt, sobald eine Cassette eingesetzt ist. Das Cassettenfach senkt sich und schließt am Ende den Endabschalter. Der Cassettenauswurf beginnt, sobald die Cassettenaste (EJECT) betätigt wird. Das Band wird kurz zurückgespult, damit bestehende Bandschlaufen beseitigt werden. Darauf folgt ein kurzzeitiger Stoppvorgang und anschließend die Einleitung der EJECT-Funktion. Der Endabschalter für die Position „Cassettenfach oben“ schließt den Vorgang ab.

### 2.3.1 Cassetten-Einfädelmechanik

Entsprechend Abb. 2-3-1 werden beim Einsetzen der Cassette die Cassettenfachklappen nach unten bzw. oben geöffnet. Bei einem weiteren Einschub kontaktiert die Cassette die Schubstangen und diese betätigen dabei die Schalterhebel entgegen dem Uhrzeigersinn. Die Hebel ihrerseits wiederum betätigen die zwei Cassetten-In-Schalter, einen links und einen weiteren rechts vom Cassettengehäuse. Beide Schalter werden geschlossen, wenn eine Cassette eingeschoben wird.

Der Cassettenmotor beginnt sich in Vorwärtsrichtung zu drehen und damit wird auch das Zahnrad (2) im Uhrzeigersinn angetrieben (Abb. 2-3-2) und schiebt den Cassettschacht (Abb. 2-3-1) in die Führungsstrecke. Der Verriegelungshebel hält die Cassette fest und diese wird – gemeinsam mit dem Cassettschacht – ins Innere des Gehäuses gezogen. In dieser Position wird die Verriegelung der Cassettenklappe vom Verschlussöffner entriegelt.

Nach der Beendigung des Ladevorgangs drückt der Schacht gegen den Führungshebel und die Klappenöffnung hält die Cassettenklappe geöffnet.

## 2.3 CASSETTE HOUSING OPERATION

The cassette motor rotates in the forward direction for loading and in the reverse direction for eject.

The cassette in detect switches close when a cassette is inserted, then after the housing lowers, the housing-down detect switch closes.

Cassette ejection begins when the EJECT key is pressed. A brief rewind operation is performed for taking up tape slack, followed by a short interval of the Stop mode, then the Eject mode is entered. The housing up detect switch closes at the completion of eject.

### 2.3.1 Cassette loading mechanism

As indicated in Fig. 2-3-1, inserting a cassette presses the upper and lower doors open. Further insertion contacts the slide plate and imparts counter-clockwise rotation to the switch lever. This presses the cassette in detect switch.

There are two cassette in detect switches, one each at the left and right sides of the cassette housing. Both switches close when a cassette has been properly inserted.

When the cassette motor turns in the forward direction, the gear train shown in Fig. 2-3-2 turns gear (2) clockwise. This causes the bracket (Fig. 2-3-1) to shift in the guide stax channel.

The lock lever retains the cassette, which shifts together with the bracket and becomes pulled into the cassette housing. In this state, the cassette door can be opened by the lid opener.

At the completion of cassette loading, the bracket presses the guide lever and the door guide opens the cassette door.

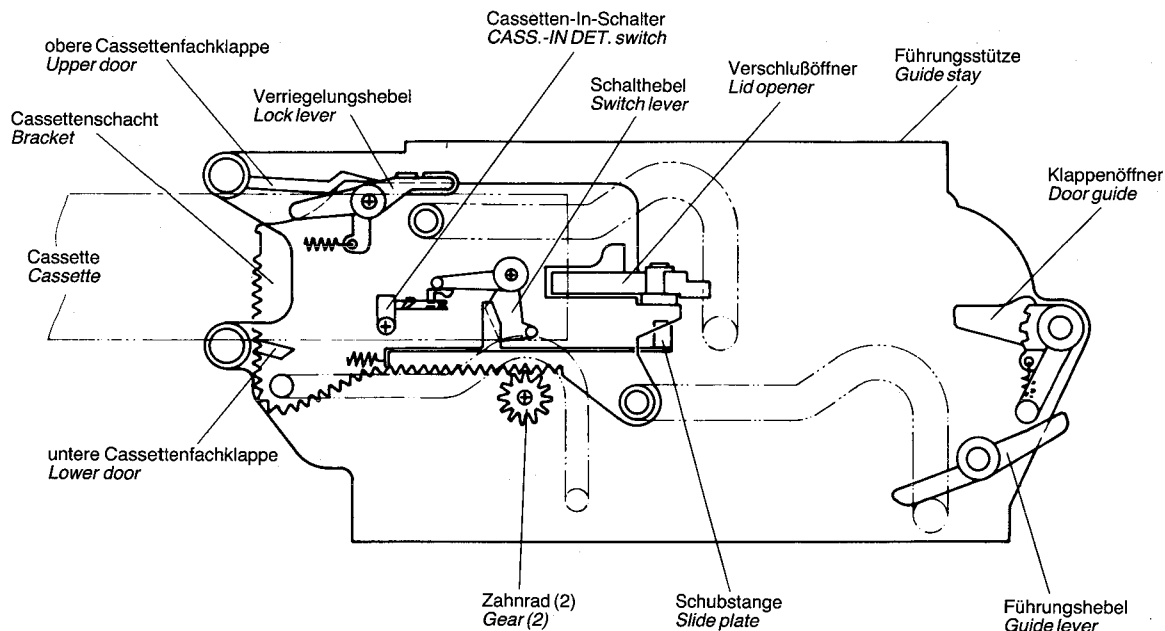


Abb./Fig. 2-3-1 Cassetten-Lademechanismus  
Cassette loading mechanism

### 2.3.2 Cassetten Lade/Entladeendabschaltung

Die Abb. 2-3-2 zeigt die Endstellung des Entladevorgangs. Stift (1) des Entladezahnades drückt dabei den Cassetenschachtschalter „aufwärts“. Umgekehrt, beim Laden der Cassette, bewegt sich Stift (2) gegen den Uhrzeigersinn und bringt den Schalter in Position „abwärts“.

### 2-3-3 Klappenmechanismus für obere und untere Klappe

Steuerkurvenzahnrad (1) betätigt den oberen Klappenöffner (Abb. 2-3-2). Mit dem weiten Teil der Steuerkurve kann die Klappe geöffnet oder geschlossen werden.

Wenn der Haltehebel von dem Steuerkurvenzahnrad (2) gegen den Uhrzeigersinn bewegt wird, öffnet dieser die untere Klappe.

### 2.3.2 Cassette loading and eject end detect

Fig. 2-3-2 shows the eject end state. Stud (1) of the UL slide gear presses the housing up detect switch.

When a cassette is loaded, stud (2) of the L slide gear turns counter-clockwise and presses the housing down detect switch.

### 2.3.3 Upper and lower door mechanisms

Cam gear (1) controls the upper door opener (Fig. 2-3-2). The door can be opened and closed at the wide section of the cam.

When the hold lever turns counter-clockwise by cam (2), the hold lever presses the lower door opener. The lower door then becomes opened.

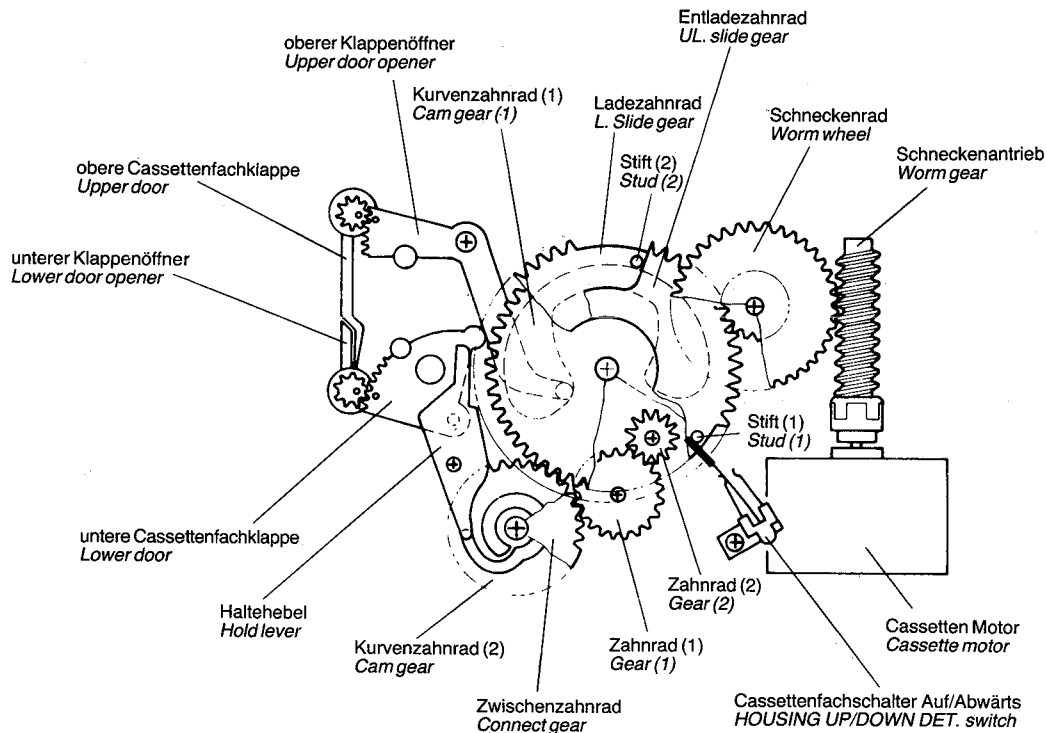


Abb./Fig. 2-3-2 Cassettenfach-Antriebsmechanik  
Housing drive mechanism

### 3. Schaltungsbeschreibung

#### 3.1 Mechanik Steuersystem

##### 3.1.1 Allgemeines

Das Mechanik Steuersystem, im folgenden „Mechacon“ genannt, übernimmt die Koordination und Steuerung aller Laufwerkbefehle. Der Zustand des Laufwerks wird durch Sensoren erkannt. Durch ständiges Auswerten der Sensoren wird ermittelt, ob der bestehende Betriebszustand fortgesetzt, abgeschaltet oder ob auf eine andere Betriebsart umgeschaltet werden soll.

Eine weitere Aufgabe des Mechacon besteht darin, das Gerät und das eingefädelt Band bei einer Fehlfunktion oder einer Fehlbedienung zu schützen.

Die Abfrage der Sensoren, sowie die Umwandlung in die entsprechenden Steuerbefehle, wird von einem Einchip-Mikroprozessor ausgeführt.

##### 3.1.2 Funktion der Laufwerksteuerung

###### 1. Laufwerkzustände

Die gewünschte Laufwerkbetriebsart wird bei diesem Modell durch ein vom Betriebsartsteuermotor angetriebenes Kurvenrad bestimmt.

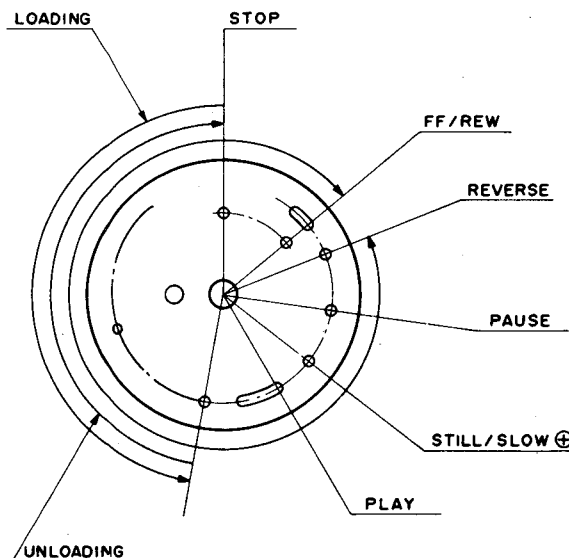
In Bild 3-1-2 ist zu erkennen, daß sechs verschiedene Laufwerkbetriebsarten möglich sind, von links nach rechts, FF/REW, STOP, PLAY, SLOW/STILL, PAUSE und REVERSE. Die Steuerung wird durch Auswertung der Umdrehung des Betriebsartsteuermotors und durch zwei Fotosensoren in Verbindung mit zwei Lochreihen in der Kurvenscheibe ausgeführt. Bild 3-1-1 zeigt die Beziehung zwischen Laufwerkbetriebsart und Löchern in der Kurvenscheibe.

Die innere Lochreihe wird durch den Fotosensor 1, die äußere Lochreihe durch den Fotosensor 2 abgefragt. Der Mikroprozessor verarbeitet die Steuerbefehle der Sensoren. Bei Drehung des Kurvenrads bewegen sich Ladebremsen, Andruckrolle, Hauptbremse und das Bremsband in der REV Funktion (siehe auch Bild 3-1-2). Die Abbildung zeigt die Ein-/Aus-Zustände der Fotosensoren, wenn der Betriebsartsteuermotor in Vorwärtsrichtung läuft. Bei der Verwendung von zwei Fotosensoren können nur 4 Laufwerkzustände erkannt werden ( $2^2 = 4$ ). Aus diesem Grund werden die Laufwerkzustände STOP und FF/REW immer erkannt. Die restlichen vier Laufwerkzustände werden durch Abzählen der Sensorimpulse nach der STOP Position erkannt. Mit anderen Worten: das Mechacon steuert die Laufwerkmechanik so, daß jedesmal vor dem Wechsel einer Betriebsart über die STOP Position gefahren wird.

###### FF/REW Betriebsart

Weisen Sensor 1 und Sensor 2 „H“ Pegel auf, erkennt der Mikroprozessor die Laufwerkbetriebsart FF/REW. Die Wickelteller werden über ein Zwischenrad vom Capstan Motor angetrieben. Ein leichter Back Tension-Bremszug verhindert das Bilden einer Bandschleife.

Außer der FF/REW Betriebsart wird dieser Laufwerkzustand auch in der Funktion „Short FF“ (kurzes Vorlaufen) verwendet. Diese Betriebsart wird eingeschaltet, wenn der Startsensor das Vorspannband des eingefädelten Videobandes erkennt. Durch diesen kurzen Vorspulenvorgang wird eine Zerstörung der Videoköpfe durch die Verbindungsstelle von Vorspann- und Magnetband verhindert. Die Laufwerkzustände für FF und „Short FF“ sind gleich.



### 3. CIRCUIT DESCRIPTION

#### 3.1 MECHANISM CONTROL (MECHACON) CIRCUIT

##### 3.1.1 General description

The main function of the Mechanism Control circuit (Mechacon) is to detect the states of the operation switches in order to control the machine's mechanism and electrical circuits so that they change to the selected mode. In addition, this circuit continuously monitors the various systems and determines whether to continue or stop the mode in progress, or shift to another mode. In addition, it serves to both enhance operating convenience and protect a loaded tape and the machine in the event of a malfunction or operating error. All detections and controls mentioned above are controlled by a single-chip micro-processor.

##### 3.1.2 Mechanism

###### 1. Mechanism modes

In this model, mechanism modes are set by cam gears rotated by the mode control motor.

As shown in Fig. 3-1-2, the mechanism has six modes such as FF/REW, STOP, PLAY, SLOW/STILL, PAUSE and REVERSE (from left to right in the figure). The mechacon sets the mechanism by utilizing the mode control motor's rotation, and each mode is detected and discriminated by the photosensor in combination with two types of holes in the cam gear.

Refer to Fig. 3-1-1. This shows the relationship between the mode and the 2 types of holes.

The inner hole is detected by the loading sensor-1, while the outer hole is detected by the loading sensor-2. The sensors' ON/OFF signalling information is sent to the Mechacon.

As the cam gear rotates, the loading brake, tension arm, back-tension brake in REV Search, main brake and pinch roller start driving.

Refer to Fig. 3-1-2, again.

The figure shows the loading sensors' ON/OFF timing in the state that the mode control motor turns forward. It is clear from the timing chart that only 4 kinds of mechanism's modes can be discriminated by two loading sensors. Therefore in practice, STOP and FF/REW modes can always be detected, and other modes are detected by counting pulses generated after the Stop mode. In other words, the mechacon sets the mechanism and related circuits into the Stop mode whenever there is a preset input.

###### FF/REW mode

When loading sensor-1 is HIGH and loading sensor-2 is HIGH, the mechacon detects this mode. In this mode the reel is driven by the capstan motor's rotation which is transmitted through the idler. In this state the reel brake is loaded with a slight loading backtension to prevent the tape from slackening when the tape is running.

Besides the FF/REW mode, this condition is also applied to the Short FF mode, which is a short fast-forwarding function at the time when the start sensor detects the leader tape of a loaded tape. This protects the video head from damage resulting from passage of a joined part of the leader tape and the magnetic tape at the loading and the starting of a tape.

Both operation in the FF mode and the Short FF mode are the same.

Abb./Fig. 3-1-1 Betriebsarterkennung  
Mechanism mode det.

## STOP Position

Hat Sensor 1 „H“ Pegel und Sensor 2 „L“ Pegel, erkennt der Mikroprozessor die STOP Position. Die Wickelteller werden durch die angezogenen Hauptbremsen blockiert. Die Betriebsarten EJECT und „Short REW“ können nur in dieser Laufwerksbetriebsart ausgeführt werden. Die Short REW Funktion verhindert die Bildung einer Bandschleife während der EJECT Funktion. Sie wird vor der EJECT Funktion ausgeführt.

Vor der Erklärung der PLAY, SLOW/STILL, PAUSE und REVERSE Betriebsart sei die Ein- und Ausfädefunktion beschrieben:

Befindet sich das Laufwerk in der STOP Position und wird z. B. die PLAY Taste gedrückt, steuert das Mechacon den Betriebsartsteuermotor in Vorwärtsrichtung und das Kurvenrad beginnt zu drehen. Bei dieser Funktion wird das Band aus der Cassette gezogen und um die Kopftrommel geschlungen. Das Band ist eingefädelt (siehe Bild 3-1-2, von STOP bis Punkt A). Folglich wird das Band bei Betrieb in umgekehrte Richtung, von Punkt A nach STOP, ausgefädelt. In der Praxis heißt das, daß der Betriebsartsteuermotor an Punkt A nicht stoppt, wenn eine andere Laufwerkfunktion angesteuert wird. Während der Betriebsartsteuermotor in Vorwärtsrichtung läuft, wird eine der Funktionen PLAY, SLOW/STILL, PAUSE oder REVERSE gesetzt.

## STOP mode

When the loading sensor-1 is HIGH and the loading sensor-2 is LOW, the mechacon operates the STOP mode. In this mode the reel is braked by the main brake. Operations of EJECT and Short REW can be done only in this mode. The Short Rewind function operates for absorbing tape slack prior to eject. When the EJECT button is pressed in the Stop mode, the mechacon enters the Short REW mode before proceeding to eject.

Prior to explaining the PLAY, SLOW/STILL, PAUSE and REVERSE modes, we will explain loading and unloading. If the mechanism is in the Stop mode and the PLAY button (for an example) is pressed, the mechacon makes the mode control motor turn forward and the cam gear starts driving at the same time. By this operation, tape is pulled out of the loaded cassette, to be wound around the drum. This is the loading whose operation period is shown in the figure (from STOP mode to point A).

Therefore, unloading is the operation from point A to STOP mode. In practice, the mode control motor does not stop at point A for setting another mode. One of PLAY, SLOW/STILL, PAUSE and REVERSE modes is set in the condition that the mode control motor continues its rotation in the forward direction.

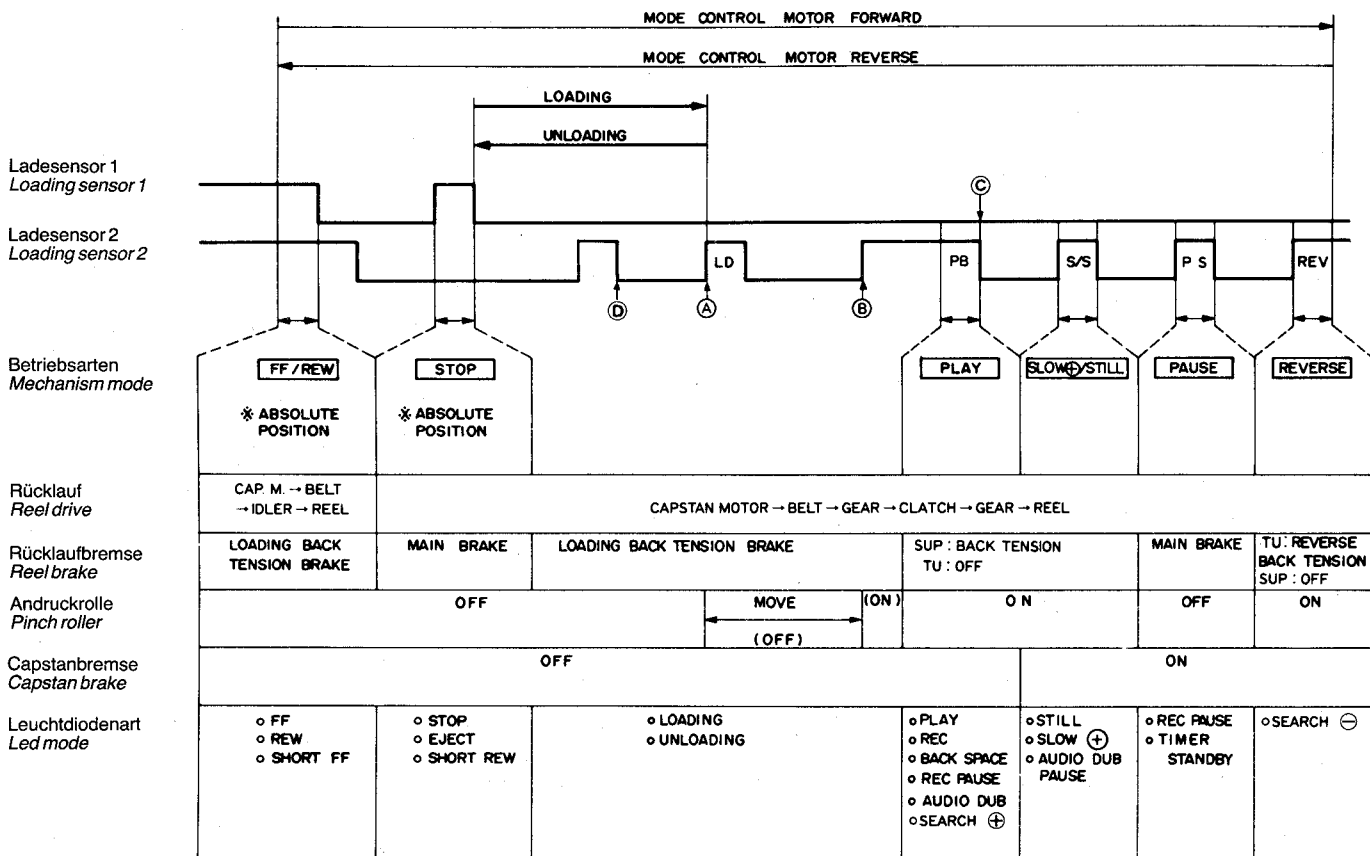


Abb./Fig. 3-1-2 Laufwerks-Betriebsarten  
Mechanism modes

## PLAY Betriebsart

Zwischen dem Abschnitt A bis C wird die Andruckrolle an den Capstan gedrückt. Ab Punkt A wird die Andruckrolle in Richtung Capstan bewegt. In Punkt B haben beide Kontakt, angepreßt wird die Rolle an Punkt C. Zwischen den Punkten B und C hat Sensor 2 „H“ Pegel, aber erst an Punkt C ist der Vorgang abgeschlossen. Der Grund hierfür liegt darin, daß beim Wechsel von STOP nach PLAY der Motor einmal kurz über Punkt C läuft und die PLAY Funktion verfehlt. Erst wenn nach Zurücklaufen des Motors der Sensor 2 wieder „H“ Pegel hat, beginnt die PLAY Betriebsart.

## PLAY mode

The section between points A and C is such that the pinch roller and the capstan are in contact. The pinch roller gradually approaches the capstan from point A and both contact at point B, however, this contact is just touching. Between the points B and C they are gradually pressed against each other to contact fully. The loading sensor-2 is HIGH in the section between the points B and C, but the mode setting is performed around point C. This is because, in changing the mode from STOP to PLAY, the motor stops once at a point just over point C after rotating forward and approaching the point for PLAY mode. Then, the mode control motor rotates in the reverse direction and stops at the point that the loading sensor-2 becomes HIGH. Therefore, PLAY mode is set.



Als nächstes sei die Ausfädelfunktion von PLAY nach STOP erläutert: Wird in der PLAY Betriebsart die STOP Taste gedrückt, beginnt der Betriebsartsteuermotor in Rückwärtsrichtung zu laufen. In diesem Zustand muß das Band zurück in die Cassette gefädelt werden. Bei diesem Modell geschieht dies durch Drehen des Abwickeltellers und Blockieren des Aufwickeltellers. Das Einfädeln in die Cassette geschieht in der Zeit zwischen Punkt B und STOP. Würde dieser Vorgang schon bei Punkt C beginnen, so würde das Band beschädigt, da die Andruckrolle zu diesem Zeitpunkt noch Kontakt mit dem Capstan hat. Der eigentliche Ausfädelvorgang beginnt bei Punkt A. Beim Zurückziehen des Bandes in die Cassette läuft der Capstan Motor mit einer Spannung von 3 V. Verläßt das Band die Kopftrommel (Punkt D), fällt die Spannung auf annähernd 2 V, um die Aufwickelgeschwindigkeit langsam zu verringern.

Während der Wiedergabebetriebsart dreht der Capstan Motor in Vorwärtsrichtung und transportiert in Verbindung mit der Andruckrolle das Band. Außerdem treibt er über die Antriebskupplung den Aufwickelteller an. Die Drehung des Abwickeltellers wird von der Back Tension-Bremse beeinflusst.

In diesem Laufwerkzustand werden die Betriebsarten PLAY und REC verwirklicht.

#### **SLOW/STILL Betriebsart**

In dieser Laufwerkposition werden die Betriebsarten SLOW/STILL, AUDIO DUBBING und PAUSE verwirklicht.

Der Unterschied zwischen der Funktion PLAY und SLOW/STILL besteht darin, daß der Capstan Motor mechanisch gebremst wird. Eine Bremsung auf elektrischem Weg ist nicht möglich.

#### **PAUSE Betriebsart**

Die PAUSE Funktion wird erreicht, wenn a) in der STOP Stellung die REC- und die PAUSE-Taste gleichzeitig gedrückt werden und b) sich das Gerät infolge der Timerfunktion in Standby-Stellung befindet.

Während dieser Zustände sind die Hauptbremsen angezogen und die Bandbewegung ist gestoppt. Die Andruckrolle wird vom Capstan getrennt, um eine Deformation zu verhindern. Der Capstan Motor wird ebenso mechanisch gebremst.

#### **REVERSE Betriebsart**

Die Funktionen SEARCH REWIND und SLOW werden in der REVERSE Betriebsart ausgeführt. Der Bandtransport wird bei gelöster Back Tension-Bremse durch Antrieb des Abwickeltellers über Riemen und Antriebskupplung vom Capstan Motor aus bewirkt.

Der Betriebssteuermotor wird von zwei Spannungen angesteuert. In den Funktionen Aus- und Einfädeln beträgt die Betriebsspannung des Motors 8 V, in allen anderen Funktionen wird eine 12 V Spannung genutzt. Theoretisch ist es gleich, ob der Motor mit 12 V oder 8 V Spannung betrieben wird. In der Praxis zeigt es sich jedoch, daß bei der Benutzung von Cassetten mit großer Spielzeit der Ein- und Ausfädelvorgang zu schnell erfolgt. Eine mögliche Beschädigung des Bandes wäre die Folge. Aus diesem Grund wird während des Ein- und Ausfädelvorgangs eine 8 V Spannung verwendet.

Während des Einfädelvorgangs wird der Abwickelteller blockiert und der Aufwickelteller angetrieben.

Während des Ausfädelvorgangs wird der Aufwickelteller blockiert und der Abwickelteller angetrieben.

Alle Funktionen des Mechacons werden durch die Sensoren überwacht, so daß keine Fehlfunktionen möglich sind.

Next, the unloading operation (when the mode changes from PLAY to STOP) will be explained.

As the STOP button is pressed in Play mode, the mechacon makes the mode control motor rotate in the reverse direction.

In this state the tape is in the middle of its travel, therefore, it is required to store the tape by winding into the cassette. In this model such winding is performed by rotation of the supply reel while the take-up reel is fixed. Winding tape ends in the section between point B and STOP mode. If winding would be performed between points C and B, the tape would tangle because the pinch roller and the capstan contact each other and both systems try to forward the tape. In this model the tape winding starts at point B and unloading operation starts at point A. In addition, tape winding is usually performed by 3 VDC, but, when the tape gets out of the drum (point D), the voltage drops down approximately to 2 VDC to slow down tape winding speed.

The following are states of the main components of the mechanism in the Play mode.

The capstan forwards a tape and the take-up reel winds it up by gear driving. The supply reel is affected by the back-tension brake.

In this mode of the mechanism, PLAY and REC modes and operation of tape winding are realized as the PAUSE button is depressed in the REC mode are realized.

#### **SLOW/STILL mode**

In this mode SLOW/STILL in the forward direction, AUDIO DUBBING, and PAUSE are realized.

The difference between the modes of PLAY and SLOW/STILL modes is that the capstan is mechanically braked, because the capstan motor cannot be braked electrically.

#### **PAUSE mode**

The Pause mode is entered a) in the Stop mode, by simultaneously pressing the REC and PAUSE buttons, and b) during the Standby state of Timer Recording. During these periods, the main brakes are applied to the reels and tape motion stops. The pinch roller separates from the capstan in order to avoid possible deformation due to long period contact. Mechanical braking is also applied to the capstan.

#### **REVERSE mode**

In this mode the tape runs in the reverse direction in SEARCH REWIND and SLOW operations. Although the back-tension brake (against the supply reel) is released in this mode, the take-up reel is forced by the back-tension brake. Tape winding is performed by the supply reel, which is turned by rotation of the capstan motor and the gear, through a belt.

Detailed explanations will be described below.

Two voltages are used to drive the mode control motor. One is the 8 V DRIVE voltage used in loading and unloading, and the 12 V -DRIVE voltage for other operations.

In theory there is no reason not to use the 12V DRIVE for all operations, but in practice, loading and unloading (when driven by 12V), are too fast and may result in damage of a tape and cassette, especially when using a long tape such as a T-160. Loading and unloading driven by 8V DRIVE is favorable.

Regarding tape winding operations in loading and unloading, the supply reel is fixed in loading while the take-up reel is fixed in unloading.

An additional function of the mechacon is check the loading sensors so that the mechacon will not set a wrong mode, or so it will reset a misset mode.

## 2. Cassettenfach

Das Cassettenfach ist in diesem Modell mit einem START Sensor, einem END Sensor, einem REC SAFETY Schalter (Schutz vor unbeabsichtigter Aufnahme), den Schaltern CASSETTE IN, dem Schalter CASSETTE LOAD END, dem Schalter EJECT END und dem Cassettenfachmotor bestückt. Das Cassettenfach wird vom Cassettenfachmotor bewegt. Der Cassettenfachmotor wird vom Mikroprozessor in Abhängigkeit von den Schalterstellungen gesteuert.

Wird eine Cassette geladen, schalten die zwei CASSETTE IN Schalter, einer auf der linken und einer auf der rechten Seite, ein. Diese Schalter liegen in Reihe zwischen Mechacon und Masse. Demzufolge müssen beide Schalter geschlossen sein, um einen Ladevorgang auszuführen. Öffnet ein Schalter innerhalb von 0,7 sec wieder, so wird die Cassette nicht angenommen. Sind beide Schalter geschlossen, erkennt das Mechacon, daß eine Cassette eingelegt ist und startet den Cassettenfachmotor. Die Cassette wird geladen. Ist der Ladevorgang beendet, schaltet der CASSETTE LOAD END Schalter ein und der Cassettenfachmotor wird gestoppt. Schließt dieser Schalter nicht innerhalb von 8 sec nachdem der Ladevorgang beendet wurde, wird die Cassette wieder ausgeworfen.

Wird die EJECT Taste gedrückt, wird der „Short REW“ Vorgang ausgelöst. Anschließend startet der Cassettenfachmotor in die EJECT Richtung. Ist der Entladevorgang beendet, schaltet der EJECT END Schalter ein. Das Mechacon stoppt den Cassettenfachmotor. Schließt der EJECT END Schalter nicht innerhalb von 8 sec nachdem der Entladevorgang begann, schaltet der Mikroprozessor das Gerät aus.

## 2. Cassette housing

The cassette housing of this model is equipped with the START sensor, END sensor, REC SAFETY switch, CASSETTE-IN DETECTOR switch, CASSETTE LOAD END switch, EJECT END switch and the cassette motor. Among them, the following are used for controlling the cassette housing; the cassette-in detector switch, cassette load end switch, eject end switch and the cassette motor.

When a cassette is loaded, two cassette-in detector switches at the right and left sides of the cassette housing turn on. These two switches are connected in series, between ground and the mechacon. Consequently, both switches must be closed to enable cassette loading. If either switch turns off within approx. 0.7 sec after both have turned on, the eject operation will take place.

When the cassette-in switch has turned on, the eject operation will take place.

When the cassette-in switch has turned on, the mechacon determines that a cassette is inserted and starts the cassette motor rotation in the direction of cassette loading. After completion of the above process the cassette is completely loaded in the cassette housing.

As the cassette loading finishes, the cassette load end switch turns on and the mechacon stops the motor's rotation. In case the cassette load end switch does turn on within 8 sec after cassette loading operation starts, the machine enters the EJECT mode.

After the EJECT button has been pressed, a short REW operation takes place so that the mechacon confirms whether the tape slackens or not. Then, the cassette motor shall turn in the direction of EJECT. When ejection finishes, the eject end switch turns on. The mechacon reads this timing to stop the cassette motor's rotation. If the EJECT END switch does not turn on within 8 sec approximately after the eject operation starts, the machine enters the POWER OFF mode.

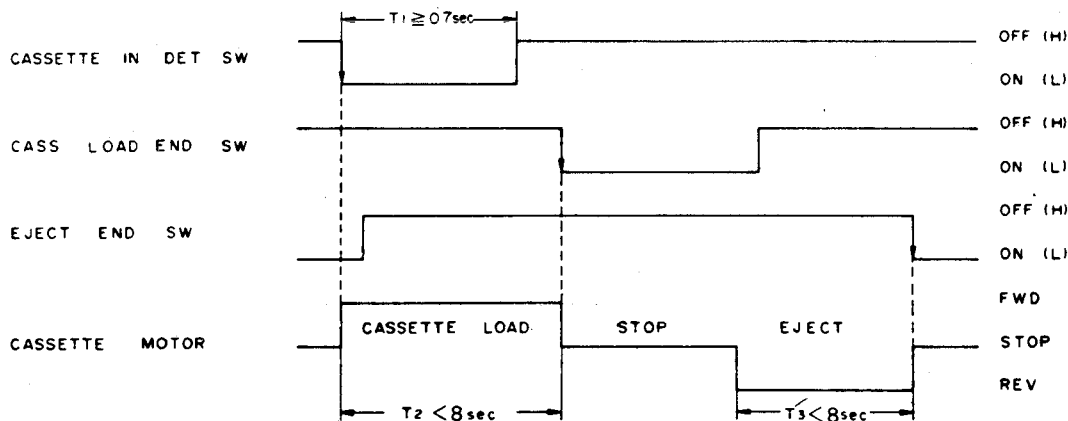


Abb./Fig. 3-1-3 Zeitablauf der Cassettenfachsteuerung  
Cassette housing control

## 3. TM Bus

Der Datentransfer zwischen dem Mikroprozessor, der Tuner-Timerschaltung und dem Prozessor des Mechacons wird mit Hilfe eines Strobe-Impulses und einem 4 Bit Datenbus ausgeführt.

Die Bus Steuerung übernimmt der Prozessor der Tuner-Timerschaltung (nachfolgend T/T genannt), indem er Strobeimpulse und Adressen ausgibt. Der Ablauf der Datenübertragung wird vom Strobeimpuls bestimmt. Mit der abfallenden Flanke (  $\downarrow$  ) des Strobeimpulses empfängt der Mechaconprozessor die Ausgangsdaten des T/T-Prozessors. Mit der ansteigenden Flanke des Strobeimpulses (  $\uparrow$  ) werden die Daten an die zugeordneten Adressen gesendet. Es existieren insgesamt 16 Adressen von 1-9 und von A-F. Liegt eine Adresse zwischen 0-B, gibt der Mechaconprozessor Daten ab. Bei einer Adresse von C-F kommen die Daten aus dem T/T-Prozessor. Betrachtet man den Datentransfer vom Dateneingang her, so kann man sagen, daß der Mechaconprozessor die Adressen C-F empfängt und der T/T-Prozessor die Adressen 0-B.

## 3. TM bus

Data transmission/reception between T/T control and the microcomputer of the mechacon is performed by means of strobe signals and a 4-bit bus.

This TM bus is controlled by the microcomputer of the T/T control, and the strobe signals address codes addresses are outputted by this microcomputer. The strobe signals determine the timing of data transmission. At the fall of the pulse (  $\downarrow$  ) the microcomputer of the mechacon receives the address code outputted by the T/T control's microcomputer, and at the rise of the pulse (  $\uparrow$  ) the data is transmitted to the assigned address.

There are sixteen addresses from 0 through 9 and A through F, and when the assigned address is one of 0 through B, the mechacon outputs data. If the address is one of C through F, the T/T control outputs data. Regarding data input, on the other hand, the T/T control receives data of addresses of 0 through B, while the mechacon does for addresses of C through F.

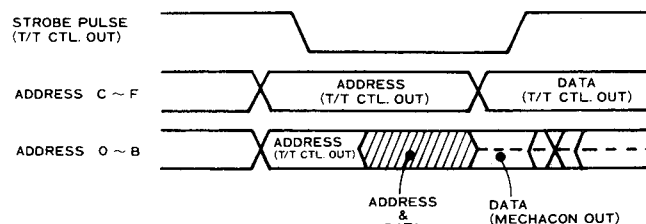


Abb./Fig. 3-1-4 Impulsverlauf auf dem TM-Bus  
TM bus timing

### 3-1-3 Funktion der Schaltung

### 3-1-3 Circuit operation

#### 1. Funktion der Mikroprozessoranschlüsse (IC201)

#### 1. Terminal function of microprocessor (IC201)

PIN No.	SYMBOL	OUTPUT STATE	LABEL	IN/OUT	CONTENTS
1	VDD		5 V		
2	7		STROBE		
3	6		SERIAL DATA	OUT	Refer to 3.1.3 -6.
4	5		CLOCK		
5	4	N-ch OPEN DRAIN	AUDIO MUTE (L)		
6	3		FMA REC MUTE (L)		
7	2		VIDEO REC MUTE (L)	OUT	
8	1		SPECIAL PB (H)		
9	0		INSERT (L)		
10	7		LP (L)	OUT	
11	6		MODE 3 (DRUM ON: H)		
12	5		MODE 2	OUT	
13	4	N-ch OPEN DRAIN	MODE 1		
14	3		SEARCH REW (H)		
15	2		POWER ON (L)	OUT	
16	1		POWER LED ON (L)		
17	0		CUE CONTROL (L)	IN/OUT	
18	7		DATA 3		
19	6		DATA 2	OUT	Refer to Table 3-1-2.
20	5		DATA 1		
21	4	N-ch OPEN DRAIN	DATA 0		
22	3		AUDIO BIAS ON (L)	OUT	
23	2		CAPSTAN FG	IN	For SP/LP/EP, Back-space
24	1		AUDIO PB (L)	OUT	
25	0		AUDIO REC MUTE (L)		
26	INT 1		REMOTE	IN	
27	CNVss		GND	IN	
28	RESET		RESET (L)	IN	
29	X IN		3 MHz CLOCK	IN	
30	X OUT		3 MHz CLOCK	OUT	
31	φ		NC	OUT	
32	Vss		GND	IN	
33	7		SENSOR 2		
34	6		SENSOR 1	IN	Refer to 3.1.2.
35	5		POWER SW ON (L)	IN	
36	4		START SENSOR ON (L)		
37	3		END SENSOR ON (L)		
38	2		REC SAFETY SW ON (L)	IN	
39	1		CASS. IN DET. SW ON (L)		
40	0		CASS. LOAD END SW ON (L)		
41	7		COUNTER MEMORY SW ON (L) IN/AUDIO DUB (L) OUT		
42	6		CUE SW ON (L)		
43	5		CONTROL PULSE	IN	
44	4	N-ch OPEN DRAIN	DRUM FF		
45	3		MODE CTL/CASS. MOTOR CTL 3		
46	2		MODE CTL/CASS. MOTOR CTL 2	OUT	Refer to 3.1.3 -4.
47	1		MODE CTL/CASS. MOTOR CTL 1		
48	0		EJECT END SW ON (L) IN/MODE CTL MOTOR HIGH SPEED (H) OUT		
49	7		REMOTE PAUSE (L)	IN	
50	6		CAPSTAN FWD (H)/REV (L)	IN	
51	5		CAPSTAN DRIVE 5		
52	4	N-ch OPEN DRAIN	CAPSTAN DRIVE 3		
53	3		CAPSTAN DRIVE 2, 4	OUT	Refer to 3.1.3 -5.
54	2		CAPSTAN DRIVE 1		
55	1		CAPSTAN DRIVE 0		
56	0		CAPSTAN FWD (H)/REV (L)	OUT	
57	7		DEW SENSOR ON (H)	IN	
58	6		SUPPLY REEL FG		
59	5		TAKE-UP REEL FG	IN	For Reel Rotate Detect.
60	4	P-ch OPEN DRAIN	STROBE	IN/OUT	
61	3		DATA 3		
62	2		DATA 2		
63	1		DATA 1	OUT	Refer to 3.1.3 -3.
64	0		DATA 0		

Tabelle/Table 3-1-1 Anschlußbelegung von IC201/IC201 terminal function

SEARCH SPEED	CAPSTAN FWD/REV	DATA			
		3	2	1	0
+ 9	0	1	1	1	1
+ 5	0	1	0	1	1
+ 3	0	0	1	1	1
+ 1	0	0	0	1	1
+ 1/5	0	1	1	1	0
+ 1/10	0	1	0	1	0
+ 1/20	0	0	1	1	0
+ 1/40	0	0	0	1	0
FRAME ADV. +	0	0	1	0	1
STILL +	0	0	0	0	1
NORMAL	0	0	0	0	0
STILL -	1	0	0	0	1
FRAME ADV. -	1	0	1	0	1
- 1/40	1	0	0	1	0
- 1/20	1	0	1	1	0
- 1/10	1	1	0	1	0
- 1/5	1	1	1	1	0
- 1	1	0	0	1	1
- 3	1	0	1	1	1
- 5	1	1	0	1	1
- 9	1	1	1	1	1

Tabelle/Table 3-1-2 Servo-Daten/Servo data

## 2. Terminal function of microprocessor (IC801)

PIN No.	SYMBOL	OUTPUT STATE	LABEL	IN/OUT	CONTENTS
1	7		MECHACON DATA ENABLE(L)		
2	6		"		
3	5		"	OUT	Rfer to 3.1.3 -3.
4	4	N-ch OPEN DRAIN	"		
5	3		INHIBIT OPERATION (L)	OUT	
6	2		SERVO ON (H)	IN	
7	1		MODE CTL MOTOR ON (H)	OUT	
8	0		MOTOR DRIVE FWD (H)	IN	
9	NC				
10	7		CASSETTE IN (L)		
11	6		LP (L)		
12	5		SENSOR 2		
13	4		SENSOR 1	IN	
14	3		TAPE END (L)		
15	2		CAPSTAN FWD(H)/REV(L)		
16	1		TAKE-UP REEL FG		
17	0		SUPPLY REEL FG		
18	CNTR		STROBE	IN	
19	INT		CAPSTAN FG	IN	
20	NC		NC		
21	CN Vss		GND		
22	RESET		RESET (L)	IN	
23	X IN		3 MHz	IN	
24	X OUT F		NC		
25	X OUT S		3 MHz	OUT	
26	Vss		GND		
27	0				
28	1	N-ch OPEN DRAIN			
29	2				
30	3				
31	$\phi$				
32	R/W				
33	CE				
34	RESET				
35	7				
36	6				
37	5				
38	4	N-ch OPEN DRAIN			
39	3		LOW DATA 3		
40	2		" 2	OUT	Refer to 3.1.3 -3.
41	1		" 1		
42	0		" 0		
43	7				
44	6				
45	5				
46	4	P-ch OPEN DRAIN			
47	3		HIGH DATA 3		
48	2		" 2	IN/OUT	Refer to 3.1.3 -3.
49	1		" 1		
50	0		" 0		
51	NC				
52	Vcc		5 V		

Tabelle/Table 3-1-3 Anschlußbelegung von IC801/IC801 terminal function

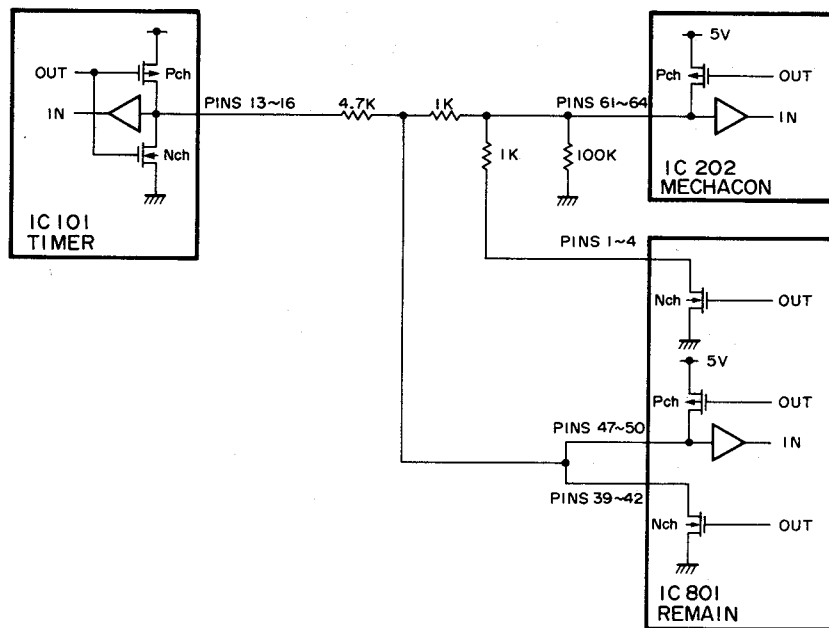


Abb./Fig. 3-1-5 TM-Bus-Blockschaltbild  
TM bus block diagram

Abb. 3-1-5 zeigt das TM Bus Blockschaltbild.

IC801 (REMAIN Platine) in dieser Schaltung ermittelt den Restbandanteil und sendet die errechneten Daten zum T/T-Prozessor. Der Datentransfer und Empfang im TM Bus findet generell zwischen den zwei Prozessoren der T/T-Schaltung und für Mechacon statt, ausgenommen IC801, das Daten für die Adressen 0, 1 und 2 sendet.

IC 801 ist mit den genannten Prozessoren über den TM Bus und drei Ports (Torschaltung) verbunden. Die Ausgänge 1, 2, 3 und 4 bestehen aus N-Kanal „Open Drain“ Anschlüssen. Wenn das Mechacon Daten sendet, gehen die Ports auf L-Potential und stabilisieren die Daten vom TM Bus. Die beiden 4-Pin Ports 39 – 42 und 47 – 50 sind als C-MOS Ausgänge kurzgeschlossen. Dadurch werden durch Löschung weiterer Daten Ausgangsdaten vom IC801 wirksam.

Neben den bisher genannten Funktionen erfüllt IC801 die Aufgabe, den Betriebsarten-Motor zu regeln.

Bei Zweifeln bezüglich der Restbandanzeige oder wenn der Betriebsartensteuermotor nicht rotiert, ist die REMAIN-Platine zu überprüfen.

Fig. 3-1-5 shows the TM bus block diagram.

IC801 (REMAIN PWB) in this circuit functions to compute remainder of the tape and to send the computed data to the T/T CONTROL microcomputer.

Generally, data transmission and reception in the TM bus take place between the two microcomputers for T/T control and for mechacon except that IC801 outputs data of addresses 0, 1 and 2.

IC801 is connected with the said microcomputers through the TM bus and three ports. Output state of pins 1, 2, 3 and 4 is N-ch open drain, and, when the mechacon outputs data, potential of the port becomes Low to stabilize the data on the TM bus. The port of four pins from 39 through 42 and the port of other four pins from 47 through 50 are short-circuited for C-MOS outputs which make data output from IC801 effective by canceling other output data at the same time.

Besides the above-mentioned function, IC801 controls the mode control motor to prevent it from overrunning. Consequently, when in doubt about indication of tape remainder and when the mode control motor does not rotate, it is required to check up the remain board.

Address	Data			
	0	1	2	3
0	Tape remainder: 0 (1 min.)			
1	Tape remainder: 1 (10 min.)			
2	Tape remainder: 2 (1 hour)			
3	LAP ENABLE	SP	LP	VIDEO
4	CH UP	CH DOWN	CH ENTER	CH DATA 4
5	CH DATA			
6	OTR ENABLE	TUNER ON	POWER ON	CASS. IN
7	DECK MODE			
8	GO TO MODE	TAPE START	STOP MODE	NEXT MODE
9	L	R	NORMAL	X
A	MUSIC SCAN			
B	X			
C	PRE START	REC START	SP(H)/LP(L)	TIMER SW
D	GO TO FF	GO TO REW	COUNT "0"	EJECT
E	X			
F	X			

Tabelle/Table 3-1-4 TM-Bus/TM bus data

CH DATA 4 (L)		CH DATA 4 (H)	
Address	Data 5	Address	Data 5
0	16	0	X
1	1	1	SP/EP
2	2	2	AM/PM
3	3	3	0
4	4	4	CH (VPS)
5	5	5	TIMER SW
6	6	6	CANCEL
7	7	7	PROG
8	8	8	DISPLAY
9	9	9	COUNT RESET
A	10	A	MTS SEL
B	11	B	GO TO
C	12	C	SELECT
D	13	D	INSERT PAUSE
E	14	E	ENTER
F	15	F	X

Tabelle/Table 3-1-5 TM-Bus 5 Bit Adreßdaten  
TM bus address 5 data

Data (Hex)	—
0	OFF
1	STOP
2	FF
3	REW
4	PLAY
5	STILL
6	SEARCH FF
7	SEARCH REW
8	REC
9	REC PAUSE
A	AUDIO DUB
B	AUDIO DUB PAUSE
C	EJECT
D	SLOW
E	INSERT
F	INSERT PAUSE

#### 4. Motor Steuerung (IC206)

Der IC206 dient als Motortreiber und zur Regelung des Motors in Vorwärts- und Rückwärtsrichtung sowie zum Abbremsen des Cassetten-Motors und des Betriebsarten-Steuermotors. Die Abb. 3-1-6 zeigt die Block-schaltung, die Tabellen 3-1-7 sowie 3-1-8 informieren über die Pin-funk-tionen bzw. die Ein-/Ausgänge des IC206.

Pin No.	Symbol	Pin function
1	GND	0 V
2	OUT 2	$V_{OL} \leq 1.5 \text{ V}$
3	OUT 3	$V_{OH} \geq 10 \text{ V}$
4	IN 1	$V_{IL} \leq 1.0 \text{ V}$
5	IN 2	$V_{IH} \geq 3.5 \text{ V}$
6	IN 3	
7	Vcc 1	8–18 V (12 V)
8	V <sub>R</sub>	Output voltage control (0–18 V)
9	Vcc 2	8–18 V (12 V)
10	OUT 1	$V_{OL} \leq 1.5 \text{ V}$ , $V_{OH} \geq 10 \text{ V}$

Tabelle/Table 3-1-7 Anschlüsse von IC206/  
IC206 pin functions

Tabelle/Table 3-1-6 TM-Bus 7 Bit Adreßdaten  
TM bus address 7 data

#### 4. Motor driver (IC206)

IC206 is the motor driver to control normal rotation, reverse rotation and braking of the cassette motor and the mode control motor.

Fig. 3-1-6 shows the block diagram, Table 3-1-7 and Table 3-1-8 indicate the pin functions and inputs/outputs of IC206 respectively.

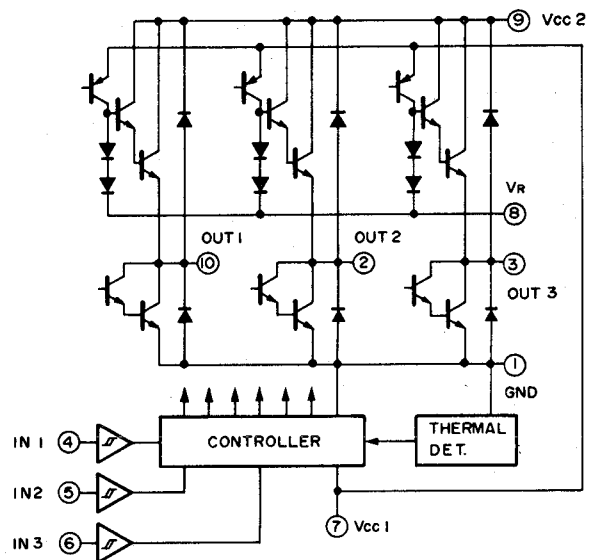


Abb./Fig. 3-1-6 Blockschaltbild  
Block diagram

INPUT			OUTPUT			Remarks
Pin 4 IN 1	Pin 5 IN 2	Pin 6 IN 3	Pin 10 OUT 1	Pin 2 OUT 2	Pin 3 OUT 3	
L	L	L H	L	L	L	Brake
H	L	L	H	L	OPEN	Current flows from OUT 1 to OUT 2.
H	L	H	L	H	OPEN	Current flows from OUT 2 to OUT 1.
L	H	L	H	OPEN	L	Current flows from OUT 1 to OUT 3.
L	H	H	L	OPEN	H	Current flows from OUT 3 to OUT 1.
H*	H*	L* H*	L	L	L	Brake

\* Do not use these pins.

Tabelle/Table 3-1-8 Ein- und Ausgänge von IC206/IC206 inputs/outputs

## 5. Capstan-Motor-Regelschaltung

In Abb. 3-1-7 ist der Capstan-Motor-Regelkreis dargestellt. Abhängig von der jeweiligen Betriebsart wird der Capstan-Motor entweder vom Mechacon oder aber vom Servokreis geregelt. Normalerweise geschieht die Regelung vom Mechacon. Der Servokreis übernimmt diese Aufgabe in den Betriebsarten Aufnahme und Wiedergabe. Im letzteren Fall wird die Rotationsrichtung vom Mechacon gesteuert, während der Servokreis die Steuerung der Rückhaltebremse SLOW-Betrieb übernimmt.

Die Spannungen für den FF/REW-Betrieb betragen 10,8 bzw. 6V.

Die 6V Spannung wird benötigt, um Bandschlaufenbildung zu verhindern, die möglicherweise beim Wechsel des Mechanismus von PLAY und REV entstehen.

Eine Spannung von 4V wird für Umspulen des Bandes, im Leerlauf und kurzzeitigem FF/REW benötigt.

2V dagegen für Umspulen im Leerlauf.

Der Capstanmotor wird im SLOW-Betrieb mechanisch gebremst und der SLOW-Impuls vom Servo über einen weiteren Zweig zum intermittierenden Capstanantrieb herangezogen. Der D-Flip-Flop (Verzögerungs-F/F) innerhalb des IC202 erkennt die Drehrichtung des Capstanmotors. Hierzu benötigt man zwei Signale von den Capstan-Frequenzgeneratoren CAP FG 1 und 2, die als Ausgangssignale am PU-Kopf, der mit dem Capstanmotor verbunden ist, zur Verfügung stehen. Diese werden verstärkt und im Servokreis geformt und letztlich der Mechaconschaltung zugeführt. Die Phasenlage der Signale vom CAP. FG 1 und 2 sind in Vor- bzw. Rückwärtsrichtung entgegengesetzt, wie in Abb. 3-1-8 dargestellt. Das Mechacon verarbeitet diese CAP FWD/REV IN Impulse vom Pin 50 (IC202) zur Ablaufsteuerung der Bremsen.

## 5. Capstan motor control circuit

See Fig. 3-1-7.

The capstan motor is controlled by either the mechacon or the servo circuit depending on the mode, namely, the capstan motor is usually controlled by the mechacon, but is controlled by the servo circuit in REC and Playback modes. In the latter case, the direction of rotation is controlled by the mechacon, while it is controlled by the servo circuit in reverse braking in the Slow mode.

Voltages of 10, 8 and 6V are used in the FF/REW mode. Among them, 6V is used to prevent tape slackening which possibly occurs when the mechanism mode is shifted between Play and REV.

4V is for tape winding in Unloading, idler movement, and Short FF/REW.

2V for tape winding in Unloading.

In the Slow mode, the capstan motor is mechanically braked, and the SLOW pulse is supplied from the servo circuit on another route to drive the capstan intermittently. The D. flipflop inside IC202 detects the direction of the capstan motor's rotation. Namely, two signals of CAP. FG 1 and 2 outputted from the PU head attached to the capstan motor are amplified and formed by the wave by the servo circuit first, and then supplied to the mechacon. The phases of CAP. FG 1 and 2 signals are contrary in forward and reverse rotations as shown in Fig. 3-1-8. The mechacon utilizes this pulse of CAP. FWD/REV IN from pin 50 of IC202 for timing of braking.

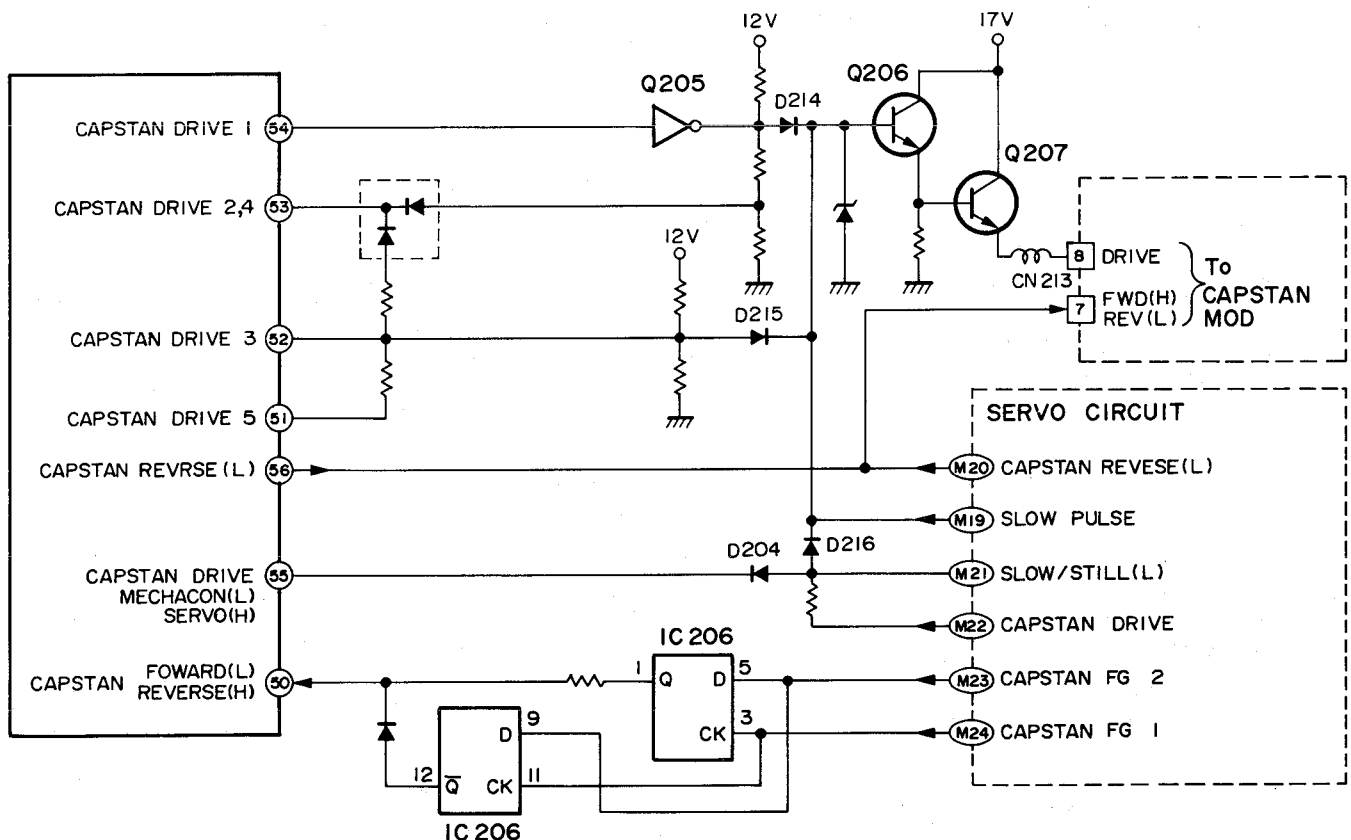


Abb./Fig. 3-1-7 Capstan-Motor-Regelschaltung/Capstan motor control circuit

		SERVO	MECHAICON					
			10 V	8 V	6 V	4 V	2 V	0 V
IC202 - 55	H	L	L	L	L	L	L	L
" 54	H	L	L	H	H	H	H	L
" 53	L	H	L	H	L	H	L	L
" 52	L	L	L	H	H	H	L	L
" 51	L	L	L	H	H	L	L	L

Tabelle/Table 3-1-9 Capstan-Steuerspannungen/  
Capstan drive voltages

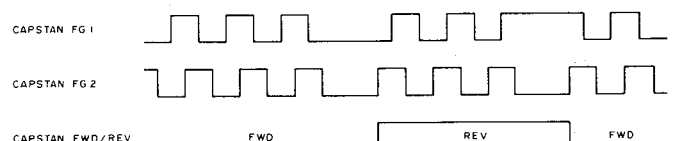


Abb./Fig. 3-1-8 Capstan Vor- und Rücklaufimpulse  
Capstan FWD/REW detect pulse

## 6. Output Expander

Das IC201 wird zusätzlich als Output Expander für das Mechacon verwendet, weil dieses nicht über genügend Ausgänge verfügt. Abb. 3-1-9 zeigt das Blockschaltbild des Serien-Ein-/Parallel-Ausgangs und Abb. 3-1-10 den entsprechenden Zeitablauf. Q1 eines 8 Bit Schieberegisters wird mit seriellen Daten vom Eingang 14 zu dem Zeitpunkt geladen, an dem die positive Flanke eines Clockimpulses am Pin 7 anliegt. In Q1 bereits gespeicherte Daten werden gleichzeitig von Q2 übernommen. Nach achtmaliger Wiederholung dieses Vorgangs befinden sich alle Informationen im 8 Bit Schieberegister.

Erhält Pin 2 zu diesem Zeitpunkt ein L-Potential, dann werden die Daten in das 8 Bit Latch (Verriegelung) übertragen und stehen hinter dem Puffer als Ausgangssignal zur Verfügung. Wegen der NPN-Open-Drain-Schaltung stehen Ausgangssignale nur beim Anlegen von L-Pegel zur Verfügung.

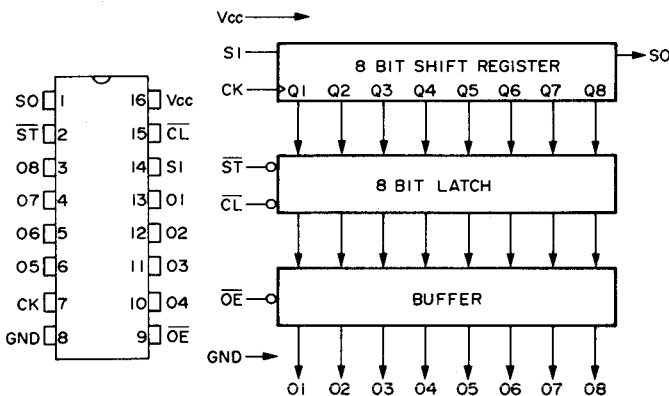


Abb./Fig. 3-1-9

## 6. Output expander

IC201 is used as a supplementary output expander of the mechacon which is short of output terminals.

Fig. 3-1-9 shows a block diagram of the serial in/parallel out IC block and Fig. 3-1-10 shows its timing chart.

Serial data input to pin 14 are loaded in Q1 of an 8-bit shift register at the rise time of the clock pulse inputted to pin 7, and at the same time, data which have been loaded in Q1 are shifted to Q2. After this operation is repeated eight times, all the data stored in 8-bit shift registers are changed being shifted one after another. If strobe of pin 2 becomes LOW in this state, data in the 8-bit shift registers are transferred to the 8-bit latch to be outputted through the buffer. All outputs take place in LOW active state because of N-ch open drain.

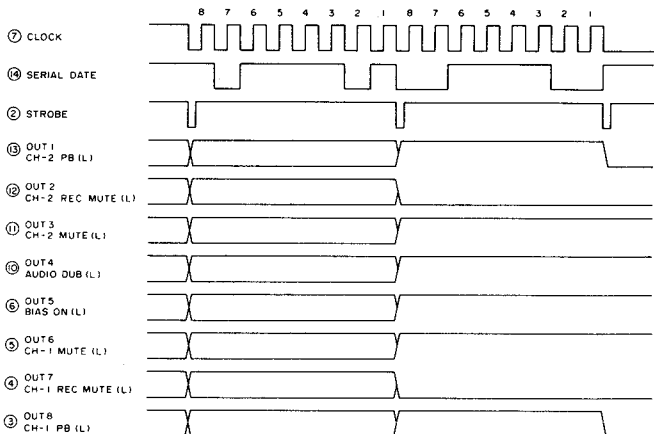


Abb./Fig. 3-1-10

## 7. Bildschnitt

(im folgenden Back-Space-Editing genannt)

Unter folgenden Bedingungen wechselt der Rekorder nach ca. 1 sec nach der Back-Space-Editing Funktion in die REC PAUSE Betriebsart:

- Wenn in der Betriebsart REC die PAUSE Taste gedrückt wird.
- Wenn die REC und PAUSE Tasten gleichzeitig in der Wiedergabefunktion gedrückt werden.
- Wenn eine Timer Aufnahme beendet wurde.

Werden zwei Aufnahmen aneinander gefügt, so beginnt die zweite Aufnahme 0,8 sec nachdem der V-Synchronimpuls des Videoeingangssignals mit dem vorausgegangenen aufgezeichneten Synchronimpuls synchronisiert ist.

Der genaue Back-Space-Editing Vorgang sei im folgenden am Beispiel der Funktion REC PAUSE erläutert.

Wird während der normalen Aufnahmebetriebsart die PAUSE Taste gedrückt, setzt das Mechacon die Audio Schaltung von der REC Betriebsart in die E-E Funktion und schaltet die Steuerspannung des Servos ab. Eine kurze Zeit später schaltet das Mechacon die Steuerspannung des Servos wieder ein und läßt gleichzeitig den Capstan Motor in die umgekehrte Richtung laufen. Durch Auswerten der Capstan FG-Impulse wird der Rücklauf nach genau 35 Bildwechseln gestoppt. Kurz darauf wird die Servospannung wieder eingeschaltet und der Capstan Motor dreht kurz in Vorwärtsrichtung. Anschließend schaltet das Mechacon in die Funktion REC PAUSE. Durch den Rücklauf für 35 Bildwechsel und anschließendem kurzen Vorlauf des Bandes ermittelt sich ein Gesamtrücklauf von 25 Bildern. Wird jetzt in der Betriebsart REC PAUSE die PLAY Taste gedrückt, so schaltet das Mechacon die Servospannung an den Capstan MDA und das Band wird transportiert. Der Capstan Servo regelt jetzt die Capstanrotationsphase für die Zeitdauer von 20 Bildwechseln so nach, bis das V-Synchronsignal des ankommenden Videosignals und die aufgezeichneten Kontrollimpulse der vorangegangenen Aufnahme synchron sind. Nach der Zeit von 20 Bildwechseln schaltet das Mechacon in die Aufnahmefunktion. Als Ergebnis entsteht ein rauschfreies Aneinanderfügen von zwei Aufnahmen mit einer Überlappung von 5 Bildern.

Die Beträge der überlaufenden Bandlängen (a, b, c) in Bild 3-1-11 werden durch Aufrechnung der Capstan FG-Impulse kompensiert (während eines Vollbildes werden 20 FG-Impulse erzeugt).

## 7. Back-space editing

In the following conditions the recorder enters REC PAUSE mode approximately 1 second after back-space operation.

- The PAUSE button is pressed in REC.
- The REC and PAUSE buttons are simultaneously pressed in Playback.
- When TIMER REC completed.

If the mode is shifted to REC in such the state, recording of A/B signal starts 0.8 sec after V. SYNC of the video input signal synchronizes the control pulse recorded previously. In the following is explained a case that PAUSE button is pressed in REC for an example.

When PAUSE button is pressed in REC mode, the mechacon functions to shift the mode of the audio circuit from REC to E-E and cuts off voltage supplied from the servo circuit for braking. Afterwards the mechacon turns on the voltage supplied from the servo circuit and at the same time it shifts the capstan's rotation to reverse mode for back-spacing, which takes place for the period for 35 frames counting capstan FG pulses. At the completion of back-spacing for 35 frames the mechacon cuts off the voltage supplied from the servo circuit to make the capstan rotate in the forwarding direction after braking, and then, it turns on the voltage from the servo circuit to move the take-up gear from the supply side to take-up side. After the above operations and another braking, the set enters REC PAUSE mode. It can be said that the tape for 25 frames is rewound in REC PAUSE mode since the capstan's rotation mode is shifted from reversing to forwarding.

If the PLAY button is pressed in REC PAUSE mode, the mechacon shifts the mode of the capstan servo circuit to assembly edit mode and turns on the voltage supplied from the servo circuit. While the capstan servo synchronizes V. SYNC of video input signal and control pulse, the mechacon counts capstan FG pulses, and, after the tape for 20 frames is wound, it shifts every circuit to REC mode at the timing of the fall of drum FF pulse.

The amount of overrun tape length (a, b, c) at braking of the capstan is every time compensated according to number of the capstan FG pulses. 20 capstan FG pulses are input for a frame.



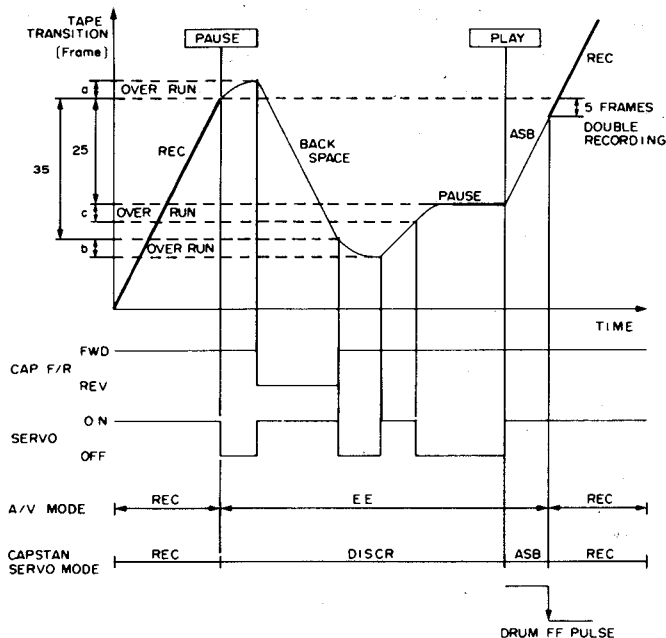


Abb./Fig. 3-1-11 Ablauf der Bildschnittsteuerung  
Back-space editing

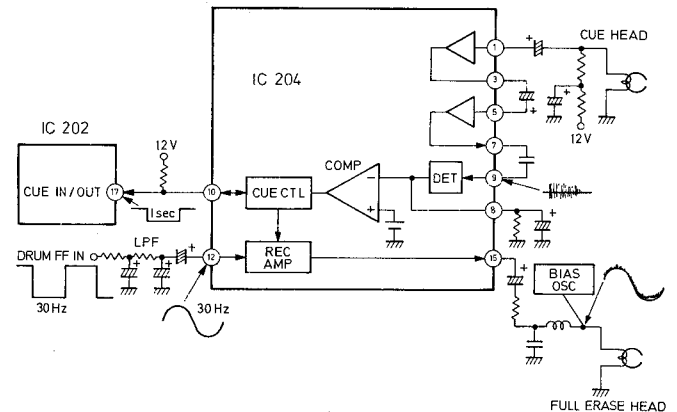


Abb./Fig. 3-1-12 Kennimpulserzeugung  
Cue control circuit

### 8. Automatische Kennung von SP/LP-Betrieb

Während SP/LP bei der Aufnahme manuell eingestellt wird, wird bei der Wiedergabe die entsprechende Betriebsart automatisch erkannt. Unabhängig von der Schalterstellung des SP/LP-Betriebsartenschalters werden die Regelfunktionen der entsprechenden Schaltkreise automatisch gestellt. Zur Kennung von SP/LP werden Betriebsartensteuerung und FG-Impulse herangezogen. Das Verhältnis zwischen der Anzahl der FG-Impulse und der Periode von zwei Steuerimpulsen wird entsprechend Tabelle 3-1-10 ermittelt.

Mode	Capstan FG pulses
SP	32
LP	16

### 9. Restband-Kennung

Die Restbandkennung erfolgt in dem Moment, in dem die Andruckrolle das Band an die Capstanwelle drückt und das Band sich zu bewegen beginnt. Die Kennung erfolgt mit Hilfe von Capstan FG-Impulsen, Abwickelteller FG-Impulsen und Aufwickelteller FG-Impulsen. Mit diesen drei Signalen beurteilt zunächst das Mechacon die Stärke des Wickels, ob groß oder klein. Danach werden die Abwickeltellerumdrehungen und damit die Abwickelteller FG-Impulse ermittelt und gleichzeitig die Capstan FG-Impulse, um die Restbandlänge zu errechnen. Schließlich wird noch die Betriebsart (SP/LP) und die Bandsorte einkalkuliert, um daraus endgültig die noch verbleibende Restbandzeit zu bestimmen.

Der TM Bus überträgt die Daten zum T/T-Mikroprozessor und damit zur Anzeige.

### 10. Suchlauf-Regelkreis (Cue)

Cue-Signale ermöglichen das schnelle Auffinden von Aufnahme-Startpunkten im FF/REW-Betrieb. Zu Beginn einer Aufnahme werden über die gesamte Breite des Bandes für 1 Sek. lang (außer bei Bildschnitt) Cue-Impulse aufgezeichnet. Dieses Signal wird vom Cue-Kopf im FF/REW-Betrieb von der Rückseite des Bandes wieder abgenommen (siehe Abb. 3-1-12).

Zu Beginn der „Vollaufnahme“ (full REC) erhält Pin 17 (IC202) für 1 Sek. einen L-Pegel. Dieses Signal gelangt zum Pin 10 des IC204 (CUE CTL Kreis), um den REC-Verstärker innerhalb des IC's einzuschalten. Außerdem erhält der REC-Verstärker ein 30 Hz Sinussignal mit integrierten DRUM FF Impulsen angeboten, und am Ausgang Pin 15 des IC204 steht damit ein 30 Hz-Sinussignal. Dieses Signal wird im Audioschaltkreis mit dem 70 kHz Vormagnetisierungssignal gemischt (40Vss) und mit dem Voll-Löschkopf auf das Band übertragen.

Im FF/REW-Betrieb wird dieses Signal vom Cue-Kopf erkannt und abgenommen und dem Cue-Regelkreis im IC204 über Pin 1 zugeführt. Nach Verstärkung durch den Wiedergabe (PB) Verstärker auf 11 V gelangt das Signal dann an den Ausgang Pin 7. Nach Beseitigung der anteiligen DC-Komponente gelangt das Signal vom Pin 9 des IC204 an eine Gleichrichterschaltung zur Glättung. Im COMP (Vergleicher) wird die Signalförm aufbereitet und erscheint als L-Pegel eine Sekunde lang am Pin 10 von IC204 und führt zum Pin 17 von IC202 über den CUE CTL Kreis. Das Mechacon löst damit den Stoppbefehl aus.

### 8. Automatic detection of SP/LP mode

In REC mode SP/LP mode is set by a user, but in PB mode the set automatically detects and sets a mode corresponding to the mode of recording to control relating circuits regardless of the position of SP/LP mode switch. For detection of SP/LP, mode control and capstan FG pulses are used. The ratio of the amount of FG pulses to a period of two control pulses is determined as shown in Table 3-1-10.

Tabelle/Table 3-1-10

### 9. Detection of tape remainder

Detection of remaining length of a tape takes place in the condition that the pinch roller is pressed to the capstan and the tape is travelling.

For this detection capstan FG pulse, supply reel FG pulse and take-up reel FG pulse are used.

Utilizing the above three signals the mechacon first judges whether it is a thick (large) hub or a thin (small) one. Next, in order to calculate remaining tape it measures the supply reel where the tape is rolled around by counting supply reel FG pulses. After correction in consideration of the mode (SP/LP) and the type of the tape, it finally calculates the time for the tape remainder.

The data of the tape remainder is transmitted to the T/T control micro-computer through the TM bus to show the time on the display.

### 10. Cue control circuit

Cue signal is applied for quick detection of the start point of recording in FF/REW mode. Cue signal is recorded by the full erase head for 1 second at starting of Full REC (without Edit) mode, and the cue signal is reproduced by the cue head in contact with back side of a tape in FF/REW mode. (See Fig. 3-1-12).

At starting of Full REC mode, pin 17 of IC202 becomes LOW for a period of 1 sec. This signal is supplied to pin 10 of IC204 (CUE CTL circuit) to turn on the REC amp. inside IC204. This REC amp. is supplied with 30 Hz sine-wave signals which DRUM FF pulses are integrated, and pin 15 of IC204 outputs the signal of 30 Hz sine-wave. This signal is then supplied to the normal audio circuit to be mixed with bias signals of 70 kHz, 40 Vp-p. The mixed signal is recorded on a tape by the full erase head.

In FF/REW mode, the cue signal detected by the cue head is supplied to pin 1 of IC204 on the cue control circuit. After the signal is amplified to 11 Vp-p by the PB amp. inside IC204, outputted from pin 7. This signal, after its DC component is cut off, is supplied from IC204 pin 9 to the DET circuit to smooth its rectification. Then, after waveform shaping by COMP circuit, the signal is outputted as a pulse having low potential for about 1 sec. from pin 10 of IC204 to IC202 pin 17 via the CUE CTL block. As a result, the mechacon shifts the mode to Stop.

### 3.1.4 Funktion des Mechacons

#### 1. POWER ON

Der POWER ON Zustand wird durch eine LED an der Frontseite angezeigt.

Er wird durch

- den POWER Schalter an der Frontseite,
- Drücken der POWER Taste auf der Fernbedienung,
- Einlegen einer Cassette erreicht.

#### Grundstellung nach dem Einschalten

Ohne eingelegte Cassette sind alle Betriebsartenanzeigen ausgeschaltet und der Rekorder befindet sich in der E-E Funktion.

Ist eine Cassette eingelegt und sind die Schalter CASSETTE LOAD END und EJECT END nicht geschlossen, wird die EJECT Funktion eingeleitet. Befindet sich das Laufwerk nicht in der STOP Position, so wird nach der Ausfädelfunktion die STOP Funktion (E-E) eingeleitet.

#### 2. POWER OFF

In der POWER OFF Funktion erlischt die LED auf der Frontseite. Die POWER OFF Funktion wird

- durch Drücken der POWER Taste auf der Frontseite,
- durch Drücken der POWER Taste auf der Fernbedienung erreicht.

Befindet sich das Laufwerk bei Ausschalten des Geräts nicht in der STOP Funktion, wird vor dem Ausschalten zuerst die STOP Funktion eingeleitet.

Außer den o. a. Ausschaltmodilitäten wird die POWER OFF Funktion noch durch Betätigen des Timer Schalters erreicht. Wird dieser Schalter nach dem Einfädelvorgang gedrückt, so wird vor dem Ausschalten erst die REC PAUSE Betriebsart eingestellt. Das Gerät wird jedoch nicht ausgeschaltet, wenn die Timer Taste gedrückt wird und die Instant REC Betriebsart ausgeführt wird.

#### Cassettenfach

- Der Ladevorgang wird ausgeführt, wenn die CASSETTEN IN DET Schalter schließen. Öffnet nur einer der Schalter wieder innerhalb von 0,7 sec, so wird die Cassette nicht angenommen.
- Wird der Ladevorgang nicht innerhalb von 8 sec beendet, so wird die Cassette wieder ausgestoßen.
- Erfolgt der Ausstoß der Cassette nicht innerhalb von 8 sec, so wird der Rekorder abgeschaltet.

#### 4. Automatik-Funktionen

##### A) Automatische STOP Funktion

- Wird in den Funktionen REW oder SEARCH REV das Bandende erreicht, erkennt der Startsensor das Vorspannband. Die Funktion wird beendet und das Band kurz vorgespult, bis der Startsensor wieder verdeckt ist. Danach wird die STOP Funktion eingeleitet.
- Steht in den betreffenden Betriebsarten der Aufwickelteller für mehr als 4 sec still, so schaltet das Mechacon automatisch in die anderen Betriebsarten wie PAUSE, STOP oder EJECT.
- Fehlen für eine Zeit von annähernd 2,5 sec die Kopftrommelrotationsimpulse, so wird die STOP Funktion eingeleitet.
- Wird die Einfädelfunktion nicht innerhalb von 8 sec nach dem Startimpuls komplett ausgeführt, wird die STOP Funktion eingeleitet.

##### B) Automatische EJECT Funktion

- Wird während einer Timer- oder einer Sofortaufnahme das Bandende erreicht, wird die EJECT Funktion ausgelöst. Anschließend wird die Stromversorgung abgeschaltet.
- Öffnet einer der CASSETT IN DET Schalter innerhalb von 0,7 sec während eine Cassette geladen wird, so wird die EJECT Funktion eingeleitet.
- Wird die Einfädelfunktion nicht innerhalb von 8 sec komplett ausgeführt, wird die EJECT Funktion eingeleitet.
- Werden Start- und Endsensor gleichzeitig belichtet, wird die EJECT Funktion eingeleitet.
- Öffnet der REC SAFETY Schalter während einer Aufnahme, wird die EJECT Funktion eingeleitet.
- Fehlt bei einer Cassette die Aufnahmeschutzlasche und wird eine Timer- oder eine Instant Aufnahme eingeschaltet, wird die EJECT Funktion eingeleitet. Bei einer Timer Aufnahme wird nach dem Cassettenauswurf die Stromversorgung abgeschaltet.

##### C) Automatische Rücklauffunktion

Wird in den Betriebsarten PLAY, REC, SEARCH FORWARD oder FF das Bandende erreicht, wird die automatische Rücklauffunktion eingeschaltet.

### 3.1.4 Mechacon operations

#### 1. Power ON

The 'Power ON' state means that the power LED on the front panel is lighting. The set produces the 'Power ON' state by the following operations.

- The POWER switch on the front panel is pressed, or
- The POWER switch of the remote control unit is pressed.
- A cassette is inserted.

#### ● Initial operation after power ON

In absence of a cassette, all mode indicators are OFF and the signal system enters the E-E (electric-to-electric) mode. With a cassette present, if both the cassette load end switch and the eject end switch are off, the Eject mode is entered. When the mechanism is in modes other than Stop, after unloading, the Stop (E-E) mode is entered.

#### 2. Power OFF

The 'Power OFF' state means that the power LED on the front panel is turning off. The set enters the 'Power OFF' state by the following operation.

- The POWER switch on the front panel is pressed, or
- The POWER switch of the remote control unit is pressed.

If the above operation is performed in the condition that the set is in a mode other than Stop mode, the set does not enter the 'Power OFF' state immediately, but does after the mechanism enters the Stop mode.

Besides the above operation, the set enters the 'Power OFF' state by means of the following:

- The TIMER switch is turned on.

If this operation is done after completion of loading, the set enters the 'Power OFF' state after the mechanism reaches in the Timer REC Stand-by mode. However, the 'Power OFF' does not take place if the above operation 3) is performed in the Instant REC mode.

#### 3. Cassette housing

- Loading is performed when the cassette-in detect switch closes. At this time, if the switch opens within 0.7 sec, the Eject mode is entered.
- If the loading operation does not complete within approximately 8 seconds, the Eject mode is entered.
- If the eject operation does not complete within approximately 8 seconds, the Power OFF state is attained.

#### 4. Automatic operations

##### A) Auto-stop mode entry

- When the beginning of a tape is reached in Rewind or Search Reverse mode, the leader portion of the tape is detected, at which time the tape is transported in the forward direction until the leader tape clears the detector. Then the Stop mode is entered.
- The set enters in the mode when the take-up reel disk stops for more than 4 seconds in a mode other than the Pause, Stop, and Eject modes.
- Drum motor rotation stops for longer than approximately 2.5 seconds in the Play, Record, Pause, Still or Search mode.
- Loading operation does not complete within about 8 seconds after starting.

##### B) Auto-Eject mode entry

- When end of tape is reached in Timer Recording or Instant Recording mode. After Eject, power is switches off.
- During cassette loading, after cassette-in detect switch closes, if the switch does not open within approximately 0.7 second.
- If loading operation does not complete within about 8 seconds.
- Start and end sensors activated simultaneously.
- REC safety switch opens during Recording mode.
- Cassette erase protector tab absent and Timer or Instant Recording selected. If Timer Recording, after Eject, power is switches off.

##### C) Auto-Rewind mode entry

- At end of tape in the Play, Record, Search Forward or Fast Forward mode.

#### D) Automatische Aufnahmefunktion

- Zwei Sekunden vor der vorprogrammierten Einschaltzeit wird der Rekorder in die Aufnahmebetriebsart geschaltet.

#### E) Automatisches Ein- und Ausschalten der Stromversorgung

- 10 sec vor dem Beginn der programmierten Aufnahmezeit wird die Stromversorgung eingeschaltet.
- Im Fall eines Netzausfalls wird beim Wiedereinschalten des Netzes die Ausfädeelfunktion ausgeführt und die Stromversorgung ausgeschaltet. Die Stellung des POWER- und des TIMER Schalters ist zu beachten. Erscheint der Netzausfall während einer Timeraufnahme, wird die Ausfädeelfunktion ausgeführt und anschließend in die Aufnahmefunktion geschaltet.
- Wird in der Timer-Standby-Stellung der POWER Schalter ausgeschaltet, wird die Ausfädeelfunktion eingeleitet und anschließend die Stromversorgung abgeschaltet.
- Ist eine Instant Aufnahme komplett ausgeführt worden, wird die Ausfädeelfunktion eingeleitet und anschließend die Stromversorgung ausgeschaltet.
- Wird während einer Timer- oder Sofortaufnahme das Bandende erreicht, wird die EJECT Funktion ausgeführt und anschließend die Stromversorgung abgeschaltet.
- Fehlt während einer Timer Aufnahme die Aufnahmeschutzlasche der Cassette, wird die EJECT Funktion ausgeführt und anschließend die Stromversorgung abgeschaltet.
- Wird im ausgeschalteten Zustand die EJECT Taste gedrückt, wird die Stromversorgung für einen Moment eingeschaltet, die Cassette ausgeworfen und anschließend die Stromversorgung wieder abgeschaltet.

#### 5. Timer Funktion

- 10 sec vor dem Beginn einer programmierten Aufnahme wird die Stromversorgung eingeschaltet und die PAUSE Betriebsart eingestellt. Die Aufnahme beginnt 2 sec vor der vorprogrammierten Zeit. Nach der komplett ausgeführten Timer Aufnahme schaltet das Mechacon in die Timer-Standby-Stellung und die Stromversorgung aus. Während einer Timer Aufnahme sind keine Eingaben, mit Ausnahme der Video/TV Umschaltung und der Sofortaufnahme, möglich.
- Sind POWER- und TIMER Schalter eingeschaltet, ist aber eine Cassette ohne Aufnahmeschutzlasche eingelegt, wird die EJECT Funktion ausgeführt und die Stromversorgung abgeschaltet.
- Wird während einer Timer Aufnahme der POWER- oder der TIMER Schalter ausgeschaltet, wird das Band ausgefädelt und die Stromversorgung ausgeschaltet. Die Programmierung für die Aufnahme wird gelöscht.
- Wird während einer Timer Aufnahme das Bandende erreicht, wird die EJECT Funktion ausgeführt und die Stromversorgung abgeschaltet. Die Programmierung für diese Aufnahme wird gelöscht.

#### 6. Sofortaufnahme

- Ist die Stromversorgung eingeschaltet und besitzt die Cassette eine Aufnahmeschutzlasche, wird die Sofortaufnahme nach Drücken der entsprechenden Taste ungeachtet der momentanen Betriebsart ausgeführt. Nach der kompletten Ausführung der Sofortaufnahme wird das Band ausgefädelt und die Stromversorgung abgeschaltet. Während einer Sofortaufnahme können Befehle nur mit dem Video/TV Umschalter und der STOP Taste eingegeben werden.
- Wird während einer Sofortaufnahme der POWER Schalter ausgeschaltet, wird das Band ausgefädelt und die Stromversorgung ausgeschaltet. Ist das Bandende erreicht, wird noch die EJECT Funktion ausgeführt.
- Fehlt bei einer Cassette die Aufnahmeschutzlasche und wird die Sofortaufnahmetaste gedrückt, wird die EJECT Funktion ausgeführt.

#### D) Automatic Recording mode entry

- Two seconds prior to programmed time for Timer Recording.

#### E) Automatic power ON/OFF

- Ten seconds prior to the start of Timer Recording, power is switched on; at the end of Timer Recording, power is switched off.
- In event of commercial power loss, at the return of power, unloading is performed and power switched off, regardless of the POWER and TIMER switch settings. If this occurs during Timer Recording, unloading is performed, then the Recording mode is entered.
- In Timer standby state, if the POWER switch is set to OFF, unloading is performed, then power is switched off.
- If Eject or unloading operation does not complete within approximately 8 seconds, power is switched off.
- At completion of Instant Recording, unloading is performed, then power switched off.
- When end of tape is reached in Timer or Instant Recording, Eject is performed, then power is switched off.
- During Timer Recording, if the erase protector tab is absent from the cassette, Eject is performed, then power is switched off.
- If the EJECT button is pressed in the 'Power OFF' state, the power turns on once and the set ejects the cassette and then enters into the 'Power OFF' state again.

#### 5. Timer mode

- Ten seconds prior to Timer Recording, power is switched on and the Pause mode entered. Recording starts two seconds before the programmed time. At completion of the programmed time, the mechanism assumes the Timer standby state and power is switched off. During Timer Recording, all operating controls are inhibited, except for Video/TV selector and Instant Record buttons.
- If both Timer and Power switches are ON, but the erase protector tab is absent from the cassette, Eject is performed, then power is switched off.
- During Timer Recording, if the POWER or TIMER switch is set to OFF, unloading is performed and the power is switched off. The timer program for this particular event becomes erased.
- At end of tape in Timer Recording, Eject is performed and power switched off. The timer program for this particular event becomes erased.

#### 6. Instant Recording

- With POWER switch ON and erase protector tab of cassette present, the Instant Recording command is registered regardless of the mode in progress. At completion of Instant Recording, unloading is performed and power is switched off. During Instant Recording, only the Video/TV selector and STOP buttons are enabled.
- During Instant Recording, if the POWER switch is set to OFF, unloading is performed and power is switched off. If the end of tape is reached, Eject is performed.
- If the erase protector tab is absent from the cassette and the Instant Recording button pressed, Eject is performed.

MODE	KEY	STOP	PLAY	STILL/PAUSE	VIDEO ACTION	F.F.	REW	REC+PLAY	REC+PAUSE	A. DUB PLAY	A. DUB PAUSE	EJECT	INSTANT REC	CH UP/DN
STOP														
PLAY						(S.F.F.)	(S.REW)							
STILL				(S.ADV)		(S.F.F.)	(S.REW)							
VIDEO ACTION					(SPEED CHANGE)									
F.F.														
REW														
REC PLAY				(REC PAUSE)										
REC PAUSE				(REC PLAY)										
A. DUB PLAY				(A. DUB PAUSE)										
A. DUB PAUSE				(A. DUB PLAY)										
INST. PLAY				(INST. PAUSE)										
INST. PAUSE				(INST. PLAY)										
INST. REC														
TIMER REC														
EJECT UNLOAD														
EJECT UNLOAD														

Tabelle/Table 3-1-11 Betriebsarten-Umschaltung/  
Mode shift

## 3.2 SERVO-Schaltung

### 3.2.1 Digitales Servo-System

Dieses Gerät enthält ein digitales Servo-System, bestehend aus einem LSI (Large Scale Integration) Baustein, der die peripheren Schaltkreise und Einstellorgane weitgehendst reduziert.

Bisher gelangten analoge Servo-Systeme mit der erforderlichen Genauigkeit zur Anwendung. Solche Schaltungen innerhalb von IC's zu integrieren stößt auf gewisse Schwierigkeiten, z. B. bei erforderlichen Kapazitäten, die zusätzlich von außen angeschlossen werden müssen.

Weitere Schwachpunkte sind erforderliche Regelorgane zur Kompensation von Fertigungstoleranzen sowie äußerlichen Einflüssen wie Stromquellen und Alterungsbedingungen.

Da das digitale Servo-System in der Hauptsache aus der Uhr, dem Zähler und der Memory-Schaltung besteht, werden Probleme, die insbesondere den Platzbedarf analoger Schaltkreise betreffen, vermieden. Darüber hinaus kann durch den Einsatz eines LSI Schaltkreises der Stromverbrauch reduziert und das Kosten/Leistungsverhältnis verbessert werden.

Auch wenn sich die Zusammenstellung der Schaltkreise ändert, so bleibt das Grundkonzept der Servoschaltung – analog oder digital – erhalten. Dieses sind: Motordrehung und Phasenvergleich mit Referenzgrößen auszuwerten, und in Spannung umzusetzen, die dem Motor als Regelspannung dient.

Bei analogen Systemen wird eine trapezoide Spannungskurve erzeugt, deren Rampenkomponente im Vergleich zum Referenzsignal (Stechimpuls) einen Kondensator auflädt, und dadurch die Phasenfehler-Ausgangsspannung bestimmt.

Beim digitalen System wird jedoch die Puls-Breiten-Modulation (PWM) eingesetzt. Ein Taktimpuls ermittelt die Phasendifferenz zwischen dem Referenz- und Vergleichssignal. Das Resultat wird vom PW-Modulator in einen Impuls umgewandelt, der proportional zur Phasendifferenz ist und bildet damit die Phasenfehler-Ausgangsspannung. Der Impuls wird von einem Tiefpaßfilter (LPF) integriert, um eine Spannung zu produzieren, die mit der Phasenlage der genauen Motordrehung übereinstimmt.

Die Funktion eines monostabilen Multivibrators (MMV), der in den meisten analogen Servo-Systemen zur Anwendung kommt, wird bei digitalen Systemen durch einen Zähler ersetzt.

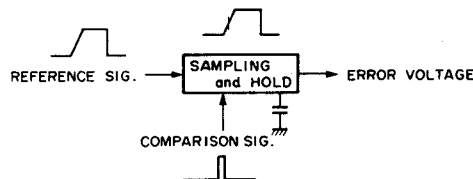


Abb./Fig. 3-2-1 Analoges System Phasengleichrichtung/  
Analog system phase detection

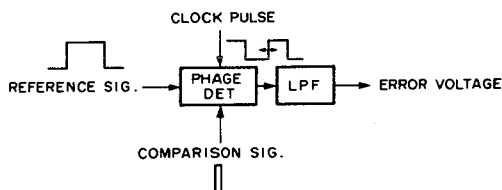


Abb./Fig. 3-2-2 Digitales System Phasengleichrichtung/  
Digital system phase detection

## 3.2 Servo circuit

### 3.2.1 Digital servo system

This model incorporates a digital servo system contained in an LSI (large scale integration) device which substantially reduces peripheral circuitry and adjustment locations.

While analog servo systems are well established and reasonably accurate, including such circuits in IC devices is difficult due to the need for circuit elements such as capacitors that must be mounted externally to the IC package. Other weak points include need for adjustments to compensate for production variations in the individual circuit elements, and susceptibility to environmental, power source and aging conditions.

Since the digital servo system is composed mainly of clock, counter and memory circuits, the problems affecting analog systems are avoided in large measure. Moreover, by including the system within an LSI package, advantages with respect to compact size, reduced power consumption and cost/performance can also be realized.

Although circuit composition differs, the basic functional concept is the same for both analog and digital servo systems. Namely, motor rotation and phase are compared with references and the resulting errors are converted into voltages and applied as feedback to the motor.

In the analog system, a trapezoidal waveform is produced as the comparison signal and its ramp component is sampled by the reference signal to yield a voltage which charges a capacitor. This results in the phase error output.

Pulse width modulation (PWM) is used in the digital system. A clock pulse counts the phase difference between the reference and comparison signals. The count is converted by the pulse width modulator into a pulse that is proportional to the phase difference and this becomes the phase error output. The pulse is integrated by a lowpass filter (LPF) to produce a voltage which corresponds to the rotational phase of the motor.

The function of the monostable multivibrator (MMV), used widely in analog servo systems, is replaced by the counter in digital systems.

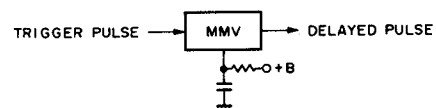


Abb./Fig. 3-2-3 Analoge Impulsverzögerung/  
Analog system pulse delay

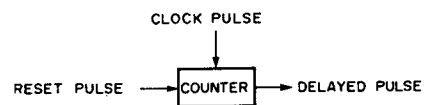


Abb./Fig. 3-2-4 Digitale Impulsverzögerung/  
Digital system pulse delay

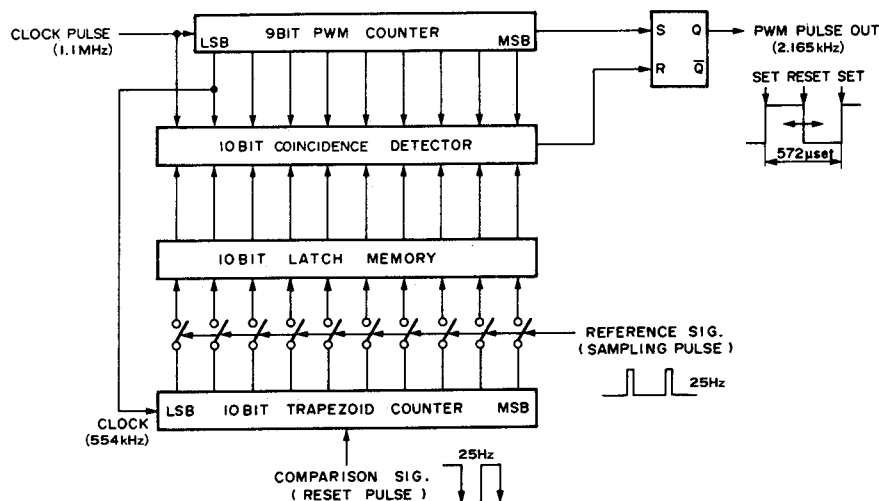


Abb./Fig. 3-2-5 Digitaler Phasenkomparator/  
Digital phase comparator

## 1. Prinzip des digitalen Phasenkomparators

Wie aus der Abb. 3-2-5 hervorgeht, besteht der digitale Phasenkomparator aus einem 9-Bit PWM-Zähler, einem 10-Bit Koinzidenz- (Zufalls) Detektor, einer 10-Bit Latch (Verriegelung) Memory, Sampling Gate (Tastschalter), einem 10-Bit trapezoiden Signalform-Zähler und einem RS-Flipflop.

Der 9-Bit PWM-Zähler übermittelt einen Satz von Impulsen an das RS-Flipflop bei 000000000. Da der Taktimpuls 1,1 MHz beträgt, entspricht die Zeit  $(1/1,1 \text{ MHz}) \times 512 = 462 \text{ } \mu\text{s}$ . Das ergibt eine Impulsfolgefrequenz von  $1/462 \text{ } \mu\text{s} = 2,165 \text{ kHz}$ . Der 10-Bit Koinzidenz-Detektor vergleicht die Bit-Daten vom 9-Bit PWM-Zähler und Taktimpuls (gesamt 10-Bits) mit den Daten vom 10-Bit Latch Memory. Wenn die Daten übereinstimmen, gelangt ein Reset-Pulse an das RS-Flipflop.

Während der Eingabe des Abfrageimpulses speichert die 10-Bit Memory die Daten vom 10-Bit Trapezoid-Signalformzähler. Der Tastschalter (sampling gate) ist während der Eingabe des Abfrageimpulses offen (ON).

Nach Eingabe des Reset-Pulses beginnt der 10-Bit Trapezoid-Signalformzähler die 554 kHz Clock-Impulse zu zählen. Er startet mit 0000000000. Die erforderliche Zeit um von 0000000000 bis 1111111111 zu zählen beträgt  $1/554 \text{ kHz} \times 1024 = \text{ca. } 1,85 \text{ msek.}$  und ist vergleichbar mit der Trapezoid-Rampenperiode des bisher üblichen Analogsystems.

Wie aus dem vorhergesagten zu ersehen ist, wendet man auch beim digitalen Phasenkomparator das Konzept einer Trapezoid-Signalform an. Da jedoch weder die Trapezoid-Signalform noch die Beziehungen zur Servophase sichtbar gemacht werden können, spricht man von einem „imaginären“ Trapezoid. Die Rampe des imaginären Trapezoids beginnt mit der abfallenden Flanke des Vergleichssignals. Nachdem der 10-Bit Trapezoid-Zähler vom Vergleichssignal den Reset-Impuls erhält, beginnt der Zähler die 1,85 kHz Clock-Impulse von 0000000000 bis 1111111111 in 1024 Schritten zu zählen.

Im Servo-Synchronzustand wird der Abfrageimpuls, der das Referenzsignal darstellt, beim Zählerstand 1000000000 eingegeben. Dies entspricht der Rampenmitte des imaginären Trapezoids.

Der 9-Bit PWM-Zähler fährt fort mit der Zählung der 1,1 MHz Clock-Impulse, unabhängig von den Referenz- und Vergleichssignalen. Wenn der Zähler 000000000 erreicht hat, wird der Setzimpuls an das RS-Flipflop gegeben. Der PWM-Impuls hat zu diesem Zeitpunkt H-Pegel. Der Zählvorgang fährt fort und bei 1000000000 besteht Übereinstimmung mit den Daten vom 10-Bit Latch-Memory. Vom Zufalls-Detektor gelangt ein Reset-Impuls an das RS-Flipflop und der PWM-Impuls geht auf L-Pegel. Der PWM-Zähler registriert 000000000 und der PWM-Impuls nimmt wieder H-Pegel ein. Das Impuls-Tastverhältnis ändert sich bis zum Eintreffen des nächsten Tastimpulses nicht, wobei dann wieder die Daten der „Latch-Memory“ neu geschrieben werden.

Wenn der Tastimpuls nicht in der Mitte der imaginären Trapezoidrampe liegt, verändert sich das PWM-Tastverhältnis entsprechend der Abweichung, wie in Abb. 3-2-6 gezeigt.

## 1. Digital phase comparator principle

As illustrated in Fig. 3-2-5, the digital phase comparator is composed of a 9-bit PWM counter, 10-bit coincidence detector, 10-bit latch memory, sampling gate (switch), 10-bit trapezoidal waveform counter and RS flip-flop.

The 9-bit PWM counter sends a set pulse to the RS flip-flop at 000000000. Since a 1.1 MHz clock pulse is employed, the set period is  $(1/1.1 \text{ MHz}) \times 512 = \text{approx. } 462 \text{ microseconds}$ . Therefore the pulse repetition frequency is  $1/462 \text{ microseconds}$  or approximately 2.165 kHz.

The 10-bit coincidence detector compares the bit data from the 9-bit PWM counter and clock pulse (total 10 bits) with the bit data of the 10-bit latch memory. When the data are equal, the reset pulse is sent to the RS flip-flop.

During the sampling pulse input, the 10-bit latch memory stores the bit data from the 10-bit trapezoidal waveform counter.

The sampling gate (switch) is open (ON) during the sampling pulse input.

After the reset pulse input, the 10-bit trapezoidal waveform counter counts the 554 kHz clock pulse, starting from 0000000000. The time required to count from 0000000000 to 1111111111 is  $1/554 \text{ kHz} \times 1024 = \text{approx. } 1.85 \text{ milliseconds}$ , which is comparable to the trapezoid ramp period in the analog system.

As can be noted from the foregoing, the digital phase comparator also utilizes the concept of a trapezoidal waveform. However, since neither the trapezoidal waveform nor its relationship to the servo phase can be observed, it is referred to as an „imaginary“ trapezoid.

The ramp of the imaginary trapezoid starts at the comparison signal falling edge. After the comparison signal resets the 10-bit trapezoidal waveform counter, the counter counts the 1.85 kHz clock pulse from 0000000000 to 1111111111 in 1024 steps.

During servo lock, the sampling pulse input, which is the reference signal, is applied at 1000000000 counter value. This corresponds to the center of the imaginary trapezoid ramp.

The 9-bit PWM counter continues to count the 1.1 MHz clock pulse, regardless of the reference and comparison signals. When the counter reaches 000000000, the set pulse is sent to the RS flip-flop. At this time, the PWM pulse is high. The count continues and at 1000000000, the data equal those of the 10-bit latch memory. The coincidence detector sends the reset pulse to the RS flip-flop and the PWM pulse is low. Again, the PWM counter registers 000000000 and the PWM pulse is high. The PWM pulse duty ratio does not change until the next sampling pulse input and the latch memory data are rewritten.

When the sampling pulse is not positioned at the center of the imaginary trapezoid ramp, the PWM pulse duty ratio varies according to the amount of deviation, as indicated in Fig. 3-2-6.

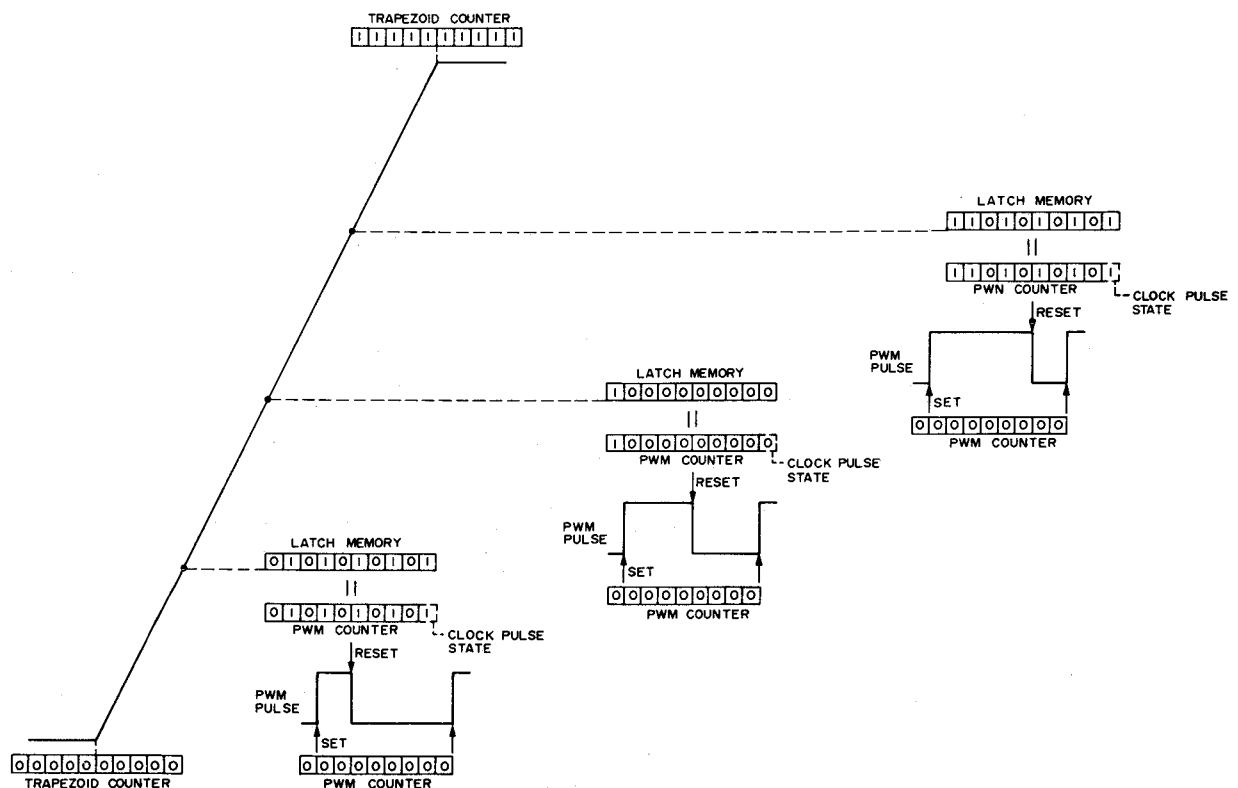


Abb./Fig. 3-2-6 Trapezrampe und Pulsbreiten-Tastverhältnis/  
Imaginary trapezoid and PWM pulse

## 2. Digitaler Drehzahl-Detektor

Die Zusammenstellung der Schaltung ist nahezu die gleiche wie die des Phasenkomparators. Ein Unterschied besteht darin, daß nach dem Reset des Zählers durch das Vergleichssignal, das Vergleichssignal selbst als Abfrage-Impuls herangezogen wird.

Zum Vergleich wird in Abb. 3-2-7 das Prinzip eines Analog-Drehzahl-Detektors dargestellt. Bei diesem System erhält man durch Motordrehzahl und Frequenzgenerator (FG) ein Signal, welches zu FG-Impulsen umgewandelt und danach dem Drehzahl-Detektor zugeleitet wird. Der Drehzahl-Detektor besteht aus dem Sägezahn-Generator, Tast- (Vergleichs-) Impuls und der Fangschaltung.

Der Sägezahn-Generator erzeugt mit der ansteigenden Flanke des FG-Impulses einen Entladeimpuls. Als Folge davon entsteht eine Sägezahnspannung, die der Vergleichs- und Fangschaltung zugeleitet wird. Auch der FG-Impuls gelangt an diese Schaltkreise. Zum Zeitpunkt der ansteigenden FG-Signalfanke wird der Sägezahn verglichen und getastet. Die daraus entstehende Spannung lädt einen Kondensator und regelt damit die Drehzahlabweichung.

Wenn sich die Motorgeschwindigkeit ändert, ändert sich auch die Zeit zwischen den Anstiegsflanken der FG-Impulse. Da mit abnehmender Drehzahl des Motors auch der Sägezahn später eingeleitet wird, steigt die Ladezeit am Kondensator und folglich auch die Spitzenspannung des Sägezahnes an. Umgekehrt führt eine kürzere Ladezeit zu einer geringeren Regelspannung.

Die Spitzenwerte der Sägezahnspannung werden mit der Abfrage- und Fangschaltung ausgetastet und zur Regelung der Abweichungsgeschwindigkeit herangezogen, wobei die Regelspannung im umgekehrten Verhältnis zur FG-Impulsfrequenz liegt.

Die Frequenz des Drehzahl-Detektors wird von der RC-Konstante des Sägezahn-Generators bestimmt. Wegen der dabei entstehenden Produktionsstreuungen müssen daher Regler eingesetzt werden, um diese Streuung zu kompensieren.

Das Grundkonzept eines digitalen Drehzahl-Detektors ist im Prinzip unverändert, ist aber bezüglich seiner Stabilität dem Analog-System weit überlegen und benötigt deshalb keine Kompensationsregler. Anstatt der Sägezahnspannung kommen Digitalwerte zur Anwendung. In Abb. 3-2-8 ist der digitale Drehzahl-Detektor dargestellt.

## 2. Digital speed detector

Circuit composition is nearly the same as the phase comparator. A differing point is that after the comparison signal resets the counter, the comparison signal itself is used for sampling.

For reference, Fig. 3-2-7 illustrates the principle of the analog type speed detector. In this system, the frequency generator (FG) signal obtained from motor rotation is converted into the FG pulse and applied to the speed detector. The speed detector is composed of sawtooth generator, sampling and hold circuits.

The sawtooth generator produces a discharging pulse from the FG pulse rise. The sawtooth waveform is produced from this pulse and sent to the sampling and hold circuit. The FG pulse is also supplied to the sampling and hold circuit. At the FG pulse rise, the sawtooth waveform is sampled and gated. The resulting voltage charges a capacitor and the speed error voltage is obtained.

When the motor speed varies, the time between rising edges of the FG pulse also varies. As this time increases, since the sawtooth generator charging time also increases, the peak potential of the sawtooth waveform becomes higher. Conversely, decreased charging time results in a lower peak potential.

The peak potential of the sawtooth signal is gated at the sampling and hold circuit to yield the speed error voltage output that is inversely proportional to the FG pulse frequency.

Operating frequency of the speed detector is determined by the time constant CR of the sawtooth generator. Therefore, adjustment is required to compensate for unavoidable production variations in the individual components.

The basic concept of the digital speed detector is the same, however, it features excellent stability and does not require adjustment. Instead of utilizing the sawtooth waveform, the digital value is employed. Fig. 3-2-8 shows an outline of the digital speed detector.

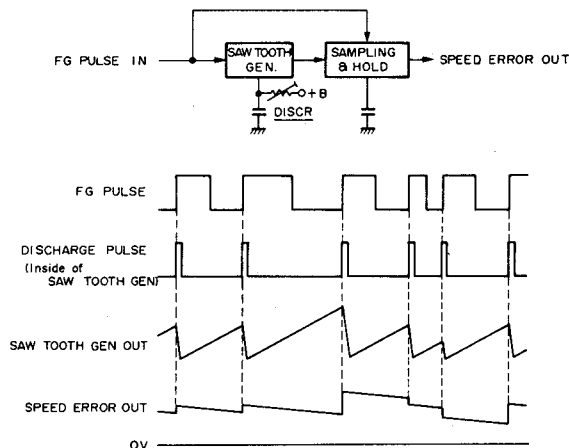


Abb./Fig. 3-2-7 Analoger Drehzahl-Detektor/  
Analog type speed detector

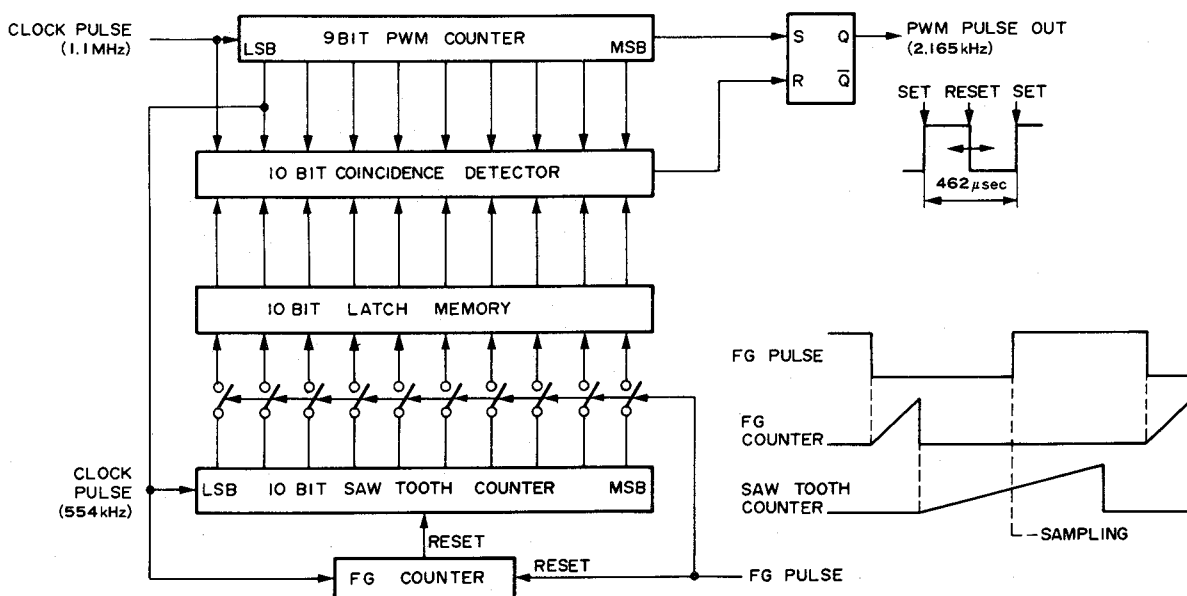


Abb./Fig. 3-2-8 Digitaler Drehzahl-Detektor/  
Digital speed detector

Der FG-Zähler beginnt mit der negativen Flanke des FG-Impulses und beim Erreichen eines vorausbestimmten Wertes zu zählen, darauf folgt der 10-Bit Sägezahnzähler nach dem Eintreffen des Reset-Impulses.

Mit der positiven Flanke des FG-Impulses wird die Abfrage-Torschaltung geöffnet und damit gleichzeitig der Inhalt des Sägezahn-Zählers in der „Latch Memory“ gespeichert. Danach wird, wie im Prozeß mit dem Phasenkomparator, der PWM-Wert in Verbindung mit der FG-Frequenz ermittelt.

### 3. Bit-Muster-Generator

Wegen der hohen Frequenz wird bei der „Puls-Breite-Modulation“ (PWM) ein Bit-Mustergenerator eingesetzt (Abb. 3-2-9). Die Signalverarbeitung bis zum „Data Latch“ (Daten-Verriegelung) ist die Gleiche wie vorausgehend beschrieben, während sich der PWM-Impulsgenerator jedoch ändert. Wenn auch die Arbeitsweise mit 10-Bits erfolgt, soll eine 3-Bit Darstellung in den Abb. 3-2-11 und 3-2-12 zum leichteren Verständnis beitragen.

Die Bit-Muster Q0, Q1 und Q2 werden vom 3,58 MHz Clock-Impuls erzeugt. Sie werden einer UND-Schaltung im PWM-Torblock zugeleitet. Da die verriegelten Phasendifferenz-Daten ebenfalls an das UND-Gatter gelangen, werden so die getasteten Bit-Muster produziert.

Diese werden zu PWM-Impuls Ausgangsdaten im anschließenden ODER-Gatter. Die Beziehungen zwischen den Bit-Mustern, Phasendifferenz-Daten und PWM-Impulsen sind in Abb. 3-2-12 dargestellt.

### 4. Drehzahl-Detektor-Steuerung

Die Abb. 3-2-13 zeigt das Blockdiagramm und Abb. 4-2-14 die Zeit-Basis-Tabelle des digitalen Drehzahl-Detektors. Die Arbeitsweise der Schaltung im Anschluß an die „Latch“ Stufe ist identisch mit der des Phasenkomparators, jedoch mit der Ausnahme, daß nach dem Reset des Zählers das Tasten mit dem Abfrageimpuls selbst geschieht.

Der FG-Zähler startet mit Eintreffen des Reset-Impulses, welcher seinerseits nach einer festgelegten Verzögerungsperiode von der ansteigenden Flanke des FG-Impulses abgeleitet wird. Anstatt bei Reset auf 0 zurückzugehen, wird der FG-Zähler nur auf einen vorher festgelegten Wert zurückgesetzt. Dieser Wert ist so bestimmt, daß er im Abfragezeitpunkt genau in der Mitte vom Servo-Haltebereich liegt. Der nächste Abfrageimpuls kommt wieder von der nächsten positiven Flanke des FG-Impulses.

The FG counter begins counting at the FG pulse falling edge and after reaching a predetermined value, the 10-bit sawtooth counter is reset and begins counting.

The sampling gate opens at the FG pulse rise, at which time the contents of the sawtooth counter are stored in the latch memory. Afterwards, by the same process as a phase comparator, the PWM output is produced in correspondence with the FG frequency.

### 3. Bit pattern generator

Pulse width modulation is performed using a bit pattern generator due to the high frequency. This is outlined in Fig. 3-2-9.

The process up to phase data latch is the same as previously described, while the PWM pulse generator section differs. Although processing is 10 bits, for clarity, Figs. 3-2-11 and 3-2-12 illustrate the principle for 3 bits.

Bit patterns Q0, Q1 and Q2 are produced from the 3.58 MHz clock pulse. These are supplied to the AND circuit of the PWM gate block. Since the latched phase difference data are also supplied to the AND circuit, the gated bit patterns are produced.

These become the PWM pulse output through the next stage OR gate. Relationships of the bit patterns, phase difference data and PWM pulse are shown in Fig. 3-2-12.

### 4. Speed detect timing

Fig. 3-2-13 shows the block diagram and Fig. 3-2-14 indicates the timing chart for the digital speed detector. Operation following the latch stage is the same as the phase comparator with the exception that after counter reset, sampling is performed with the sampling signal itself.

The FG counter starts from the reset pulse input, which is provided after a fixed delay period from the frequency generator pulse rise. At reset, instead of returning to 0, the FG counter is reset to a predetermined value. This value is determined so that the sampling count is centered at the time of servo lock.

Sampling is performed at the next FG pulse rise.

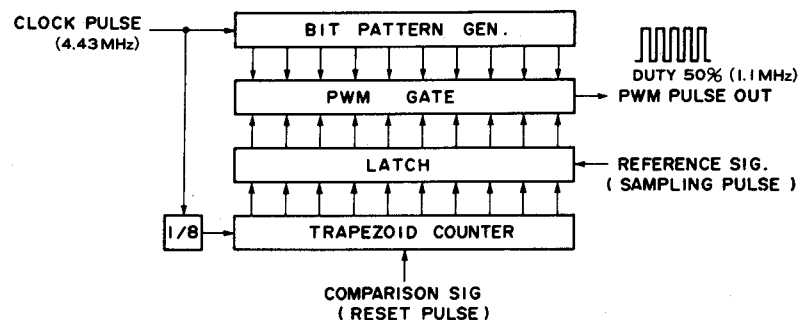


Abb./Fig. 3-2-9

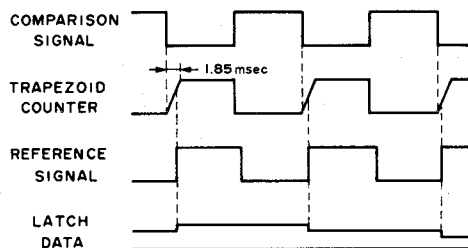


Abb./Fig. 3-2-10

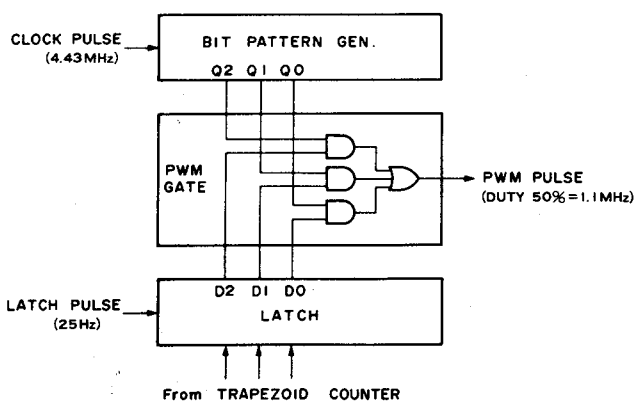


Abb./Fig. 3-2-11

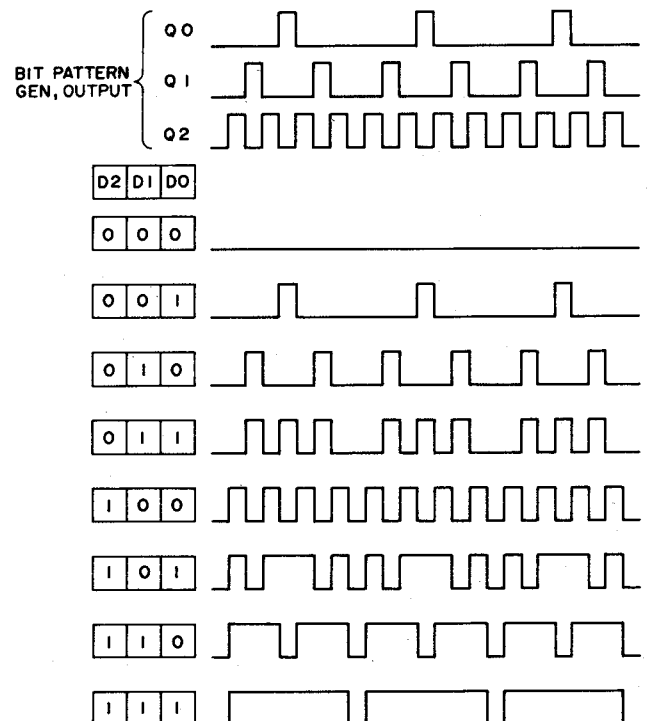


Abb./Fig. 3-2-12

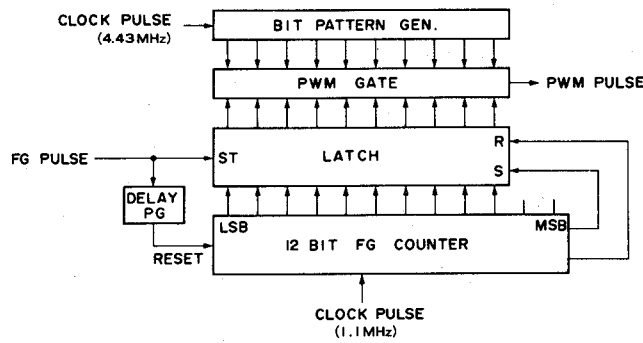


Abb./Fig. 3-2-13

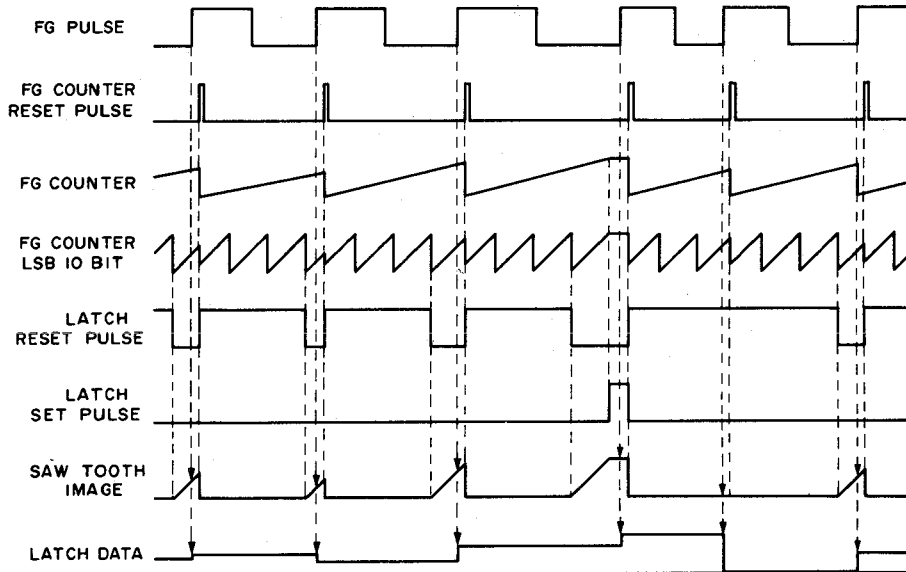


Abb./Fig. 3-2-14

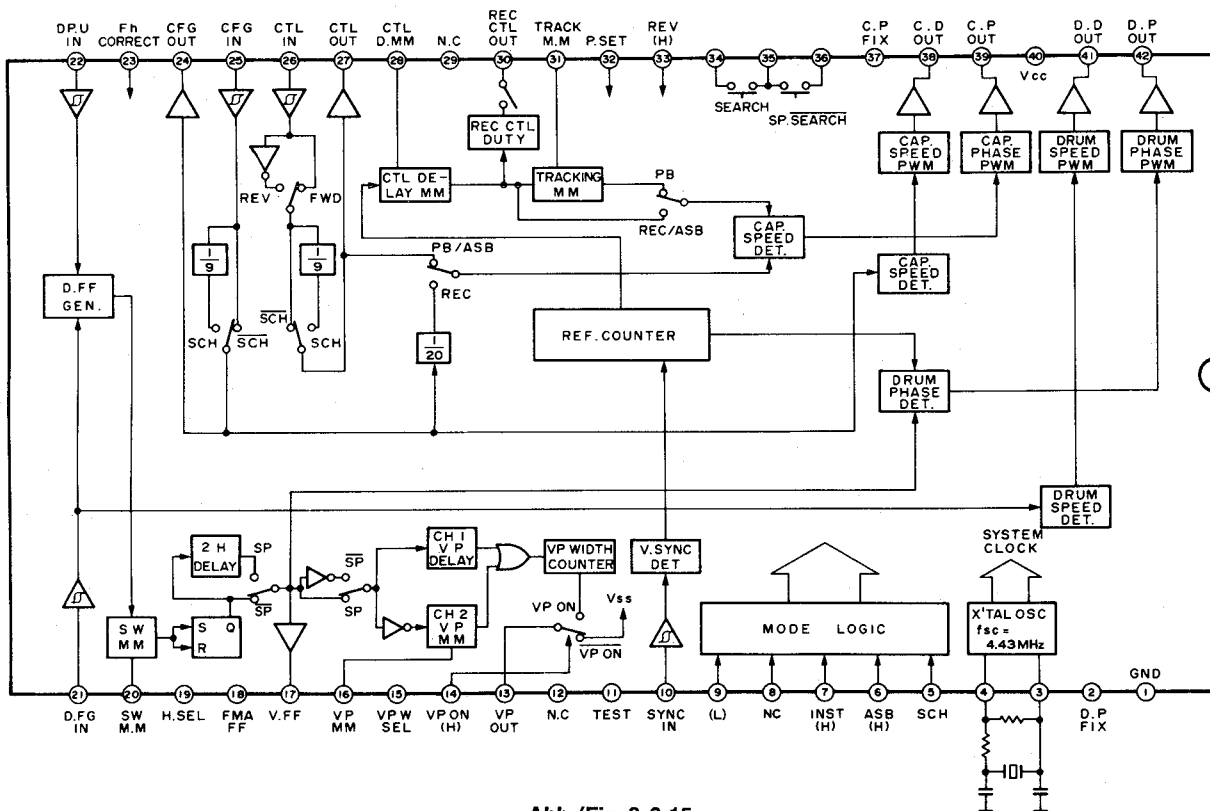


Abb./Fig. 3-2-15



IC 402






















	GND	①	④②	DRUM PD OUT	 5Vp-p 1.1MHz
FORCED DISCR mode when TP GND and pin ② of TP421 are short-circuited.	DRUM FIX	②	④①	DRUM FV OUT	 5Vp-p 1.1MHz
 5Vp-p 4.43MHz	FSC IN	③	④⑦	Vcc (5V)	
 4Vp-p 4.43MHz	FSC OUT	④	③⑨	CAPSTAN PD OUT	 5Vp-p 1.1MHz
SEARCH (H) : More than 3.5 V NORMAL (L) : Less than 1.5 V	SEARCH /NORMAL	⑤	③⑧	CAPSTAN FV OUT	 5Vp-p 1.1MHz
<div> <div>MODE 6 7</div> <div>PB L L</div> <div>INST L H</div> <div>ASB H L</div> <div>REC H H</div> </div> <div> <div>MODE 8 9</div> <div>SP L L</div> </div> <div>           x 6,7,9PIN            L &lt; 1.5V            H &gt; 3.5V            x 8 PIN            L &lt; 1.0V            H &gt; 4.0V         </div>	MODE 1	⑥	③⑦	CAPSTAN FIX	FORCED DISCR mode when TP GND and pin ③⑦ of TP422 are short-circuited.
	MODE 2	⑦	③⑥	SW 1	CAPSTAN GAIN CONTROL
	MODE 3	⑧	③⑤	SW COMMON	
	MODE 4	⑨	③④	SW 2	
 4.5 Vp-p 15.732 KHz	SYNC IN	⑩	③③	REV/FWD	FWD (L) : Less than 1.5 V REV (H) : More than 3.5 V
NC	TEST	⑪	③②	PRESET	TRACKING VR CENTER (L) : Less than 1.5 V OTHERS (H) : More than 3.5 V
NC	NC	⑫	③①	TRACKING MMV	 4Vp-p 25Hz
 4.5Vp-p 50Hz (SEARCH /SLOW /STILL)	V. PULSE OUT	⑬	③⑦	REC CTL OUT	 5Vp-p 25Hz (REC)
ON (H) : More than 3.5 V OFF (L) : Less than 1.5 V	V. PULSE ON/OFF	⑭	②⑨	NC	
NC	V. PULSE WIDTH SELECT	⑮	②⑧	CTL DELAY MMV	 4Vp-p 25Hz
 2.5Vp-p 50Hz	V. PULSE MMV	⑯	②⑦	CTL PULSE OUT	 5Vp-p 12.5Hz
 5Vp-p 25Hz	DRUM FF OUT	⑰	②⑥	CTL PULSE IN	 5Vp-p 25Hz
 5Vp-p (PB) 25Hz	FMA FF OUT	⑱	②⑤	CAPSTAN FG IN	 5Vp-p 500Hz
4 HEAD (M) : More than 4.0 V DG HEAD (M) : 2.0 - 3.0 V 2 HEAD (L) : Less than 1.0 V	HEAD SELECT	⑲	②④	CAPSTAN FG OUT	 5Vp-p 500Hz
 2.5Vp-p 100Hz	SW PHASE MMV	⑳	②③	FH CORRECT	FH CORRECT (H) : More than 3.5 V NORMAL (L) : Less than 1.5 V
 4.5Vp-p 1500Hz	DRUM FG IN	㉑	②②	DRUM PULSE IN	 5Vp-p, 25Hz

Abb./Fig. 3-2-16 IC402 Pin-Belegung/IC402 pin function

### 3.2.2 Digital-Servo-LSI (Large-Scale-Integration)

Für Servicezwecke ist die Blockschaltung des IC402 in Abb. 3-2-15 dargestellt und die Pin-Funktionen in Abb. 3-2-16.

#### 1. Kopftrommel-Diskriminator Betrieb

1) Kopftrommel FG-Frequenz (1500 Hz), Abweichung  $\pm 5\%$ . Diese Funktion verhindert größere Bildstörungen infolge von Servo-Abweichungen und sollte besonders beim Service beachtet werden.

2) H-Pegel am Pin 28 (Fh Regeleingang).

Hier wird die Servoregelung zugeführt, um bei Wiedergabe die Zeilenfrequenz von 15.625 kHz synchron zu erhalten. Diese entspricht dem Zeilen-diskriminator-Betrieb früherer Modelle.

3) L-Pegel am Pin 2

Pin 2 kann beim Service dazu verwendet werden, um extern den Diskriminator-Betrieb einzuleiten. Dies ist besonders vorteilhaft bei der Fehler-einkreisung.

#### 2. Capstan-Diskriminator-Betrieb

Unter den nachfolgenden Bedingungen entspricht die Capstan Phasenfehler-Ausgangsspannung 50 % (PWM-Puls/Pause) und es wird nur die Drehzahl-Steuerung kontrolliert.

1) Capstan FG-Frequenz (500 Hz), Abweichung  $\pm 5\%$ .

2) Bei Wiedergabe sind die Regelimpulse nicht vorhanden.

3) L-Pegel am Pin 37

Pin 37 kann beim Service dazu herangezogen werden, um extern den Diskriminator-Betrieb einzuleiten. Dies ist besonders vorteilhaft bei der Fehlersuche. Beim Service ist darauf zu achten, daß am Pin 38 ein H-Pegel entsteht, wenn die Abweichung der FG-Frequenz  $\pm 10\%$  überschreiten, der Capstan-Motor stoppt dann.

### 3.2.2 Digital servo LSI

For reference during service, the IC402 block diagram is illustrated in Fig. 3-2-15 and the pin functions are noted in Fig. 3-2-16.

#### 1. Drum discriminator mode

In the following conditions, the drum phase error output is a 50% duty PWM pulse and only the speed system is controlled.

1) Drum FG frequency (1500 Hz) deviates from  $\pm 5\%$ .

This function avoids large picture disturbance due to servo inaccuracy and should be noted during service.

2) High potential at pin 28 (Fh control input).

Servo is applied in order to obtain playback horizontal sync of 15.625 kHz, which corresponds to the horizontal discriminator mode of earlier models.

3) Low potential at pin 2

Pin 2 can be used for externally inducing the drum discriminator mode. This is convenient for trouble-shooting during service.

#### 2. Capstan discriminator mode

In the following conditions, the capstan phase error output is a 50% duty PWM pulse and only the speed system is controlled.

1) Capstan FG frequency (500 Hz) deviates from  $\pm 5\%$ .

2) Control pulse ceases during playback mode.

3) Low potential at pin 37. Pin 37 can be used for externally inducing the capstan discriminator mode. This is convenient for troubleshooting during service.

During service, also note that high appears at pin 38 when the drum FG frequency deviates from  $\pm 10\%$  and the capstan motor stops.

Mode	Phase Servo		Speed Servo
	Reference Signal	Comparison Signal	
REC	X'TAL 25 Hz (V.SYNC RESET)	DRUM PULSE 25 Hz	DRUM FG 1500 Hz
PB	X'TAL 25 Hz	DRUM PULSE 25 Hz	DRUM FG 1500 Hz

Tabelle/Table 3-2-1 Signale des Trommelservos/Main signals for Drum Servo

### 3.2.3 Signalfuß des Kopftrommel-Servo-Systems

#### 1. Drehzahl-Steuersignal

Das FG-Signal (1500 Hz) wird durch die Rotationen des Kopftrommel-Motors erzeugt. Dieses Signal wird im IC401 verstärkt, gelangt durch den Impulsformer zum Pin 21 von IC402, wird danach in PWM-Impulse umgewandelt und am Pin 41 durch R419 und C420 integriert und wird damit zum Drehzahl-Steuersignal.

Nach dem Spannungsfolger IC404 wird das Signal mit der Phasenfehler-Spannung gemischt und dem MDA (Motor Drive Amplifier) zugeführt.

#### 2. Aufnahme-Phasensteuerung

Bei der Aufnahme wird das Vertikal-Synchronsignal des aufgenommenen Video-Signals als Referenzsignal benutzt. FBAS-Sync wird von der Videostufe zum Pin 10 von IC402 gegeben, wo die V-Synchronabtrennung erfolgt, auf 1/2 heruntergeteilt wird um eine Frequenz von 25 Hz zu erhalten. Die Phasenlage „resets“ den Referenzzähler und der 25 Hz Ausgangsimpuls wird als Referenzsignal an den Kopftrommel-Phasenkomparator gegeben.

Als Vergleichssignal zieht man die Kopftrommelimpulse heran, die ja gleichzeitig die Phasenlage des rotierenden Kopfes beinhaltet. IC401 verstärkt die Trommelimpulse die am Impulskopf abgenommen werden. Das Signal wird noch geformt, bevor es an Pin 22 von IC402 gelangt. Abweichungen der beiden Videoköpfe und des „Impulskopfes“ innerhalb der Fertigungstoleranzen werden durch einen Monostabilen-Multivibrator kompensiert. Einstellungen werden mit R149 (PB SW) von V/A/F PWB in bezug auf den Videokopf CH-1 vorgenommen.

Die fertigungstechnischen Winkeltoleranzen sowie der elektrische Abstand ( $180^\circ$ ) der beiden rotierenden Köpfe untereinander werden, durch Verwendung der FG-Trommelimpulse und Frequenz fsc (4.43 MHz)/2 Takte und mit dem Schaltpunkt von CH-1 als Referenz, ausgeglichen. Das resultierende Flipflop-Signal wird dann als Vergleichssignal an den Kopftrommel-Phasenkomparator gegeben.

Durch Zählung mit fsc (4.43 MHz)/8 Takt-Impulse wird die Phasendifferenz zwischen Referenz- und Vergleichssignal ermittelt. Das Signal wird zu einem PWM-Impuls umgewandelt, mit R420 und C421 integriert und wird damit zum Kopftrommel-Steuersignal.

Über einen nichtlinearen Schaltkreis Q401 und Q402 sowie einem Schleifenfilter, bestehend aus R415, R416, R436 und C427 gelangt das Signal schließlich zum Mischverstärker IC404.

Der nichtlineare Schaltkreis hat dabei die Aufgabe, relativ große Phasenfehler, die besonders beim Starten eintreten, schnellstens zu überbrücken, andererseits bei kleinen Phasenfehlern (z. B. bei Servo-Fang) für eine Verzögerung zu sorgen, damit kein „Motor-Hunt“ entsteht.

Das Schleifenfilter bestimmt die Servo-Signalcharakteristik durch Unterdrückung von Phasenfehler-Fluktuationen und verhindert damit abnormale Motordrehungen.

### 3.2.3 Drum servo system signal flow

#### 1. Speed control signal

The drum FG signal (1500 Hz) is obtained from drum motor rotation. This is amplified by IC401 and sent through waveform shaper to pin 21 of IC402. The signal is converted into a PWM pulse, which from pin 41 is integrated by R419 and C420 to become the speed error voltage.

After the voltage-follower of IC404, the signal is mixed with the phase error voltage and supplied to the motor drive amplifier (MDA).

#### 2. Recording phase control

The vertical sync component of the recorded video signal is used as the reference signal. Composite sync from the video circuit is supplied to pin 10 of IC402, where the vertical sync is separated and counted down 1/2 to yield a 25 Hz pulse.

The phase resets the reference counter and this 25 Hz output pulse is supplied as reference to the drum phase comparator.

The comparison signal is obtained from the drum pulse, which corresponds to the video head rotational phase. IC401 amplifies the drum pulse, which is obtained from the drum pickup head. The waveform is shaped and supplied to pin 22 of IC402.

At the switching MMV (monostable multivibrator), compensation is performed for error between the mounting position of the pickup head and video heads. Adjustment is performed with R149 (PB SW) of V/A/F PWB with reference to the CH-1 video head.

The mounting angle difference between the CH-1 and CH-2 heads and electrical  $180^\circ$  separation are adjusted by using the drum FG pulse and fsc (4.43 MHz)/2 clock with the CH-1 switching point as reference. The obtained drum flipflop signal is sent as the comparison signal to the drum phase comparator.

Phase difference between the reference and comparison signals is counted using the fsc/8 clock pulse. This is converted into a PWM pulse and integrated by R420 and C421 to become the drum phase error voltage.

This signal goes through the non-linear circuit of Q401 and Q402, and the loop filter of R415, R416, R436, C426 and C427 to the IC404 mixing amplifier.

The non-linear circuit functions to quickly transfer relatively large error components, such as occur during starting, while providing delayed response in the case of small deviations (e.g., during servo lock) in order to avoid motor hunting.

The loop filter determines the servo response characteristics and suppresses error voltage fluctuations for preventing abnormal motor rotation.

### 3. Kopftrommel-Treiber-Verstärker

Die Phasenfehlerspannung am Pin 7 von IC404 gelangt an den Kopftrommel-Treiber. Geregelt wird dieser von der Fehlspeisung am Eingang von IC1 Pin 21. Ein Potential von über 2V erzeugt ein Ansteigen, eine Spannung von weniger als 2V eine Reduzierung der Geschwindigkeit.

Die Ausgangsspannung von IC1 Pin 20 gelangt weiter an den Minuseingang von IC1 Pin 9. Der Komparator IC1 bildet zusammen mit Q1 einen schaltbaren Regler. Dabei wird die Spannung am Pin 9 mit der Gleichspannung am Pin 8, der Plusseite des Komparators, verglichen. Dem Resultat entsprechend schaltet der Schaltimpuls-Ausgang Q1 EIN oder AUS. Das Schaltregler-Ausgangssignal gelangt schließlich zum Pin 10 und 14 von IC1 und betreibt damit die Kopftrommelmotor-Spule. Der Spulenstrom wird von Hall-Generatorimpulsen, die an die Eingänge 1, 2, 3 und 4 des IC1 gelangen, geschaltet und setzen den Trommel-Motor in Bewegung.

### 4. Playback Phasen-Steuersignal

Im Wiedergabe-Betrieb kommt das Referenzsignal von einem 4,43 MHz Quarz-Oszillator und gelangt zum IC402 Pin 3 und 4. Das Signal wird vom Referenzzähler auf 25 Hz – heruntergeteilt und dem Kopftrommel-Phasenkomparator zugeführt. Der sich daraus ergebende Signalfuß ist identisch mit dem im Aufnahme-Betrieb.

### 3. Drum motor drive amplifier

The error voltage output from IC404 pin 7 is sent to the drum motor drive amplifier. The amplifier is controlled by the error voltage input at IC1 pin 21. A potential exceeding 2V provides forward drive, while reverse drive occurs with less than 2V.

The output voltage from IC1 pin 20 is supplied to the minus terminal of the comparator at IC1 pin 9. Together with Q1, the comparator composes a switching regulator. The pin 9 voltage is compared with the DC voltage applied via pin 8 to the plus side of the comparator. According to the result, the switching pulse output from pin 6 switches Q1 ON or OFF.

The switching regulator output signal is supplied to IC1 pins 10 and 14 to become the coil current for drum motor rotation. The coil current is switched by the Hall generator pulse inputs at IC1 pins 1, 2, 3 and 4 for rotating the drum motor.

### 4. Playback phase control signal

During playback, the reference signal is obtained from a 4,43 MHz crystal oscillator connected to IC402 pins 3 and 4. This signal is divided to 25 Hz by the reference counter and supplied to the drum phase comparator. Subsequent signal flow is the same as for the Recording mode.

Mode	Phase Servo		Speed Servo
	Reference Signal	Comparison Signal	
REC	X'TAL 25 Hz	CAPSTAN FG 25 Hz	CAPSTAN FG SP : 500 Hz
PB	X'TAL 25 Hz	CTL. PULSE 25 Hz	CAPSTAN FG SP : 500 Hz

Tabelle/Table 3-2-2 Signale des Capstan-Servos/Main signals for Capstan Servo

#### 3.2.4 Signalfuß des Capstan-Servo

##### 1. Geschwindigkeits-Steuersignal

Das durch Capstan-Umdrehungen produzierte Capstan-FG-Signal (500 Hz in SP-Betrieb) gelangt an die Pins 6 und 7 des Verstärkers IC410, das außer der Verstärkung auch die Impulsformung durchführt. Nach Verdopplung der Signalfrequenz auf 1000 Hz gelangt das Signal vom Pin 1 des IC401 zum Pin 16 von IC408, welches die Teilung auf 1/3 (für X3-Suchlauf) und 1/5 (für X5-Suchlauf) vornimmt. Das Ausgangssignal steht am Pin 17 zur Verfügung. (Außer für X3- und X5-Suchlauf-Betrieb, findet keine weitere Teilung für andere Betriebsarten statt).

Nachträglich wird das Signal im IC407 auf 1/2 heruntergeteilt und dem Pin 25 von IC402 zugeführt. Für den SP-Betrieb wird eine weitere 2/3 Teilung (480 Hz) durchgeführt und gelangt an den Capstan-Geschwindigkeitsdetektor.

Ein der Signalfrequenz entsprechender PWM-Impuls erscheint am Pin 38. Dieser wird nach Integration durch R417 und C417 an den Spannungsfolger IC402 und danach an den Capstan Regelverstärker im IC403 weitergeleitet. Die entsprechende Regelspannung wird der jeweiligen Capstan-Betriebsart angepaßt.

Die Ausgangsspannung wird mit der Phasenfehler-Spannung vom IC404 gemischt und der Capstan-Motorsteuerschaltung des Mechacons zugeführt.

##### 2. Phasen-Steuersignal bei Aufnahme

Das Referenzsignal liefert ein 4,43 MHz Quarz-Oszillator, der mit Pin 3 und 4 des IC402 verbunden ist. Ein Referenzzähler teilt die Frequenz auf 25 Hz herunter und gelangt dann weiter an den Capstan-Phasenkomparator.

Als Referenzsignal dient das Capstan-FG-Signal (500 Hz), das am Pin 25 von IC402 anliegt. Auch dieses Signal wird auf 25 Hz heruntergeteilt und ebenfalls dem Capstan-Phasenkomparator zugeführt.

Phasenunterschiede zwischen dem Referenz- und Vergleichssignal werden ausgezählt durch fsc/8 Taktimpulse. Das Signal wird anschließend zu einem PWM-Impuls umgewandelt, mit R418 und C418 integriert und wird damit zum Kopftrommel-Phasensteuersignal. Das Signal passiert den Nichtlinearschaltkreis Q405, Q406 und dann das Schleifenfilter, bestehend aus R438, R439, R440, C429 und C404 und gelangt dann an den Mischverstärker IC402.

##### 3. Playback-Phasen-Steuersignal

Das Referenzsignal liefert der 4,43 MHz Quarz-Oszillator, der mit Pin 3 und 4 des IC402 verbunden ist. Ein Referenzzähler teilt die Frequenz auf 25 Hz herunter und wird dann dem Regelverzögerungs-Mono-Multivibrator (MMV) zugeführt. Dadurch wird die relative Höhe zwischen den SP und LP Videoköpfen ausgeglichen. Danach gelangt das Signal zum Tracking-MMV und weiter zum Capstan-Phasenkomparator.

Das aufgezeichnete Steuersignal wird dabei als Vergleichssignal verwendet. Dieses Signal wird im IC401 verstärkt und geformt und gelangt dann zum IC408 Pin 18, wo es auf 1/3 für den X3-Suchlauf, bzw. auf 1/5 für den X5-Suchlauf heruntergeteilt wird. Am Ausgang 19 von IC408 steht das Signal zur Verfügung. Vom Pin 26 des IC402 gelangt das Signal dann an den Capstan-Phasenkomparator.

Der sich daraus ergebende Signalweg ist deshalb identisch mit dem Aufnahme-Betrieb.

#### 3.2.4 Capstan servo signal flow

##### 1. Speed control signal

Capstan FG signal (500 Hz in SP mode) obtained by rotation of the capstan is supplied to pins 6 and 7 of IC410, which amplifies the signal and shapes its waveform. The signal doubled by its frequency (1000 Hz) is supplied from pin 1 of IC410 to pin 16 of IC408 which divides it to 1/3 for X3 Search mode and to 1/5 for X5 Search to output through pin 17. (The signal is not divided for other modes than X3 and X5 Search modes.)

This signal is divided to 1/2 again by IC407 and supplied to pin 25 of IC402. Moreover, this is reduced 2/3 (SP mode) to 480 Hz and supplied to the capstan speed detector.

A PWM pulse corresponding to the signal frequency appears at pin 38. This is integrated by R417 and C417, then sent via the IC403 voltage-follower to the IC403 capstan gain control circuit. Speed (voltage) is compensated during capstan rotation according to mode.

The output voltage is mixed with the phase error voltage at IC404 and supplied to the capstan motor control circuit of the mechacon.

##### 2. Recording phase control signal

The reference signal is obtained from a 4.43 MHz crystal oscillator at IC402 pins 3 and 4. This is counted down to 25 Hz by the reference counter and supplied to the capstan phase comparator.

The comparison signal is taken from the capstan FG signal (500 Hz) supplied to IC402 pin 25. This is also counted down to 25 Hz and supplied to the capstan phase comparator.

Phase difference between the reference and comparison signals is counted using the fsc/8 clock pulse. This result is converted into a PWM pulse, which is integrated by R418 and C418 to become the drum phase error voltage. The signal goes through the non-linear circuit of Q405 and Q406, then the loop filter circuit of R438, R439, R440, C429 and C404 to the IC402 mixing amplifier.

##### 3. Playback phase control signal

The reference signal is obtained from a 4.43 MHz crystal oscillator connected at IC402 pins 3 and 4. This is counted down to 25 Hz by the reference counter and supplied to the control delay MMV.

The signal then goes via the tracking MMV to the capstan phase comparator.

This compensates for the relative height between the SP and LP video heads.

The signal then goes via the tracking MMV to the capstan phase comparator.

The control signal that has been recorded on the tape is used for the comparison signal. This signal is amplified and waveform shaped by IC401 to be supplied to pin 18 of IC408, which divides this signal to 1/3 for X3 Search mode and 1/5 for X5 Search mode to output through pin 19 of IC408. (The signal is not divided for other modes than X3 and X5 Search modes.) The signal is supplied to the capstan phase comparator through pin 26 of IC402.

Subsequent signal flow is the same as for the Recording mode.

### 3.2.5 Dual-Azimuth (Doppel-Azimuth) Videoköpfe

Mit diesem System sind ungestörte Standbilder möglich. Gleichzeitig werden die Bilder variabler Wiedergabegeschwindigkeiten verbessert. Wegen der Azimuth-Aufzeichnung sind Rauschzonen im Suchlaufbetrieb mit konventionellem Azimuth unvermeidlich und nur Standbild-Wiedergabe einwandfrei. Mit Doppelazimuth ist das Bild bei Suchlauf und im Standbildbetrieb einwandfrei.

Bei Standbild im SP Betrieb wird nur die Spur 2 vom SP-Kopf-2 sowie LP-Kopf-2 abgetastet mit dem Resultat einer Einzelbildabtastung wie in Abb. 3-2-17 dargestellt. Im SP-Suchlaufbetrieb wird automatisch immer der von den 4 Videoköpfen eingeschaltete, der den höchsten Signalpegel anzubieten hat. Dieses garantiert einen immer optimalen Pegel und ein Minimum an Rauschen.

Bei LP-Aufnahme und Wiedergabe werden die Köpfe für Spur-1 und Spur-2 LP eingesetzt wie aus Abb. 3-2-18 ersichtlich. In der Betriebsart LP-Standbild sind die Köpfe Spur-1 und Spur-2 LP in Betrieb und Einzelbildfortschaltung findet in der Videospur für LP-Betrieb statt.

Verschiedene Kopfkombinationen kommen in den verschiedenen Betriebsarten zur Anwendung, um einen rauschfreien Suchlauf bzw. Einzelbildfortschaltung zu gewährleisten.

In Abb. 3-2-17 ist die lineare Positionsübereinstimmung der Köpfe zum Bandmuster in SP-Standbetrieb dargestellt. Dabei wird die Spurlage vom Mikroprozessor des Servokreises genau auf die Mitte der Spur-2 eingeregelt. Diese Spur wird zusammen mit den Außenkanten der Nachbarspuren abgetastet. Der Spur-2 SP-Kopf liefert deshalb die größte FM-Si-

### 3.2.5 Dual-azimuth video head

This system allows field-still playback and improves picture quality in variable-speed playback. Because of azimuth recording, noise is inevitable in search playback using the conventional method, and only frame-still playback is possible to produce still pictures. The dual-azimuth head has solved these problems and makes possible complete-picture search and field still pictures.

When the still mode is entered in the SP mode, the channel-2 SP head and channel-2 LP head are used to trace only the channel-2 track, resulting in field-still playback as shown in Fig. 3-2-17. In SP search playback, the head with the highest output level of the 4 heads is always in operation through automatic switching. This provides search pictures with less noise.

In LP recording and playback, channel-1 and channel-2 LP heads are used as shown in Fig. 3-2-18. In the LP still mode, the channel-1 and channel-2 LP heads are used and frame-still playback takes place on the video track in the LP mode.

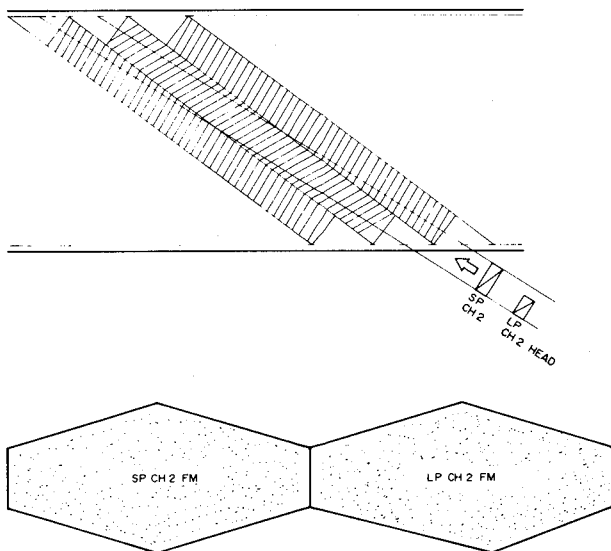


Abb./Fig. 3-2-17 SP-Standbild/SP still playback

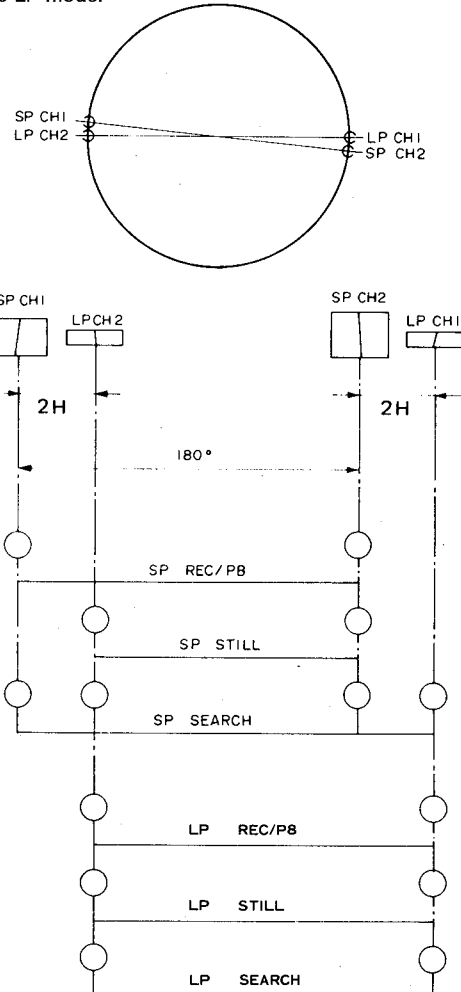


Abb./Fig. 3-2-18 Auswahl der Videoköpfe bei verschiedenen Betriebsarten  
Video head select

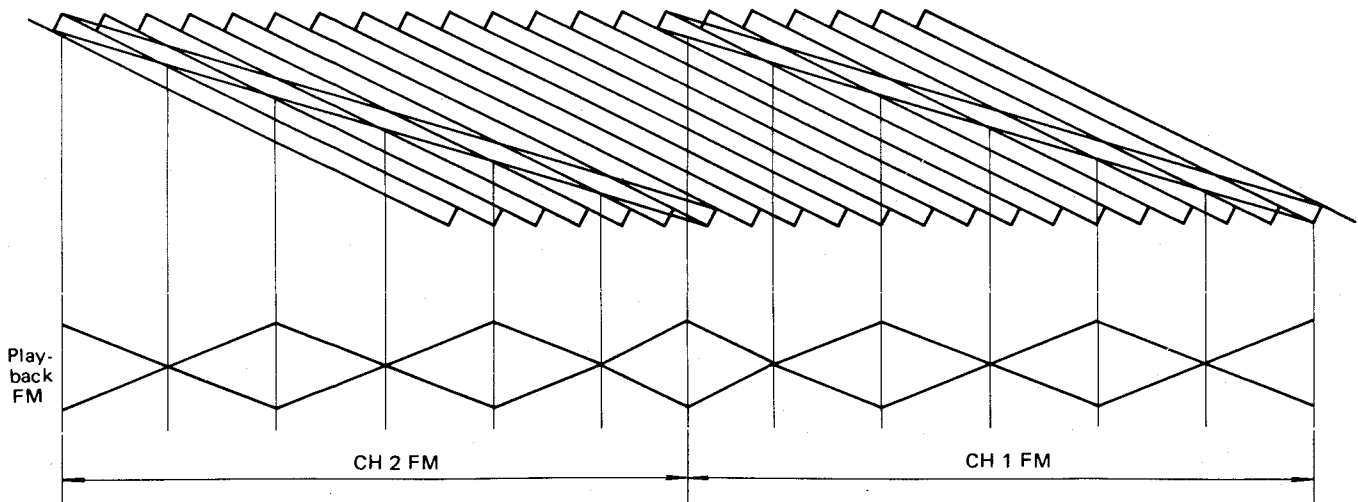


Abb./Fig. 3-2-19 LP-Suchlauf/Search playback (LP mode)

gnalspannung, weil es derselbe Kopf mit demselben Azimuth ist, mit dem auch die Aufnahme gemacht wurde. Nach der Abtastung der Spur mit diesem Kopf muß dieselbe Spur von dem weiteren – um  $180^\circ$  versetzten – Kopfpaar abgetastet werden. Dieses sind die beiden Köpfe Spur-1 SP und Spur-2 LP. Im Standbild-Betrieb wird dieser Spur-2 LP Kopf, der sich in einem Abstand von 2H vom Spur-1-SP Kopf befindet, ebenfalls zur Abtastung von Spur-2 herangezogen, um ein kontinuierliches Spur-2 Signal zu erhalten. Im LP-Standbildbetrieb wird die Videospur von den Köpfen Spur-1 und Spur-2 LP abgetastet. Bisher galt Einzelbildfortschaltung bei der Azimuth Aufnahmemethode im VHS-Format als unmöglich. Das Problem wird jedoch durch die Doppelspalt/Doppelazimuth-Methode vollkommen eliminiert. In Abb. 3-2-19 ist dargestellt, wie der Suchlauf bei 7-facher Geschwindigkeit stattfindet. Ganz gleich in welcher Richtung gesucht wird, die Spurlage bleibt über 7 Spuren und bei 7-facher Geschwindigkeit erhalten.

Die Köpfe von Spur-1 und Spur-2 erzeugen Signale nur während der Perioden, in denen sie die Spurenabschnitte abtasten, die sie während der Aufnahme mit demselben Azimuthwinkel aufzeichneten. Wenn sie die Spuren mit entgegengesetztem Azimuthwinkel abtasten, ist theoretisch kein Ausgangssignal vorhanden. Das Diagramm läßt erkennen, daß nur dann, wenn das Ausgangssignal der anderen Köpfe klein ist, die Köpfe mit entgegengesetztem Azimuth ein Wiedergabe-Ausgangssignal produzieren. In diesem Modell, arbeiten alle Köpfe (zwei SP und zwei LP Köpfe) im SP-Suchlaufbetrieb, und es werden grundsätzlich die größten Signalspannungen durch entsprechendes Schalten selektiert und den weiteren Kreisen zugeführt. Das Ergebnis sind Suchlaufbilder mit geringem Rauschanteil, wie aus Abb. 3-2-20 zu ersehen ist. Da mehrere Spuren gleichzeitig kreuzweise abgetastet werden, erscheint an den jeweiligen Schaltpunkten eine Störzone in Form von stehenden Zeilen. Allerdings entsteht keine Pegelabsenkung zwischen den einzelnen Spuren, die aber im Fall der konventionellen Methode vorhanden ist. Daher sind während des Suchlaufs auch keine Rauschbalken zu erkennen.

Wegen der schmalen Spur, die bei LP-Aufnahmen aufgezeichnet wird, kann diese Methode bei LP-Suchlauf nicht zur Anwendung kommen. Wenn also LP-Aufzeichnungen im Suchlauf abgetastet werden, erscheinen Rauschbalken wie bisher. Die Qualität der Bildwiedergabe im Suchlauf wurde jedoch erheblich verbessert, und ist daher angenehmer für die Augen.

Erreicht wurde dies durch einen phasenstarken Servo, der die Rauschbalken an bestimmten Stellen des Bildes in Position hält.

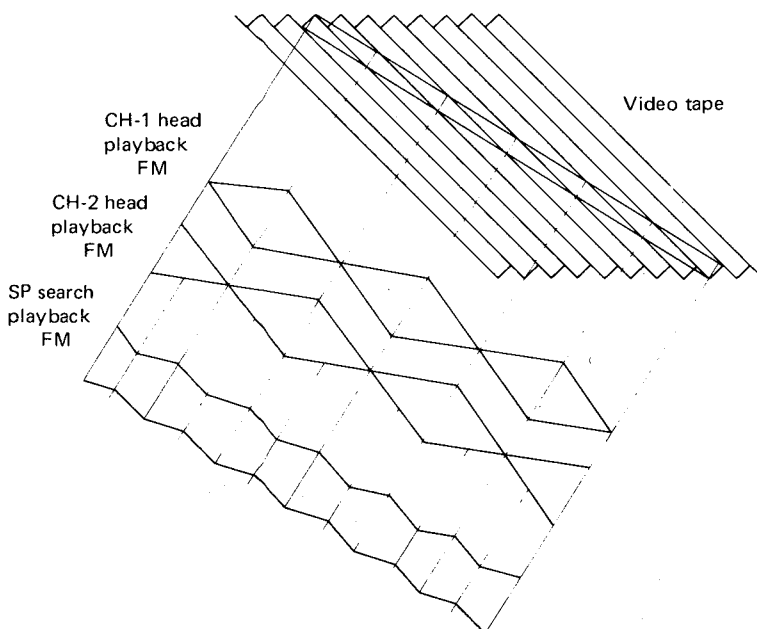


Abb./Fig. 3-2-20 Schneller Suchlauf (SP)/SP search playback

### 3.2.6 Zeitlupe und Standbild

Die Geschwindigkeit für Zeitlupe ist eine Selektion aus der Kombination von Standbild und Einzelbild-Fortschaltung. Genauer gesagt, wird die gewünschte Bildfolge durch Steuerung der Zeit zwischen Bandstopp und der nächsten Bandbewegung erreicht. In SP-Betrieb wird die Einzelbildfortschaltung der CH-2 Spur mit den Köpfen für LP und SP CH-2 durchgeführt.

Da hier im Standbildbetrieb die Köpfe CH-1 und CH-2 abtasten, und beim Stoppen das Band auf der optimalen CH-2 Spurlage ist, kann es bei der Bildwiedergabe zu leichtem Rauschen kommen. Abb. 3-2-21 zeigt diese Abhängigkeit in bezug zum FM- und Kopftrommel Flip-Flop-Signal. Beim Abgleich der FM-Hüllkurve sollte deshalb das Maximum mit der Mitte des Trommel-Flip-Flop-Signals zusammentreffen, da der CH-2 Kopf das Maximum der CH-2 Spur wiedergibt.

Ein Mikroprozessor erkennt die Störspitzen des K-Trommel-Flip-Flop-Signals, welches eine Phasendrehung der K-Trommel und des K-Trommel-Frequenzgenerators (FG) bedeutet. Der Capstanmotor wird nun so ge-

Different head combinations are used in different modes in order to realize substantially noise-free search and stable field-still playback.

The Fig. 3-2-17 shows the linear position relationship of the heads to the tape pattern in the SP still mode. The tracking is controlled by the microprocessor of the servo section to stop in a position where the channel-2 track is centered. This track is traced together with the edge portions of its adjacent tracks. The channel-2 SP head delivers the best FM output from this track because it is the same head with the same azimuth that was used in recording. After being traced by the channel-2 SP head, the same track must be traced by the other head pair,  $180^\circ$  away. This head pair consists of the channel-1 SP head and the channel-2 LP head. In the SP still mode, this channel-2 LP head, located 2H away from the channel-1 SP head, is used to trace the same channel-2 track to deliver channel-2 output continuously. In the LP still mode, video track is traced by the channel-1 and channel-2 LP heads.

Field-still playback had been considered impossible in the azimuth recording method of the VHS format. The dual-gap, dual-azimuth video head completely eliminated this problem. Fig. 3-2-19 shows how search takes place at 7 times normal speed. In either search (forward or reverse), tracing takes place across 7 tracks if the speed is 7 times normal.

The channel-1 and channel-2 heads provide outputs only during the period in which they trace the portions that they recorded with the same azimuth angle. When they pass the opposite-azimuth tracks, theoretically no output is available. This diagram shows that, only when the output from the other head is low, the opposite-azimuth head delivers some playback output. In this model, all heads (two SP and two LP heads) are operating in the SP search mode and the output levels of these heads are detected so that the highest output is always delivered through switching, to the subsequent circuits. This results in search pictures with less noise, as shown in Fig. 3-2-20.

Since several tracks are traced one across another, switching-point noise appears on the screen in the form of a few fixed lines. However, there is no level drop between tracks as is the case with the conventional method, and therefore, the search pictures are free from noise bars.

The same technology cannot be applied to the LP search mode due to the narrower video track of the LP heads. When the LP tape is searched, noise bars appear as before, however, the search picture quality is improved to provide speeded-up pictures which are easier on the eyes. This is accomplished through the incorporation of a phase lock servo which fixes noise bars at certain positions.

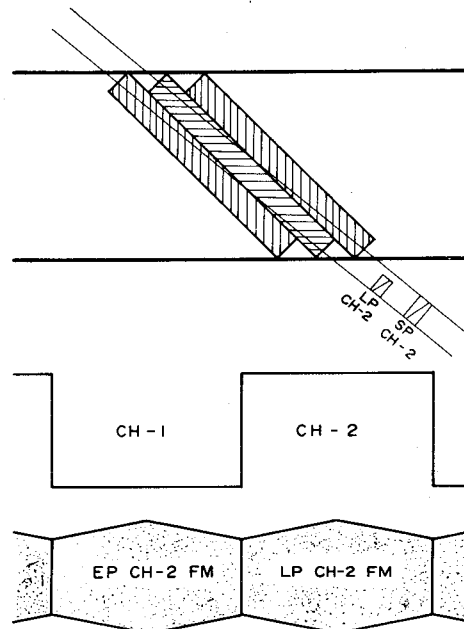


Abb./Fig. 3-2-21

### 3.2.6 Slow and still

The Slow motion speed is selected by combining the Still and Frame Advance functions. In effect, the desired rate is selected by controlling the time between tape stop and the next movement.

In the SP mode, CH-2 track field Still is performed using the LP and SP CH-2 heads.

During SP Still, since the CH-2 heads are used for CH-1 and CH-2, by stopping the tape at the point of optimum CH-2 tracking, a low noise playback picture can be obtained. Fig. 3-2-21 shows this relationship with respect to the FM output and drum flipflop signals. By aligning the FM waveform peak with the drum flipflop pulse center, the CH-2 head plays back the CH-2 track at optimum condition.

A microprocessor detects the noise peak from the drum flipflop signal, which indicates rotational phase of the head drum, and the drum frequency generator (FG) signal. The capstan motor is controlled so that the tape stops at the point of optimum tracking.

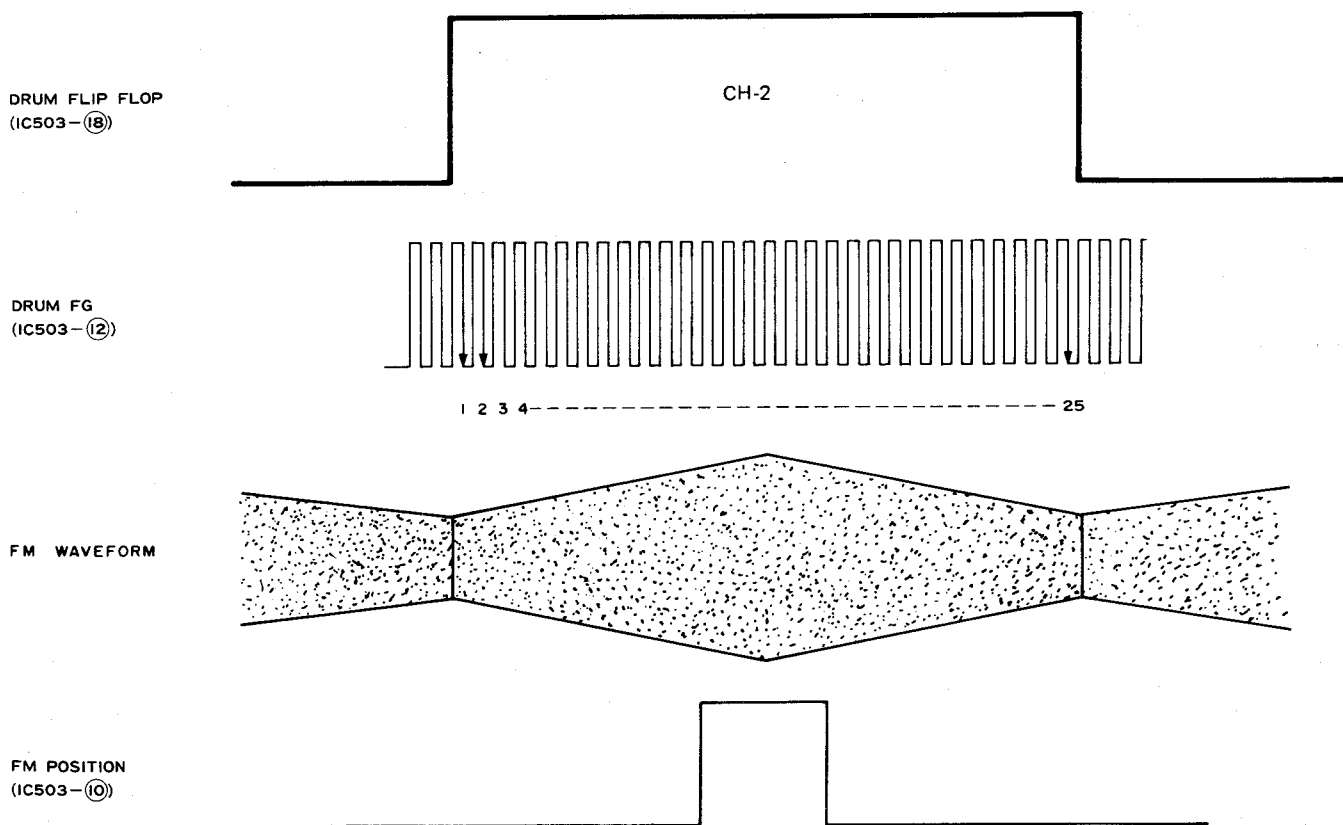


Abb./Fig. 3-2-22

steuert, daß das Band am Punkt optimaler Spurlage stoppt. Der dem Capstan zugeführte Antriebsimpuls ist in Abb. 3-2-23 dargestellt. Dem Treiberimpuls folgend besteht im Anschluß daran eine im voraus festgelegte Freilaufperiode mit anschließender Bremsung. Nachdem der Capstanmotor stoppt, wechselt der Impuls zur Vorspannung.

Durch Abstimmung der Motorimpulsbreite kann der Capstanmotor so gesteuert werden, daß die optimale Spurlage erreicht wird.

In Abb. 3-2-24 ist der Zeitablauf für den SLOW-Betrieb dargestellt. Der Bandtransport wird für eine bestimmte Zeit gestoppt, danach der Capstanmotor für eine durch IC411 festgelegte Zeit durch den SLOW-Impuls in Bewegung gesetzt. Der Mikroprozessor verzögert den Start des Motors um die festgesetzte Zeit (A), die der negativen Flanke des Kopffrommel Flip-Flops und dem CH-1 Start folgt. Hierdurch werden die Stopp-Phase und der Startpunkt gesteuert, um die Spurlage zu verbessern und um Rauschbalken zum Zeitpunkt des Motorstarts zu verhindern.

Der Capstanmotor transportiert das Band während des Zeitabschnitts (B). Danach sinkt die Motorspannung, und der Motor läuft während des Zeitabschnitts (C) im Freilauf, gefolgt vom entgegengesetzten Befehl des Mikroprozessors während der Zeit (D). Damit wird die Rückstellbremse für den Direktantriebsmotor (DD) ausgelöst. Nach dem Bremsvorgang wird der Motorstrom während der Dauer von 3 ms (Zeit E) wieder angelegt, um die Motorbremsung zu stabilisieren. Wenn der Mikroprozessor den vollendeten Stoppvorgang registriert hat, stellt sich ein FM-Rauschbalken ein, der vom nächsten negativen F/F-Impuls herrührt (z. B. dem CH-1 Startpunkt). Der Rauschdetektor befindet sich ebenfalls im IC409.

Der Spitzenwert des Rauschsignals wird gleichgerichtet. Überschreitet das gleichgerichtete FM-Signal der Hüllkurve einen festgesetzten Pegel, dann gelangt ein H-Pegel vom IC409 an den Pin 15 von IC411. Die Beziehungen zwischen der FM-Signalform und der FM-Impulsposition veranschaulicht Abb. 3-2-22.

The drive pulse supplied to the capstan motor is indicated in Fig. 3-2-23. Following the forward drive pulse, there is a fixed period of free run, then braking is applied. After the capstan motor stops, the pulse changes to bias voltage. By varying this motor pulse width, the capstan motor can be controlled for obtaining optimum tracking.

Fig. 3-2-24 shows Slow operation timing. The tape motion stops for a certain period, then the capstan motor turns for a fixed period due to the Slow pulse output from IC411.

The microprocessor delays the motor start for a fixed period of time (A) following the drum flipflop falling edge and CH-1 start. This controls the phase of the stopping and starting points in order to improve tracking and avoid noise bars at the time of motor start.

The capstan motor transports the tape for time (B), after which the motor drive voltage ceases. The motor continues to turn for free run period (C), then the reverse command from the microprocessor is produced for time (D). This applies reverse braking current to the direct drive (DD) motor. After braking, forward current is applied for the 3 msec period (E) in order to stabilize the motor stopping. When the microprocessor detects that the motor has completely stopped, the FM noise position is from the next drum flipflop falling edge (i.e., the CH-1 start point). The noise detector is included in IC409.

The peak noise value is detected. When the detected FM waveform envelope exceeds a fixed level, a high potential output is sent from IC409 to pin 15 of IC411. Relationship between the FM waveform and the FM position pulse is indicated in Fig. 3-2-22.

The microprocessor reads the addresses of the rising and falling edges of the FM position pulse, which correspond to the drum FG signal rising edge count. As Fig. 3-2-22 indicates, there are 25 degrees per drum FG channel. These are determined by the 1500 Hz drum FG and 25 Hz drum flipflop signals.

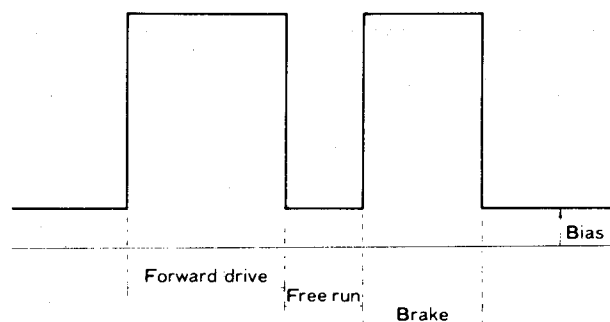


Abb./Fig. 3-2-23

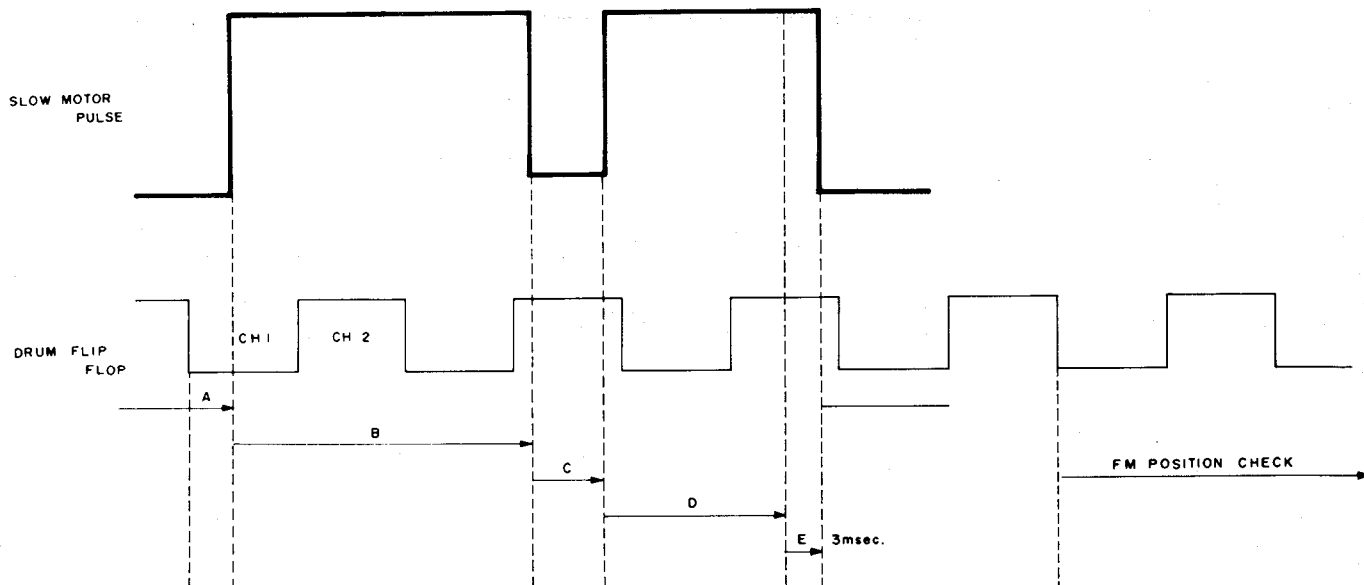


Abb./Fig. 3-2-24

Der Mikroprozessor liest die Adressen aus den ansteigenden und den abfallenden Flanken des FM-Positionsimpulses, welche in direkter Beziehung zu den positiven Flanken der Kopftrommelimpulse stehen. Abb. 3-2-22 zeigt, daß 25 Grad pro Kopftrommel bestehen. Diese werden bestimmt durch die 1500 Hz Kopftrommelimpulse (FG) und den 25 Hz Trommel-Flip-Flop Signalen. Befindet sich das Rauschen innerhalb der Mitte der Adressen, dann erscheint der FM-Positionsimpuls zwischen Punkt 5 und 20 als ein positives Signal. Als Beispiel soll angenommen werden, daß die positive Impulsflanke am Punkt 5 und die negative am Punkt 20 erscheint, dann errechnet der Mikroprozessor den Mittelwert aus  $(5 + 20) / 2 = 12$  und bestimmt damit das FM-Spitzensignal bei Adresse 12. Das gleiche gilt natürlich auch für die exakte Wiedergabe von der CH-2 Spur und exakten Bandtransport.

In dem Fall, wo die Adresse vom Mittelwert in positiver bzw. negativer Richtung abweicht, errechnet der Mikroprozessor die Abweichung bezogen auf die Adresse 12 und steuert mit dem nächsten Motorimpuls entsprechend nach.

In Abb. 3-2-25 ist das Prinzip der SLOW-Motor-Impulsregelung dargestellt. Der Mikroprozessor zählt die Capstan FG-Impulse (A) und (B). Die Regelung wird erst nach Ermittlung der richtigen Motorfunktion und Zählung der Impulse durchgeführt. Bei Betrieb Standard-Play (SP) in Vorwärtsrichtung werden die positiven und negativen Capstan FG-Impulse (A) und (B) gezählt.

If the noise is centered within the address points, the FM position pulse appears between points 5 and 20 as a positive pulse. As an example, assume the pulse rising edge is at address point 5 and the falling edge at point 20. The microprocessor computes the center value as  $(5 + 20) / 2 = 12$ , thereby determining the FM peak point at address 12. This case also indicates proper playback of the CH-2 track and proper tape transport.

If the center address deviates in either the plus or minus direction, the microprocessor computes the deviation amount relative to address 12, then controls the next motor pulse accordingly.

Fig. 3-2-25 illustrates the Slow motor pulse control principle. The microprocessor counts capstan FG pulses (A) and (B). Control is performed after determining proper motor function from the pulse count. In the standard mode forward direction, the capstan FG (A) and (B) pulse rising and falling edges are counted. At count 50, the drive output is cut off. Free run proceeds for 16 counts, then braking is applied from count 66 to 96. During this 30 count period, reverse current is applied to the capstan motor. After detecting motor stoppage, i.e., when FG (A) and (B) pulses cease, 3 msec forward voltage is applied in order to prevent actual reverse rotation.

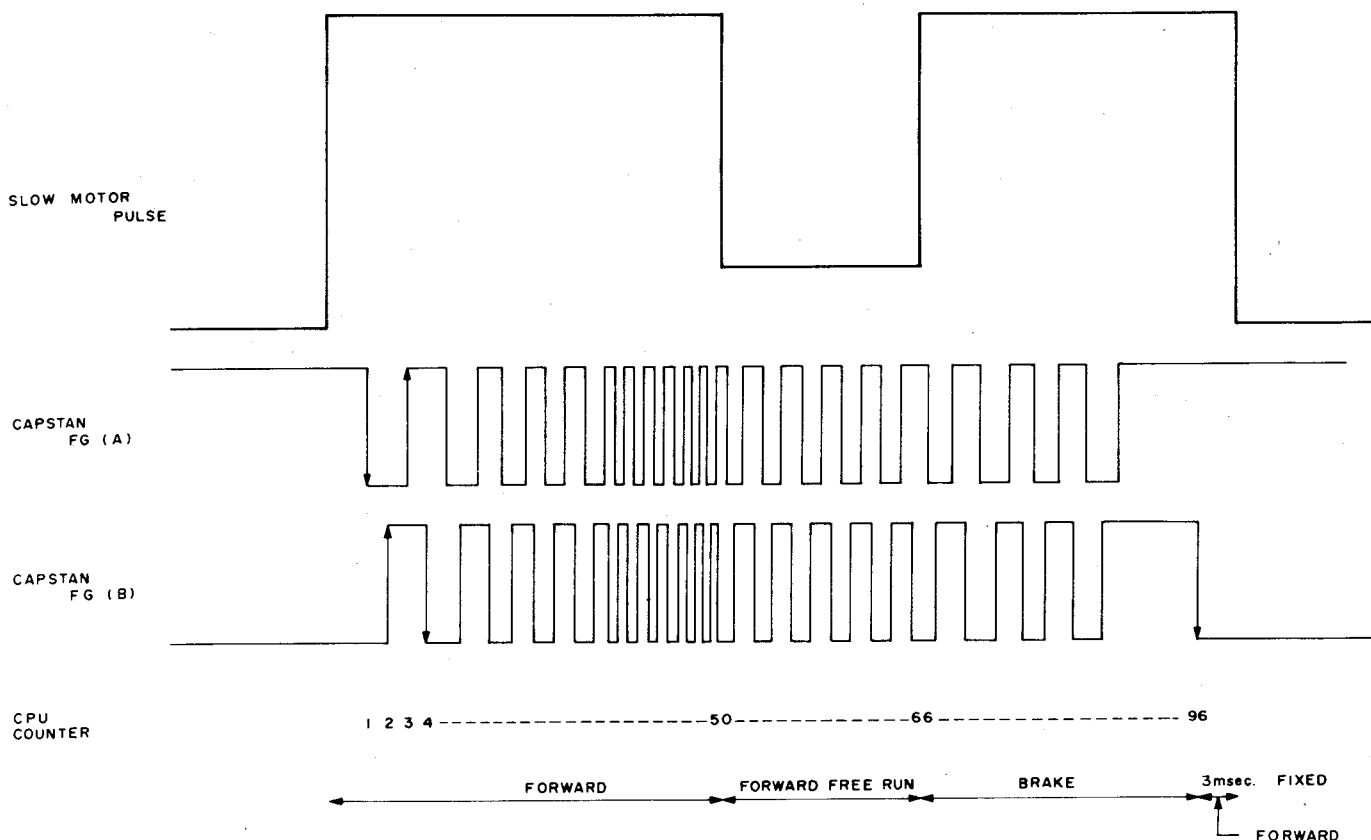
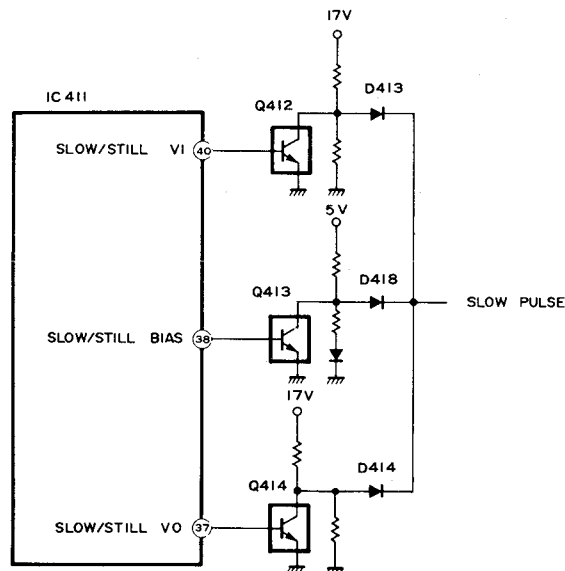


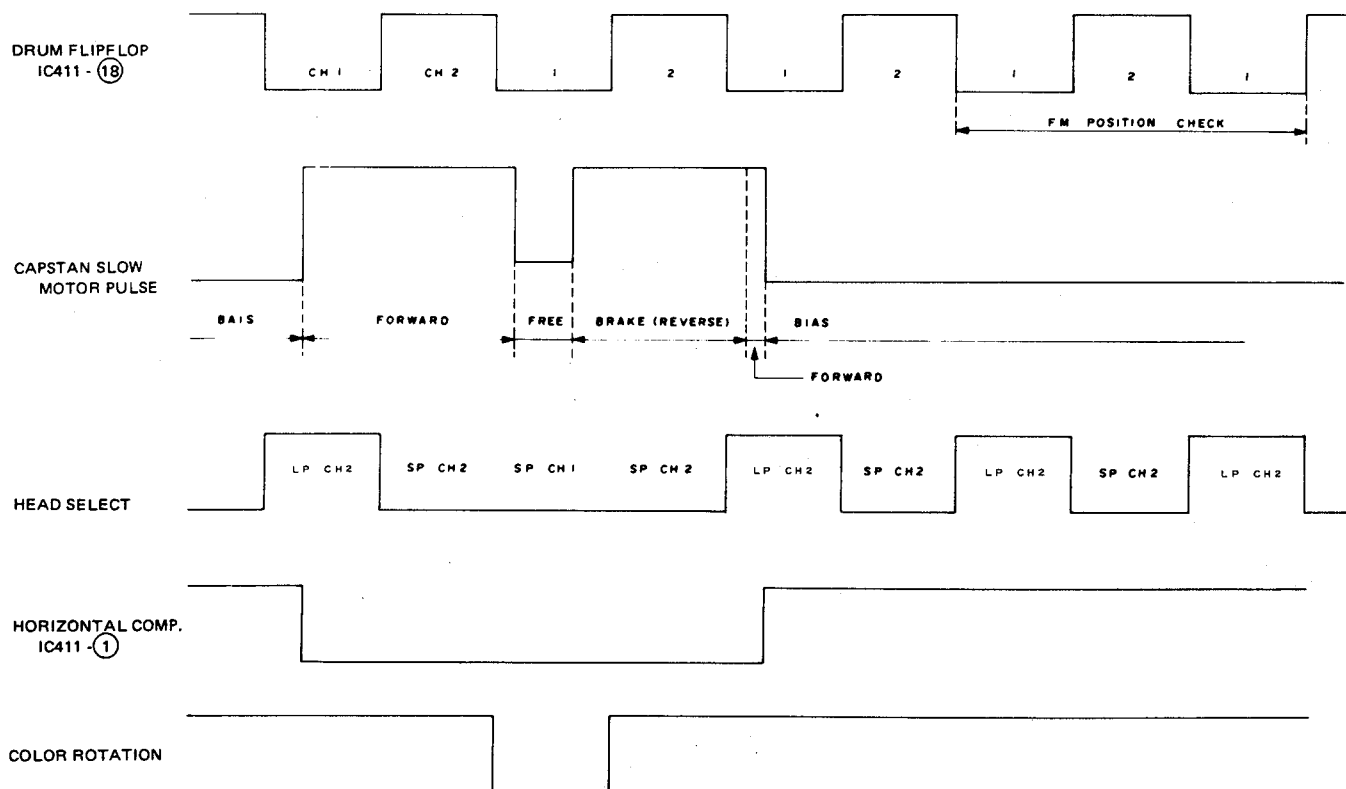
Abb./Fig. 3-2-25

Der Mikroprozessor sucht nach der größtmöglichen rauschfreien Bedingung und stoppt den Capstanmotor an der optimalen Stelle. Danach wird auf normal Playback übergegangen und vom Mikroprozessor gleichzeitig der Videokopf eingeschaltet, der FM-Signalverluste vermeidet. Das selektierte Kopfsignal liefert immer optimale Bedingungen für den Zeitlupebetrieb.

The microprocessor searches for the most noise-free tracking condition and stops the capstan motor. The normal playback mode is then entered, at which time the microprocessor selects the playback video head for avoiding FM signal loss. In this manner, the head select signal provides the optimum Slow mode playback condition.



**Abb./Fig. 3-2-26**



**Abb./Fig. 3-2-27**



Die Kopfselektions-Steuerung im SP-Betrieb beginnt mit dem Capstan SLOW-Impuls Ausgangssignal. Zu dieser Zeit führen die CH-2 Köpfe Wiedergabe durch und beginnen mit den LP CH-2 Köpfen. Fängt das Band an, sich in Bewegung zu setzen, wird der normale SP-Wiedergabe-betrieb auf die Köpfe in der Sequenz SP CH-2, SP CH-1, SP CH-2, ... zurückgeschaltet. Nachdem „Bandstopp“ bestätigt wird, schalten die Köpfe auf Standbildwiedergabe in der Sequenz LP CH-2 SP CH-2, LP CH-2, ...


Bei Steuerung der Köpfe in dieser Weise werden Rauschzonen beim Anlaufen des Capstanmotors vermieden.

Das Zeilenausgleichssignal vom Mikroprozessor steuert die Umdrehungsgeschwindigkeit des Kopftrommelmotors und kompensiert damit die Abweichungen in der relativen Phasenlage in der Zeit zwischen Capstanmotor Start und Stopp und verhindert damit Störzonen im Playback-Videosignal. In ähnlicher Weise gilt dies auch für das Farbsignal im SLOW-Betrieb, wo ebenfalls eine enge Phasenbeziehung zwischen Wiedergabekopf und Spurlage besteht.

Head select control in the SP mode starts with the capstan Slow pulse output. At this time, the CH-2 heads perform playback beginning with the LP CH-2 head. When the tape starts, the SP normal playback mode is returned in the head sequence SP CH-2, SP CH-1, SP CH-2, ... After tape stop has been confirmed, Still mode head switching is performed in the sequence LP CH-2, SP CH-2, LP CH-2, ...

By controlling head selection in this manner, noise at the time of capstan motor start is avoided.

The horizontal compensation signal output of the microprocessor controls the rotating head drum motor. This compensates for the difference in relative phase during the periods of capstan motor starting and stopping, which would cause disturbance in the playback video signal. Similarly, the color rotation signal compensates during the Slow mode for the phase relationship between the playback head and track.

Pin No.	Symbol	Label	In/Out	Contents	
1	Port G	0 SP FWD H CORRECT	OUT		For correction of Fh frequency slipping at tape transport in Slow mode
2		1 LP FWD H CORRECT			
3		2 SP REV H CORRECT			
4		3 LP REV H CORRECT			
5	Port H	0 X9 SEARCH (H)	OUT	—	
6		1 H DISCRI (H)			
7		2 SLOW/STILL (H)			
8		3 FH CONTROL (H)			
9	SI	NC	IN	For FM center position address	
10	SO	NC			
11	SCK	DRUM FG			
12	Port A	0 CAPSTAN FG A	IN	SLOW PULSE CLOCK SLOW PULSE CLOCK SP FM > EP FM : L, SP FM < EP FM : H For FM position check	
13		1 CAPSTAN FG B			
14		2 FM COMPARISON			
15		3 FM POSITION			
16	Port B	0 SP (L)	IN	CH-1 : L, CH-2 : H For Slow tracking	
17		1 V. PULSE ON (H)			
18		2 DRUM FLIP-FLOP			
19		3 TRACKING FF			
20	TEST	LOW	—	—	
21	GND	GND			
22	X1	CLOCK			
23	X2	CLOCK			
24	RES	RESET (L)			
25	Port C	0 DATA 0	IN	Refer to Table 3-1-2.	
26		1 DATA 1			
27		2 DATA 2			
28		3 DATA 3			
29		0 NC		—	
30		1 NC			
31		2 REV (H)	IN		
32		3 TIMER START (L)	OUT	DRUM FG COUNT START	
33	Port E	0 HEAD SELECT	OUT	H : EP HEAD, L : SP HEAD H : CH-2, L : CH-1	
34		1 COLOR ROTATE			
35		2 V. PULSE CTL. 1			
36		3 V. PULSE CTL. 2			
37	Port F	0 SLOW PULSE 1	OUT	Refer to Fig. 3-2-26	
38		1 SLOW BIAS			
39		2 REV (H)			
40		3 SLOW PULSE 2			
41	Vcc	5 V			
42	INT	DRUM FG	IN	For Slow speed check	

Tabelle/Table 3-2-3 IC411 Anschlußanordnungen/IC411 pin functions

Pin No.	Symbol	Label	In/Out	Contents
1	Port D	0 $(-1) \times \overline{SP} : (H)$	OUT	Refer to Table 3-2-6.
2		1 $(+3) \times \overline{SP} : (H)$		
3		2 $(-1) + (+3) \times \overline{SP} : (H)$		
4	CN V <sub>ss</sub>	GND	IN	—
5	V <sub>ss</sub>			
6	Port D	3 GAIN 1 (H)	OUT	Refer to Table 3-2-6.
7		4 GAIN 2 (H)		
8		5 RESET (L)	OUT	SLOW/STILL CPU RESET
9	Port F	0 DATA 2	IN	Refer to Table 3-2-6.
10		1 DATA 3		
11		2 REVERSE (H)		
12		3 SP (L)		
13	RESET	—	—	—
14	X OUT			
15	X IN			
16	CNT IN 1	CAPSTAN FG	IN	Refer to Table 3-2-6.
17	CNT OUT 1	CAPSTAN FG	OUT	
18	CNT IN 2	CONTROL PULSE	IN	
19	CNT OUT 2	CONTROL PULSE	OUT	
20	V <sub>DD</sub>	5 V	IN	—

Tabelle/Table 3-2-4 IC408 Anschlußanordnungen 1/IC408 pin functions 1

Port F IN				Mode	Port D OUT					CTL PULSE DIV.	CAPSTAN FG DIV.
F <sub>3</sub>	F <sub>2</sub>	F <sub>1</sub>	F <sub>0</sub>		D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>		
12	11	10	9		7	6	3	2	1		
L	L	L	L	SP	+1	L	H	L	L	1	1
L	L	L	H		+3	H	H	L	L	1/3	1/3
L	L	H	L		+5	H	H	L	L	1/5	1/5
L	L	H	H		+9	H	H	L	L	1	1
L	L	L	L		-1	L	H	L	L	1	1
L	H	L	H		-3	H	H	L	L	1/3	1/3
L	H	H	L		-5	H	H	L	L	1/5	1/5
L	H	H	H		-9	H	H	L	L	1	1
H	L	L	L	LP	+1	L	L	H	L	1	1
H	L	L	H		+3	L	H	L	H	1/3	1/3
H	L	H	L		+5	L	H	H	L	1/5	1/5
H	L	H	H		+9	H	H	H	L	1	1
H	H	L	L		-1	L	L	L	H	1	1
H	H	L	H		-3	L	H	H	L	1/3	1/3
H	H	H	L		-5	L	H	H	L	1/5	1/5
H	H	H	H		-9	H	H	H	L	1	1

Tabelle/Table 3-2-5 IC408 Anschlußanordnungen 2/IC408 pin functions 2

### 3.3 Videoschaltung

#### 3.3.1 Allgemeines

Bei der Aufzeichnung von FBAS-Signalen werden die Wechselbeziehungen zwischen den Bild- und Zeilensignalen voll ausgenutzt. Das Y-Signal wird dabei im Schrägspur-Azimuthverfahren aufgenommen, während das Chromasignal von Zeile zu Zeile phasenverschoben aufgezeichnet wird. Diese Methode erlaubt eine hohe Aufzeichnungsdichte ohne Zwischenräume durch eine Leerspür. Die Standard-Aufnahmezeit (SP) beträgt 3 Stunden (mit E-180 Cassette).

Diese Aufnahmezeit kann noch gesteigert werden, wenn man die Bandtransportgeschwindigkeit auf 1/2 reduziert (11,7 mm/s), um damit eine maximale Aufnahmezeit von 8 Stunden mit einer E-240 Cassette zu erreichen (LP).

Die Zeilensynchronimpulse der Nachbarspuren werden linear, entsprechend Abb. 3-3-a übertragen. Diese Beziehung weicht im LP-Betrieb etwas ab, um dem Signalmuster in Abb. 3-3-b zu folgen. Im LP-Betrieb weicht die vorangegangene Spur der gegenwärtigen um 0,25 H und die darauf folgende um 0,75 H ab. Dadurch wird Übersprechen zwischen benachbarten Spuren im LP-Betrieb ausgeschlossen.

Da die Träger-Frequenzen des FM-Signals und die des Übersprechsignals dabei nicht zusammentreffen, steigt der Übersprech-Rauschpegel im demodulierten Signal an.

Die Spurweite beträgt in LP-Betrieb nur 1/2 der Weite im SP-Betrieb. Deshalb sind besondere Maßnahmen zur Verbesserung des S/R-Verhältnisses zu treffen.

Wie schon erwähnt, sorgen die besonderen Zeilenimpulsbeziehungen im LP-Betrieb dafür, daß ohne Schwierigkeiten Farbsignal-Übersprechen vermieden wird. Besondere Kompensationschaltungen sind jedoch bei speziellem Wiedergabebetrieb, z. B. Suchlauf und Zeitlupe – weil hierbei die H-Synchronimpulse unterbrochen sind – erforderlich. Um die sichtbaren Störungen durch Nachbarkanal-Übersprechen zu reduzieren, wird in diesem Gerät das FM-Zwischenraum-Aufnahmeverfahren angewendet. Das wegen der geringen Spurbreite ungünstigere S/R-Verhältnis wird durch eine Pre-Emphasis und Rauschunterdrückung verbessert. Schließlich sorgt eine 0,5 H bzw. 1 H Kompensation für eine Korrektur beim Ausfall der H-Sync.-Impulse während des LP-Betriebs.

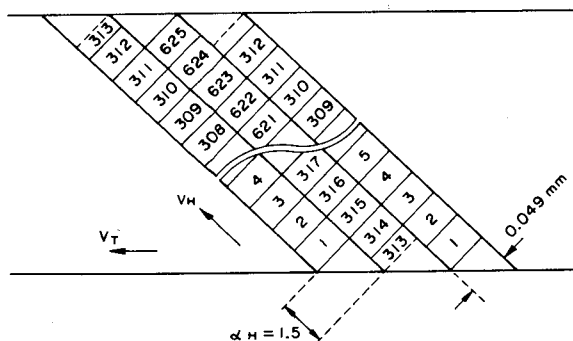


Abb./Fig. 3-3-a Zeilenpakete bei SP-Betrieb  
Recorded signal pattern of SP mode

#### 3.3.2 LP-Betrieb, spezielle Wiedergabekompensation

Der H-Sync. Korrekturprozeß ist in Abb. 3-3-d dargestellt. Wegen des speziellen Wiedergabe-Betriebs bei LP tastet der CH-1 Videokopf beide Spuren, CH-1 und CH-2, zur Erlangung des Wiedergabesignals (1) ab.

Immer wenn der CH-1 Kopf die Spur CH-2 abtastet, weicht der H-Sync.-Impuls um 0,5 H ab. Durch Errechnen der H-Sync-Abweichung und Schalten zwischen dem Original (1) und dem verzögerten Signal (2) wird dieses kompensiert. Der Zeitablauf wird dabei vom 0,5 H-JUMP-PULSE (4) bestimmt.

Beim PAL-System wird jedoch die Burstphase, von Zeile zu Zeile alternierend, umgeschaltet. Um dennoch die richtige Sequenz der Phasenlage zu erreichen, muß die erforderliche Phasenlage ermittelt werden. Dazu wird der 1 H-JUMP-Pulse (6) herangezogen, der den Zeitablauf des Schaltens zwischen dem Signal (4) und dem verzögerten 1 H-Signal (5) bestimmt. Auf diese Weise wird die Kontinuität der H-Synchronisation im Wiedergabe-Videosignal (7) aufrechterhalten. Die Kompensation der Burst-Phasenfolge reduziert außerdem das Auftreten von Bildverzerrungen (SCEW) und Aussetzen der Farbe.

Bei ansteigender Suchlaufgeschwindigkeit kann es zu Kompensationsfehlern und dadurch zum Verlust der Farbe kommen. Deshalb wurde bei diesem Gerät die Suchlaufgeschwindigkeit auf das 9fache der normalen Geschwindigkeit festgelegt.

Es kann im SP-Betrieb durchaus passieren, daß bei einigen Color-Fernsehgeräten beim Suchlauf die Farbe aussetzt.

Die Kompensation im LP-Betrieb geschieht im IC11 (AN 3592K), dessen Blockschaltung in Abb. 3-3-c dargestellt ist. Eine der möglichen Formen der Korrektur wäre die einer 0,5 H-Korrektur nach einer Y/C-Mischung, dann Y/C-Trennung gefolgt von 1 H-Kompensation von nur Chroma-Signalen und wiederum Y/C-Mischung. Dieses würde allerdings eine sehr komplexe Schaltung erfordern. Deshalb wurde in diesem Gerät eine 1 H-Kompensation des Chroma-Signals vor der Mischung von Y/C und 0,5 H-Kompensation nach der Mischung zur Anwendung gebracht.

### 3.3 VIDEO CIRCUIT

#### 3.3.1 General

The VHS format VTR makes use of the field and line correlation characteristics of the colour television signal. The luminance component is recorded by a slant azimuth method, while phase shift (PS) recording is used for the colour signal. These techniques permit high recording density without need for a guard band. Standard recording time is 3 hours (with E-180 cassette).

Further increased recording time is attained by reducing the tape transport speed to 1/2 (11.7 mm/s), thereby allowing a maximum recording time of 8 hours (with E-240 cassette).

In the VHS format, the horizontal sync. signals of adjacent tracks are arranged linearly as shown in Fig. 3-3-a. This relationship deviates slightly during the LP mode to yield the pattern indicated in Fig. 3-3-b.

In the LP mode tape pattern, with respect to a specific recording track, the horizontal sync. of the previous track deviates by 0.25 H, while that of the subsequent track deviates by 0.75 H.

Therefore, line correlation is absent between the main track signal and the adjacent channel crosstalk signal in the LP mode. Since the frequencies of the main FM and crosstalk carriers do not coincide, the crosstalk noise level increases in the demodulated signal.

Track width in the LP mode is 1/2 that of the SP mode. This necessitates measures for improving S/N.

Line correlation is used for removing colour crosstalk and this does not present special difficulty in the LP mode. However, compensation is required for „special“ playback modes, such as Search and Slow, during which the H sync. is discontinuous.

In this model, FM interleave recording is used for reducing the visible effects of adjacent channel crosstalk. S/N reduction due to the narrow track width is improved by nonlinear emphasis and noise cancelling. Finally, 0.5 H and 1 H compensation corrects for H sync discontinuity in the LP mode.

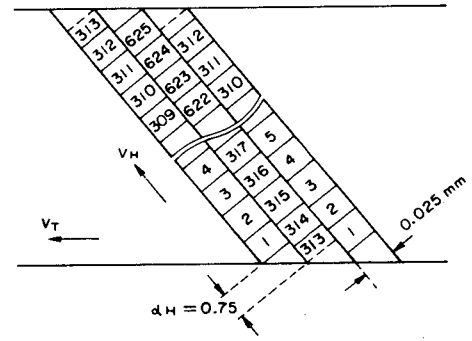


Abb./Fig. 3-3-b Zeilenpakete bei LP-Betrieb  
Recorded signal pattern of LP mode

#### 3.3.2 LP mode special playback compensation

The H sync correction process is illustrated in Fig. 3-3-d. During special playback in the LP mode, the CH-1 video head traces both CH-1 and CH-2 tracks the yield playback signal (1).

Each time the CH-1 head traces the CH-2 track, the H sync. deviates by 0.5 H. This is compensated by detecting the horizontal sync. deviation and switching between the original (1) and delayed signals (2). Timing of this operation is determined by the 0.5 H jump pulse (4).

However, in the PAL system, the burst phase alternates every horizontal line. In order to maintain the proper sequence, the burst phase sequence is detected. The 1 H jump pulse (6) then determines the timing for switching between signal (4) and the 1 H delayed signal (5).

In the above manner, H sync. continuity is maintained in the playback video signal (7). Compensation of the burst phase sequence also reduces the incidence of skew distortion and colour loss.

As the search speed increases, compensation error is produced and colour loss may occur. Therefore, the search speed of this model is set for 9 times the normal playback speed.

In the SP mode, colour loss may occur during search operation with certain colour TV receiver models.

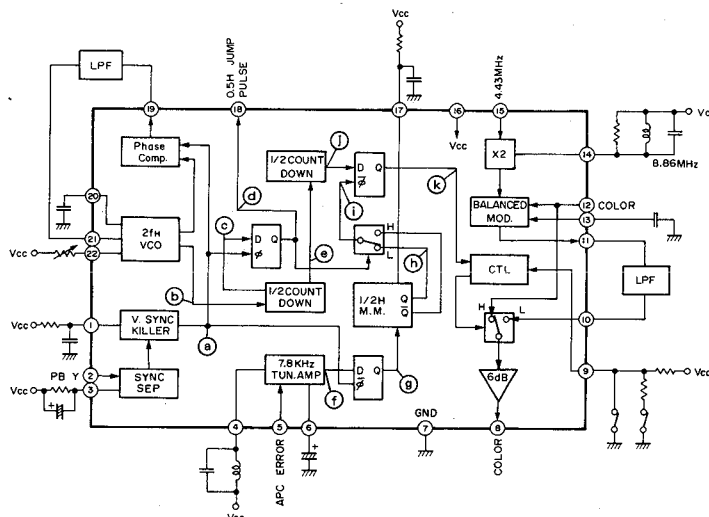
LP mode compensation is performed in IC11 (AN3592K). The block diagram of this IC is shown in Fig. 3-3-c.

One possible correction sequence would be to perform 0.5 H compensation after Y/C mixing, then Y/C separation, followed by 1 H compensation of only the colour signal, and again Y/C mixing. However, this would require a complex circuit. Therefore in this model, 1 H compensation of the colour signal is performed prior to Y/C mixing, then 0.5 H compensation occurs after mixing.

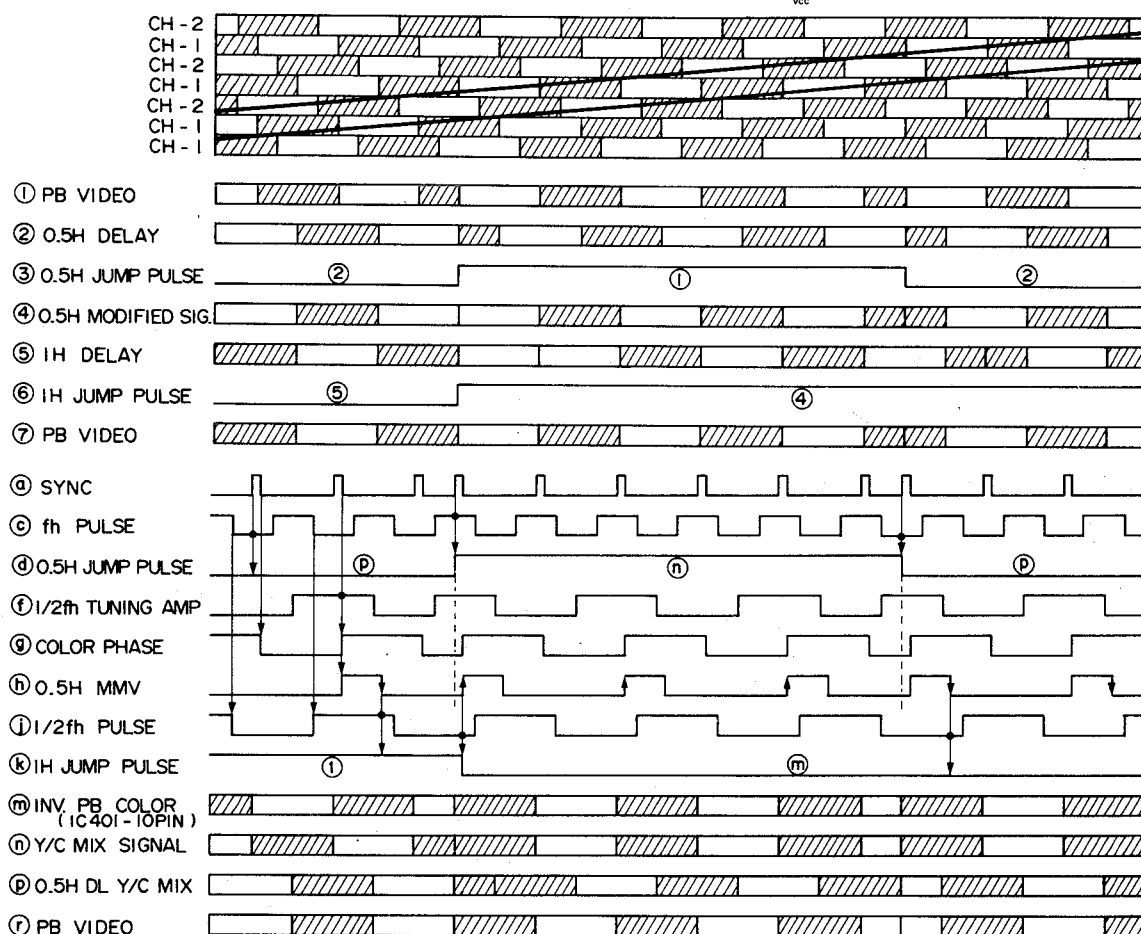
The timing chart for IC401 operation is illustrated in Fig. 3-3-d. The playback luminance (PB Y) signal is applied to the sync. separator at pin 2. The vertical sync. killer then yields the horizontal sync. signal (a).

Die um 1/2 heruntergezählten 1/2 fH Impulse (j) werden dem D-F/F Anschluß zum Zeitpunkt der negativen Flanke (c) angeboten. Ist zu dieser Zeit die Burst-Phasensequenz korrekt, sind die Impulse (h) und (j) identisch und das Ausgangssignal nicht invertiert. Ist dagegen die Burst-Phasenlage falsch, so ändert sich auch die APC-Fehlerrückmeldung. Folglich verschiebt sich die 0,5H MMV-Impuls (h) Phasenlage, und die Ausgangsspannung wird invertiert.

The 1/2 counted down 1/2 fH pulse (j) is supplied to the D terminal at the pulse (c) fall. If the burst phase sequence is correct at this time, pulses (h) and (j) are the same and the output is not inverted. Conversely, when the phase sequence is incorrect, the APC error voltage changes. This shifts the 0.5 H MMV pulse (h) phase and the output becomes inverted.



**Abb./Fig. 3-3-c** IC11 Blockschaltbild  
IC11 block diagram



**Abb./Fig. 3-3-d** Zeitablaufplan der LP-Korrektur/LP mode timing chart

### 3.3.3 Aufnahme des Luminanzsignals

#### 1. Getastete Verstärkungsregelung (AGC) Abb. 3-3-1

Das verstärkte Videosignal an Ausgang (e) erscheint am Eingang des Tiefpaßfilters und der Klemmschaltung (a). Die Klemmschaltung klemmt den Synchronimpulspegel auf einen vorgegebenen Wert und führt das Signal an die Mischstufe weiter. Mit Hilfe des Tiefpaßfilters und der Synchronimpulstrennstufe wird der H-Synchronimpuls aus dem Videosignal entnommen (b). Durch Verzögerung des Synchronimpulses wird eine Koinzidenz mit dem Schwarzwert des Videosignals erreicht (c). Am Ausgang des Mixers steht das Signal (d) mit einem definierten Pegelwert im Bereich der Schwarzscher zur Verfügung. Mit Hilfe der Diode Da wird die Mischerausgangsspannung gleichgerichtet. Am Ladekondensator bildet sich eine Gleichspannung, deren Höhe ein Maß für die Größe der Verstärkerausgangsspannung ist. Die Spannung des Kondensators Ca wirkt als Steuerung für den FET Qa.

Steigt der Pegel des Eingangssignals an, erhöht sich auch die Spannung am Kondensator Ca. Der Drain-Source Widerstand des FET wird kleiner und das sich ändernde Teilerverhältnis  $R_a:R_b$  läßt den Pegel der Ausgangsspannung (e) wieder absinken.

Durch das zusätzlich erzeugte Tastsignal im Bereich der Schwarzscher erfolgt die Regelspannungserzeugung nur während dieser Phase. Der mittlere Pegel der Bildinformation hat somit keinen Einfluß auf die Regeleigenschaften. Erst hierdurch wird das beim VHS-System verwendete nicht lineare Pre-Emphasis System möglich.

### 3.3.3 Luminance (Y) signal recording system

#### 1. Keyed AGC (Automatic Gain Control) Fig. 3-3-1

The AGC out signal appears at the clamp and LPF as waveform (a). Sync tip is clamped at a fixed DC potential and the signal is supplied to the mixer. Waveform (b) is obtained following sync separation through a lowpass filter. This is delayed to match the phase of the back porch of waveform (a) horizontal sync component, amplified to a fixed level and mixed to become waveform (c).

At the mixer, the H sync back porch is mixed at a fixed level which is slightly higher than the 100% video level, as indicated by waveform (d). Level of this added reference pulse is fixed and the signal is rectified by Da and Ca. The rectified voltage varies the impedance (Ra) between Qa drain and source. Level of the input video signal supplied to the amplifier becomes controlled by the ratio of Ra to Rb.

For example, when the input signal level is high, the sum of the sync and reference levels increases and the rectified output becomes larger. When applied to Qa gate, this larger voltage decreases the impedance Ra between Qa source and drain. As a result, the input level to the amplifier becomes attenuated by the ratio of Ra to Rb.

In the above manner, because of the fixed added pulse level, the rectified output becomes determined by the sync level. By this process, the keyed AGC circuit functions to maintain a fixed sync level.

An advantage of the keyed AGC circuit is that its output level does not vary with change in the average picture level (APL) of the input video signal. This permits use of the above mentioned non-linear pre-emphasis system.

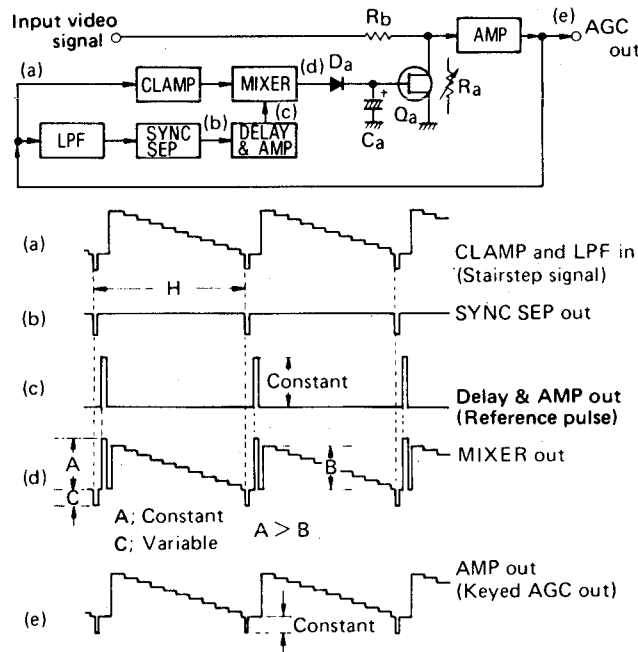


Abb./Fig. 3-3-1 Getastete Verstärkungsregelung  
Keyed AGC principle

#### 2. Tiefpaßfilter LPF2

Im Tiefpaßfilter LPF2 wird das Chromasignal vom restlichen Videosignal getrennt. Obwohl die Grenzfrequenz bei 3,3 MHz liegt, wird eine Abschwächung der 4,43 MHz Anteile von mehr als 37 dB erreicht. Im Tiefpaßfilter ist eine Laufzeitkorrektur eingebaut, damit später Luminanz- und Chrominanzanteile zur gleichen Zeit das Band erreichen.

#### 3. Klemmschaltung

Für die Frequenzmodulation des Videosignals ist es wichtig, daß die Schwarzscher des Synchronsignals exakt einer Frequenz von 3,8 MHz entspricht. Aus diesem Grund ist es notwendig, daß das Synchronsignal auf einen festen vorgegebenen Gleichspannungswert geklemmt wird.

#### 4. Pre-Emphasis

Die Pre-Emphasisschaltung verbessert das Signal-/Rauschverhältnis bei hohen Frequenzen. Bei der Demodulation einer FM Spannung steigt das sog. Demodulationsrauschen linear zur Frequenz an. Verringert man bei einer solchen Demodulation die Verstärkung mit steigender Frequenz (De-Emphasis im gleichen Verhältnis), wie man sie bei der Aufnahme erhöht, erhält man wieder einen linearen Frequenzgang und ein niedrigeres Demodulationsrauschen.

#### 2. LPF (Low-pass filter) 2

LPF 2 eliminates the color signal from the composite color video signal and extracts the luminance signal. Therefore, the cutoff frequency is about 3.3 MHz and it is designed so that an attenuation of 37 dB or more can be obtained at 4.43 MHz.

This LPF 2 incorporates a delay compensation circuit in order that the luminance signal and color signal match each other on the tape.

#### 3. Clamp

When the luminance signal is frequency-modulated, it is determined that a certain frequency (3.8 Mhz) is obtained in the sync signal portion. For this reason, a circuit which suppresses the sync signal portion to a predetermined DC voltage value regardless of the brightness of the image is required. This circuit is called a clamp circuit.

#### 4. Pre-emphasis

The pre-emphasis circuit is intended to improve the S/N ratio at higher frequencies. Generally speaking, if the frequency is increased, the demodulation noise increases linearly. However, if the pre-emphasis circuit is used, gain can be decreased during playback by the amount it is pre-emphasized by the pre-emphasis circuit during recording with the result that the S/N ratio can be improved.

## 5. Nichtlineare Emphasis

Die hohen Frequenzanteile eines Luminanzsignals haben bei kleinen Pegeln einen schlechteren Signal-/Rauchabstand als bei großen Pegeln. Um diese Eigenschaft zu kompensieren, wird die nichtlineare Emphasis eingesetzt. Zu diesem Zweck wird die Pre-Emphasis bei niedrigen Pegeln erhöht und bei Eingangssignalen mit hohen Pegeln reduziert. Die Abnahme der Pre-Emphasis bei hohen Pegeln ist notwendig, damit Störeffekte durch Übermodulation des FM Modulators vermieden werden.

## 6. Weiß- und Schwarzbegrenzung

Durch die starke Pre-Emphasis kommt es bei den ansteigenden Flanken des Weißwert und den abfallenden Flanken des Schwarzwerts zu starken Überschwingerscheinungen des Videosignals. Eine direkte Ansteuerung des FM Modulators würde zur Übermodulation und bei der späteren Demodulation zu Schwarz-Weiß Umkehreffekten führen. Die Überschwinger werden aus diesem Grund bis zu einem vorgegebenen Maß begrenzt.

## 7. Frequenzmodulator

Im FM Modulator wird eine HF Trägerschwingung im Rhythmus des Videosignals frequenzmoduliert. Der Frequenzhub ist mit 1 MHz so dimensioniert, daß die Schwarzschiene des Synchronimpulses einer Frequenz von 3,8 MHz und die Spitze des Weißpegels einer Frequenz von 4,8 MHz entsprechen.

## 8. FM Träger „Interleave“ („Verschachtelung“)

Bei der Demodulation der wiedergegebenen FM Spannung kommt es infolge der Seitenbandvertauschung zu Übersprechstörungen bei hohen Videofrequenzen, die sich als sog. Kantenrauschen bei schnellen Schwarz-Weiß Übergängen bemerkbar machen. Zur Vermeidung dieser Störung wird die FM Trägerfrequenz mit dem Kopfumschalt-signal moduliert und somit eine Trägerabweichung von 1/2 fh zwischen den benachbarten Videospuren erreicht. Diese Methode wird als „FM Carrier Interleave“ Methode bezeichnet.

## 9. Hochpaßfilter

Dieses Hochpaßfilter unterdrückt das untere FM Seitenband, um Überschneidungen mit dem herunterkonvertierten Chromasignal zu vermeiden.

## 10. Aufnahmeverstärker

Im Aufnahmeverstärker wird das umgewandelte Videosignal auf den erforderlichen Strom zur Ansteuerung der Videoköpfe verstärkt. Damit für jede Frequenz der optimale Aufnahme-Strom erreicht wird, verläuft der Frequenzgang nichtlinear. Bei Frequenzen über 3,8 MHz arbeiten die Videoköpfe in der Sättigung. Bei 2 MHz beträgt die Frequenzanhebung  $3 \pm 1$  dB und bei 1 MHz  $6 \pm 1$  dB.

### 3.3.4 Wiedergabe des Luminanzsignals

#### 1. Vorverstärker und Umschalter

Das von den Videoköpfen abgetastete FM Signal erreicht über den rotierenden Transformator die Vorverstärker und wird hier um mehr als 60 dB verstärkt. Die verstärkten FM Signale erreichen einen Umschalter, der die Signalspannungen im Rhythmus des Kopfumschaltimpulses zu einem kontinuierlichen FM Signal zusammenfügt.

#### 2. Hochpaßfilter

Das Hochpaßfilter sperrt das herunterkonvertierte Chromasignal und läßt nur die Luminanzanteile passieren.

#### 3. Wiedergabeentzerrungsverstärker

Mit steigender Frequenz wird die wiedergegebene FM Spannung geringer. Aus diesem Grund werden die höheren Frequenzanteile im Wiedergabeentzerrungsverstärker angehoben, so daß sich ein linearer Gesamt-frequenzgang ergibt.

## 5. Non-linear emphasis

The non-linear emphasis circuit further enhances the effect of the pre-emphasis circuit. Normally, this circuit emphasizes the higher frequencies in order to improve the S/N ratio during playback; when there is a larger energy component only at higher frequencies, the degree of emphasis of higher frequencies is decreased, preventing trouble caused by over-emphasis including the missing of components by the subsequent clip circuit, overmodulation by the frequency modulator, or resultant inversion in the worst case.

## 6. W/D (White and Dark) clip

The luminance signal passed through the pre-emphasis circuit develops sharp overshoot at the leading edge of the white signal portion or the trailing edge of the black signal portion, and if the signal is frequency-modulated as it is, then recorded on the tape and played back, it results in overmodulation, causing the inversion phenomenon. Even if it does not lead to inversion, the portion corresponding to the sharp overshoot tip has a lower S/N ratio.

Therefore, overshoot exceeding a certain predetermined value should be clipped.

## 7. Frequency modulator

The frequency modulator is an oscillator whose oscillation frequency varies in accordance with the input signal. The oscillation frequency is set to 3.8MHz at the tip of the sync signal and 4.8MHz at the white level. The frequency deviation is set to 1.0MHz.

## 8. FM carrier interleave

During the REC mode, fine square wave voltage which oscillates at every field is overlapped over the frequency modulator input. This is called FM carrier interleaving, and is performed so that the carrier frequency is deviated by 1/2 Fh between adjacent tracks on the tape pattern. This is intended to reduce the visual influence of crosstalk from the adjacent tracks when guard band-less recording is performed.

## 9. HPF (high-pass filter)

The HPF is provided to eliminate the sidebands of the FM luminance signal which is present at lower frequencies ( $627 \pm 600$  kHz) where the down-converted color signal is overlapped.

## 10. REC amp

The REC amp makes the recording current. At 3.8MHz or more the recording current is saturated. At 2MHz recording current is pre-emphasized to  $3 \pm 1$  dB and at 1MHz  $6 \pm 1$  dB while at 1MHz or less current has a flat characteristic so, when the FM signal is recorded on the tape, the optimum recording level can be obtained with respect to each frequency.

### 3.3.4 Luminance (Y) signal playback system

#### 1. Pre-amp and channel switcher

The playback signal obtained from the video heads via the rotary transformer is amplified about 60 dB by the pre-amp before being fed to the channel switcher. The channel switcher alternately switches the two-channel pre-amp outputs using the drum flip-flop signal so that the continuous playback signal can be output.

#### 2. HPF

The HPF eliminates the down-converted color signal ( $627 \pm 600$  Hz) from the playback signal and extracts only the FM luminance signal.

#### 3. Playback EQ amp

The higher frequency component of the playback FM signal has attenuated characteristics. These are more the higher the frequency. For this reason, the higher frequency component is corrected using the playback equalizer amplifier in order to make the frequency response flat.

#### 4. Automatische Verstärkungsregelung und Drop-Out Kompensation (Abb. 3-3-2)

Fehler im Bandmaterial, wie z. B. Fehlstellen in der Magnetschicht, können einen völligen Ausfall oder eine Verminderung des FM Signals bewirken. In diesem Fall bewirkt der Drop-Out Kompensator, daß das FM Signal der vorangegangenen Zeile in den Signalweg eingeschaltet wird und sichtbare Störeffekte im Bild verhindert werden.

Als erstes korrigiert die FM/AGC Schaltung Pegelschwankungen des wiedergegebenen FM Signals, die durch Änderung des Band-/Kopfkontaktes am Ein- und Auslauf der rotierenden Kopftrommel entstehen. Hierdurch ergibt sich ein konstanter Signalpegel (b) in Bild 3-3-2. In diesem Drop-Out Detektor wird mit Hilfe eines Hochpaßfilters das obere Seitenband des FM Signals herausgefiltert und integriert. Ein Komparator wandelt den Drop-Out in eine Rechteckspannung um (c). Beim Auftreten eines Drop-Outs wird der Komparatorausgang „H“, und der Umschalter schaltet die Information der vorangegangenen Zeile (d) in den Signalweg ein. Der Aufbau der Drop-Out Kompensationsschaltung in Form einer Schleife erhöht die Wirksamkeit der Schaltung.

#### 5. Doppelbegrenzer-Schaltkreis (Abb. 3-3-3)

Durch die Pre-Emphasis-Schaltung entstehen bei einem Übergang von Schwarz auf Weiß Überschwingerscheinungen, wie sie in (a) von Bild 3-3-3 gezeigt sind. Liegen diese Überschwingerscheinungen außerhalb der Begrenzerwirkung, kommt es bei der Wiedergabe zu sog. Schwarz-Weiß Umkehrreffekten und einem schlechten Störspannungsabstand. Aus diesem Grund trennt man das FM Signal mit einem Hoch- und Tiefpaßfilter in Träger und das untere Seitenband (b und d). Das über das Hochpaßfilter laufende Signal wird im 1. Begrenzer vorbegegrenzt und nach anschließender Phasenkorrektur und Verstärkung um 10 dB in einem Mischer wieder mit dem Ausgangssignal des Tiefpaßfilters zusammengeführt. Das Ausgangssignal des Mixers (e) wird nun im 2. Begrenzer begrenzt (f). Durch die doppelte Begrenzung entsteht kein Informationsverlust und keine Verschlechterung des Signal-/Rauschabstands.

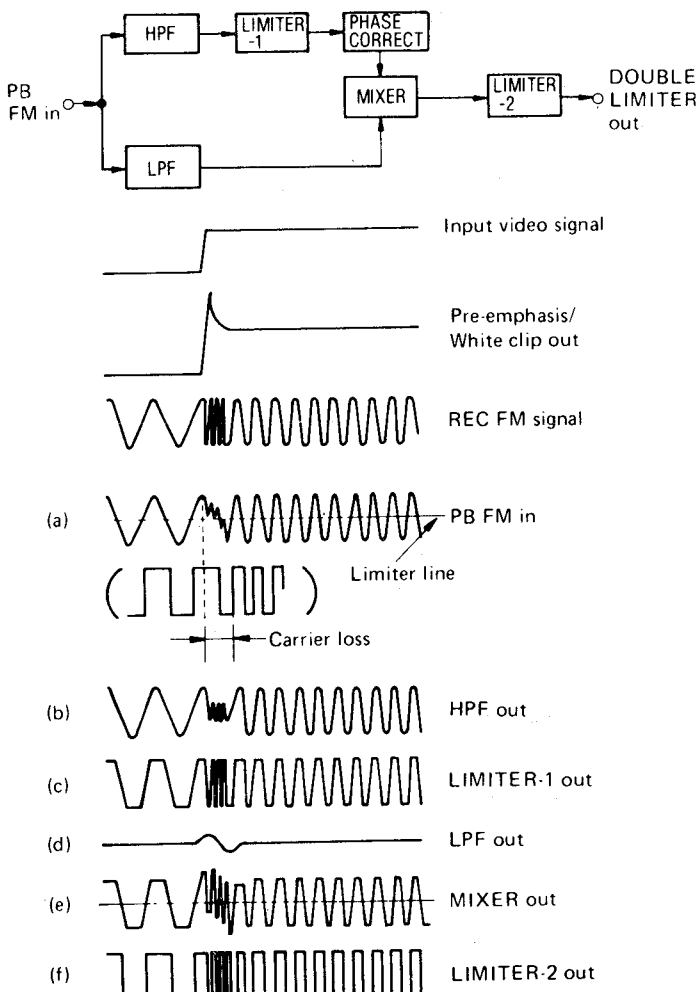


Abb./Fig. 3-3-3 Prinzip des Doppelbegrenzers  
Double limiter principle

#### 4. FM AGC and DOC (Fig. 3-3-2)

Defects in the tape, such as magnetic particle losses, can cause loss or reduction of the FM signal, which may impair picture quality. When this occurred, the dropout compensator functions to insert the FM signal from the previous horizontal line, thereby preventing visible effects in the picture.

The FM AGC circuit first corrects for level fluctuations in the playback FM signal, which arise from variations in head to tape contact at the intake and output of the rotating drum. This results in a fixed level as indicated by waveform (b) in Fig. 3-3-2.

Part of this output goes directly to the switching circuit, while another part is applied to the dropout detector. In the dropout detector circuit, a highpass filter cuts the low sideband of the FM signal and an integrator detects the dropout component. A precise squarewave is formed and supplied as waveform (c) to the switching circuit.

A 1H delay circuit and amplifier return part of this signal to the switching circuit as waveform (d). When (c) is low, output (b) is produced from the switcher. In event of dropout, (c) becomes high and output (d) is obtained. In this manner, the signal from the previous horizontal line becomes inserted in place of the dropout component. The loop circuit design of the DOC increases its effectiveness.

#### 5. Double limiter circuit (Fig. 3-3-3)

Overshoot can result when pre-emphasis is applied to a signal which varies from black to white level. The playback FM signal is indicated by waveform (a) in Fig. 3-3-3.

If limiting is applied at the limiter line at the center of the waveform excursion, it cannot correct the carrier loss component and black/white reversal and impaired S/N can occur. For this reason, the signal is applied to highpass and lowpass filters which separate the carrier and lower sideband components, as indicated by (b) and (d).

The signal through the highpass filter goes to Limiter-1 which applies approximately 10 dB limiter gain, then to the mixer. At the mixer, the signals from the HPF and LPF are mixed and sent to Limiter-2. This is shown by waveform (e).

Phases of the signals are aligned by the phase correct circuit. As can be noted from waveform (e) limiting can be applied to the lower sideband component without losing signal information.

With the double limiter, the noise component is not amplified, while the carrier and lower sideband ratio is corrected. This serves to eliminate carrier loss and prevent black/white reversal. As a result, adequate pre-emphases can be applied for improved S/N at high frequency.

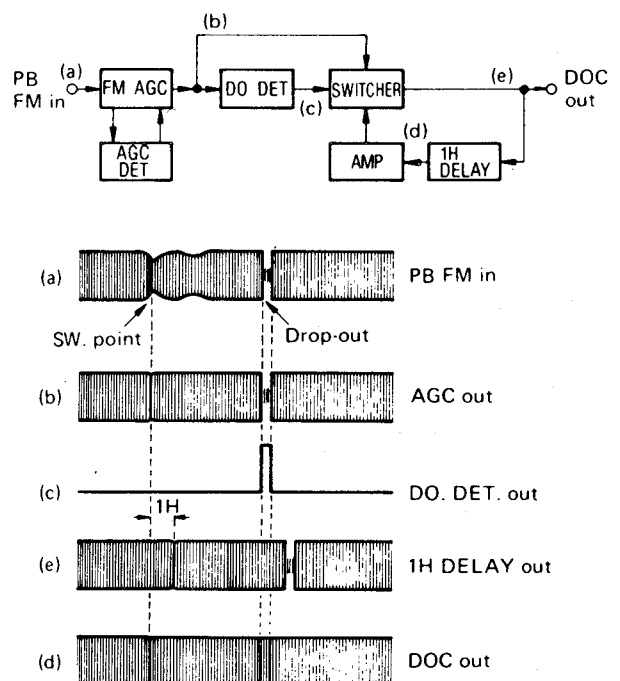


Abb./Fig. 3-3-2 Drop-Out-Kompensation  
Dropout compensator

## 6. Demodulatorschaltung

Das aus dem Begrenzer kommende Signal (a) wird in einer Verzögerungsschaltung mit der Verzögerungszeit  $T_D = 0,058 \mu\text{sec}$  ( $1/4$  FM Trägerperiode von 4.43 MHz) verzögert und einmal direkt (b) und einmal invertiert (c) einem Umschalter zugeführt. Der Schaltbefehl für den Umschalter wird aus dem unverzögerten Begrenzersignal (a) abgeleitet. Das Ausgangssignal des Umschalters (d) passiert ein Tiefpaßfilter, und es entsteht als demoduliertes Signal die Luminanzinformation.

## 7. De-Emphasis

Die De-Emphasis hat die umgekehrte Charakteristik wie die Pre-Emphasis auf der Aufnahmeseite. Durch die De-Emphasis wird das Videosignal wieder in seine ursprüngliche Form zurückgewandelt.

## 8. Bildschärfenanhebung

Durch Anhebung der Verstärkung im Frequenzbereich von 1 – 2 MHz wird die Bildqualität im Bereich der Empfindlichkeit des menschlichen Auges beeinflusst.

## 9. Tiefpaßfilter LPF2

Im Tiefpaßfilter LPF2 werden die FM Trägerreste und die Reste der zweiten Harmonischen beseitigt.

## 10. Nichtlineare De-Emphasis

Die nichtlineare De-Emphasis hat die umgekehrte Charakteristik wie die nichtlineare Pre-Emphasis auf der Aufnahmeseite. Durch die nichtlineare De-Emphasis wird der ursprüngliche Frequenzgang wieder hergestellt.

## 11. Rauschbegrenzer (Abb. 3-3-7)

Rauschen im Plateau-Abschnitt des Videosignals führt zu einer Störung des wiedergegebenen Bildes. Mit Hilfe eines Hochpaßfilters werden die Rauschteile herausgefiltert, begrenzt und anschließend vom Luminanzsignal subtrahiert.

## 6. Demodulator circuit

Part of the signal from the limiter goes directly to the switching circuit as the switching pulse. In the other route the signal goes through a delay circuit, then to the switcher as waveform (b) in Fig. 3-3-4.

The delayed output through the inverter enters the switcher as waveform (c). Since the delay amount ( $T_d$ ) is  $1/4$ th the FM carrier period of 4.3 MHz, it becomes approximately  $0.058 \mu\text{sec}$ .

A low switching pulse (a) produces the switching circuit output shown by (b), while a high pulse results in (c). Consequently, the switching circuit output becomes as shown by waveform (d). This is integrated through a lowpass filter to yield the AM luminance signal indicated by (e).

## 7. De-emphasis

The de-emphasis circuit has the opposite characteristics to those of the pre-emphasis circuit and restores the original signal.

## 8. Sharpness control

The sharpness control circuit varies the picture quality by controlling the gain of the 1 to 2 MHz signal to which human eyes are more sensitive.

## 9. LPF2

LPF2 eliminates the FM carrier frequency and the leakage of its second harmonic.

## 10. Non-linear de-emphasis

The non-linear de-emphasis circuit provides characteristics completely opposite to those of the non-linear emphases circuit, and restores the original emphasized higher frequency component.

## 11. Noise limiter (Fig. 3-3-7)

The noise limiter functions to eliminate the noise in the flat portion of the luminance signal which is conspicuous visually. Since this noise is concentrated at the low level after passing through the HPF, it is extracted by the limiter. The subsequent LPF is provided to match timing which the PB Y signal.

The noise limiter circuit eliminates the noise in the flat portion obtained from the PB Y signal as above before outputting it.

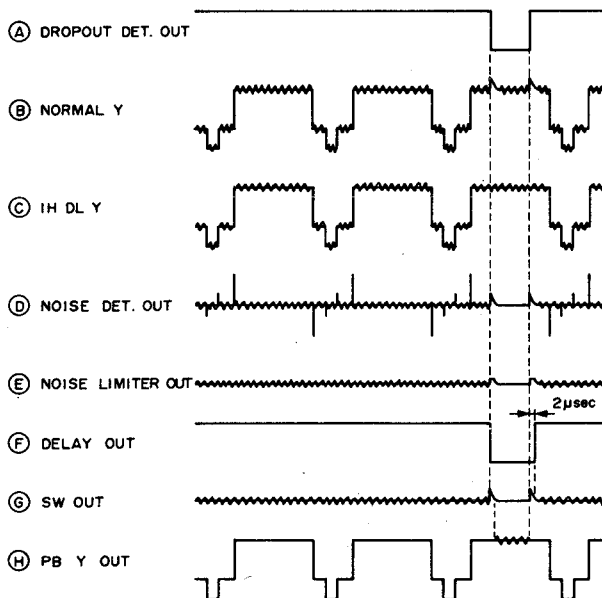


Abb./Fig. 3-3-6 Signalverlauf der Zeilenrauschunterdrückung  
Line noise canceller timing chart

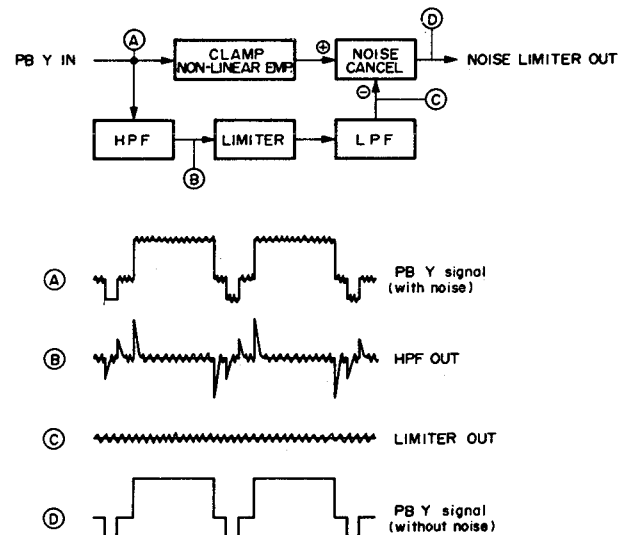


Abb./Fig. 3-3-7 Rauschbegrenzung  
Noise limiter



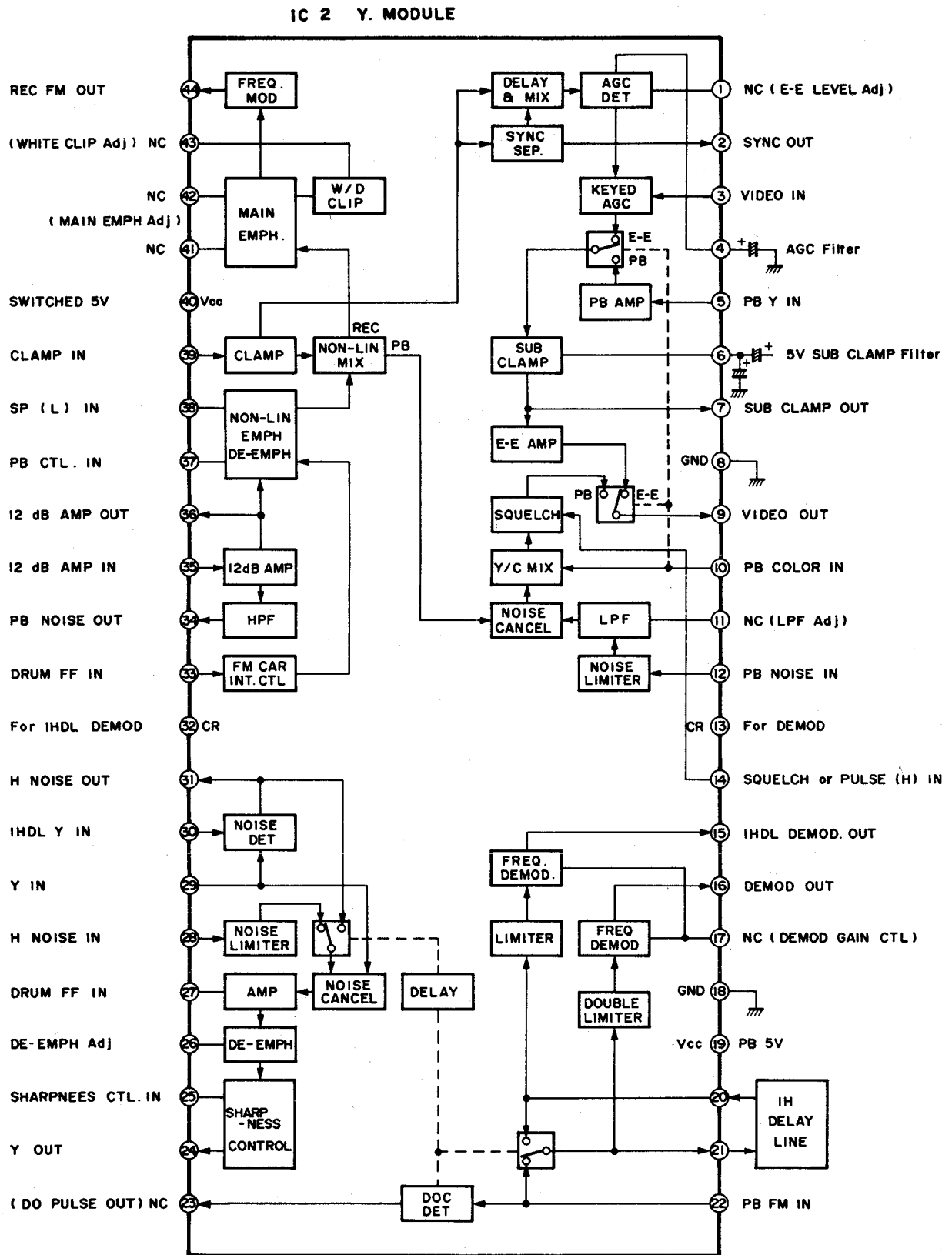


Abb./Fig. 3-3-8 Blockschaftbild von IC 2  
Y module block

### 3.3.5 Aufnahme des Chromasignals

#### 1. Bandpaßfilter BPF1

Mit Hilfe des 4,43 MHz Bandpaßfilters BPF1 wird das Chromasignal aus dem Eingangsvideosignal herausgefiltert. Die Bandbreite des Filters ist auf  $\pm 600$  Hz begrenzt.

#### 2. Automatische Chromapegelregelung ACC (Abb. 3-3-9)

Mit Hilfe der ACC Regelschaltung wird der Pegel des Chromasignals auf einen festen vorgegebenen Wert gehalten. Im einem Burst-Gate wird die Burst-Komponente aus dem Chromasignal herausgetastet und einem Burstpegeldetektor zugeführt. Hier wird in Abhängigkeit der Burstamplitude eine Regelspannung gebildet, mit der der Verstärkungsfaktor des ACC Verstärkers beeinflusst wird. Grundsätzlich kann man sagen, daß bei konstantem Burstpegel der Übertragungsweg keine Amplitudenverzerrungen produziert. Somit verhindert die ACC Regelung Amplitudenverzerrungen des Chromasignals.

#### 3. Hauptkonverter (Abb. 3-3-10)

Im Hauptkonverter wird das von der ACC Schaltung kommende Chromasignal in die Frequenzlage  $40 F_h + 1/8 F_h$  konvertiert.

Am Ausgang des Konverters entstehen die Summen und Differenzfrequenzen als Mischprodukte zur Verfügung.

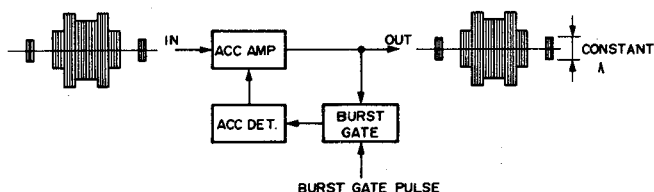


Abb./Fig. 3-3-9 Prinzip der ACC-Schaltung  
ACC block

#### 4. Farbsperre (Color Killer)

Bei Empfang eines Schwarz-Weiß Signals oder eines Farbsignals mit unzureichendem Burstpegel schaltet der Color Killer den Signalweg aus.

#### 5. Tiefpaßfilter

Mit Hilfe dieses Tiefpaßfilters wird aus den Mischprodukten des Hauptkonverters die Differenzfrequenz  $40 F_h + 1/8 F_h$  herausgefiltert. Die nicht benötigte Summenfrequenz wird unterdrückt.

#### 6. Automatische Frequenzregelung AFC (Abb. 3-3-11)

Die AFC Schaltung erzeugt das  $40 F_h$  Signal (627 kHz) und schaltet die Phasenlage von Zeile zu Zeile um  $90^\circ$  weiter. Eine weitere Aufgabe besteht darin, die Phasenlage mit dem H-Synchronsignal zu verknüpfen (Bild 3-3-11). Der für die Synchronisation erforderliche H-Synchronimpuls des Videosignals wird mit Hilfe der  $1/2$  H-Synchronimpulstrennstufe vom Luminanzsignal abgetrennt. Die komplette AFC ist als PLL Schaltung aufgebaut. Dem Phasenkomparator im AFC Detektor wird der H-Synchronimpuls als Referenzsignal und das durch 160 geteilte VCO Signal als Vergleichssignal zugeführt. Die Regelspannung des AFC Detektors steuert den spannungsgesteuerten Oszillator exakt auf die Frequenz von 2,5 MHz. Das VCO Signal führt zur Schaltung für die automatische Phasenweitschaltung. Nachdem es durch vier geteilt wird, wird es so mit dem H-Synchronsignal und dem Kopfumschaltimpuls verknüpft, daß bei jeder vom Videokopf 2 geschriebenen Spur die Phase des Farbträgers von Zeile zu Zeile um  $90^\circ$  weitergeschaltet wird. Anschließend führt das  $40 F_h$  Signal zum Hilfskonverter.

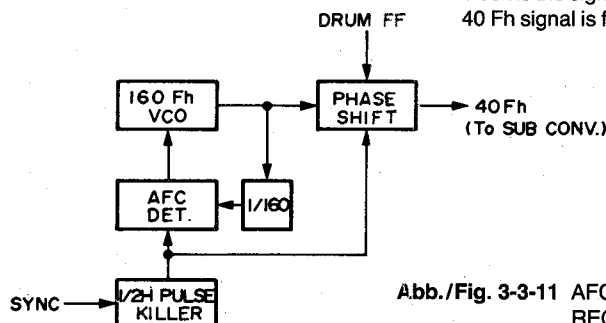


Abb./Fig. 3-3-11 AFC Schaltung bei Aufnahme  
REC AFC block

### 3.3.5 Color signal recording system

#### 1. BPF (bandpass filter) 1

BPF1 is a circuit which extracts the color signal from the input video signal, and has a band width of about  $\pm 600$  Hz with a center frequency of 4.43 MHz.

#### 2. ACC (automatic chroma level control) Fig. 3-3-9

The ACC is a circuit which automatically adjusts the color signal level to the predetermined value.

The ACC extracts only the burst signal, then detects its level before controlling its gain so that its value is constant. In general, if there is no amplitude distortion in the transmission system, the burst signal level is constant. Therefore, it can be said that this circuit eliminates amplitude distortion in the transmission system.

#### 3. Main converter (Fig. 3-3-10)

The main converter converts the  $F_s$  color signal into the  $40 F_h + 1/8 F_h$  signal.

As well as the color signal, the  $F_s + (40 F_h + 1/8 F_h)$  signal is fed to the main converter which outputs the sum component [ $2 F_s + (40 F_h + 1/8 F_h)$  signal] and difference component ( $40 F_h + 1/8 F_h$  signal).

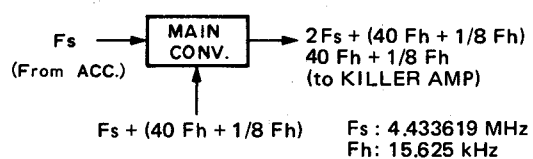


Abb./Fig. 3-3-10 Hauptkonverter  
Main converter block

#### 4. Color killer

The color killer circuit cuts the color signal when the B/W TV signal is input.

This color killer detects the level of input signal to distinguish color signal from B/W one.

#### 5. LPF (low pass filter)

The output of the main converter contains the sum component  $2 F_s + (40 F_h + 1/8 F_h)$  signal as well as the necessary difference component down-converted  $40 F_h + 1/8 F_h$  color signal. Therefore, the unnecessary sum component is eliminated by the LPF.

#### 6. AFC (automatic frequency control) Fig. 3-3-11

The AFC circuit:

- generates the  $40 F_h$  signal (627 kHz).
- shifts the phase of  $40 F_h$  signal by  $90^\circ$  every 1H.
- corrects the phase using the horizontal sync signal.

Refer to Fig. 3-3-11.

The horizontal sync signal fed from the Y circuit is eliminated from the  $1/2H$  sync signal of the vertical sync signal portion by the  $1/2H$  pulse killer before being fed to the AFC detector and phase shift section.

The AFC detector is a phase comparator in the AFC loop, whose reference signal is a horizontal sync signal and comparison signal is the  $F_h$  signal which is obtained by counting down the 160  $F_h$  VCO output to  $1/160$ .

The error output from the AFC detector is fed to the 160  $F_h$  VCO, which oscillates at 160  $F_h$  (2.5 MHz). This 160  $F_h$  signal is fed to the phase shift section, to which the drum flip-flop signal and the horizontal sync signal are also fed. The  $40 F_h$  signal outputted from the phase shift block is the signal whose phase on CH-2 is delayed  $90^\circ$  every 1H. This  $40 F_h$  signal is fed to the sub-converter as the AFC output.

### 7. Hilfskonverter und Bandpaßfilter BPF2 (Abb. 3-3-12)

Im Hilfskonverter wird die von der AFC Schaltung erzeugte 40 Fh Frequenz mit einer Hilfsfrequenz von  $F_s + 1/8 F_h$  aus einem Quarzoszillator gemischt. Bandpaßfilter BPF2 filtert die Summenfrequenz  $F_s + (40 F_h + 1/8 F_h)$  für die Weiterverarbeitung im Hauptkonverter heraus.

### 8. Burst-Gate Impulsgenerator (Abb. 3-3-13)

Das 160 Fh Signal und der H-Synchronimpuls führen zum Burst-Gate Impulsgenerator. Durch Koinzidenz des heruntergeteilten 160 Fh Signals mit dem H-Synchronimpuls als Referenz wird der Burst-Gate Impuls erzeugt.

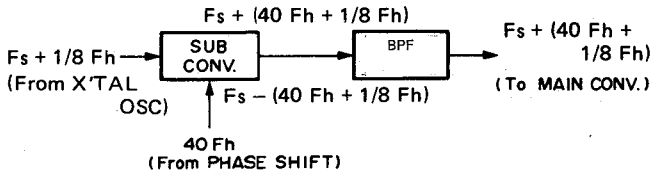


Abb./Fig. 3-3-12 Hilfskonverter und BPF  
Sub converter and BPF

### 3.3.6 Wiedergabe des Chromasignals (Abb. 3-3-14)

#### 1. Tiefpaßfilter

Mit Hilfe des Tiefpaßfilters wird das herunterkonvertierte Chromasignal aus dem FM Signalgemisch herausgefiltert. Die hochfrequenten Luminanzanteile werden unterdrückt.

#### 2. Hauptkonverter und Bandpaßfilter BPF1

Im Hauptkonverter wird das herunterkonvertierte Chromasignal mit der Frequenz  $F_s + 40 F_h + 1/8 F_h$  aus dem Hilfskonverter gemischt. Aus den entstehenden Mischprodukten wird mit Hilfe des Bandpaßfilters BPF1 die Summenfrequenz  $F_s = 4,433619 \text{ MHz}$  herausgefiltert. Das in seine ursprüngliche Frequenzlage zurückgewandelte Chromasignal ist jedoch infolge von Schwankungen der Bandgeschwindigkeit, der Banddehnung und der Kopftrommelrotationsphase mit Frequenz- und Phasenfehlern behaftet. Wie diese Fehler kompensiert werden, geht aus der Beschreibung der APC und AFC Schaltung hervor.

#### 3. ACC Schaltung

Genauso wie in der Aufnahmefunktion wird auch in der Wiedergabefunktion mit Hilfe der ACC Regelschaltung der Pegel des Burstsignals konstant gehalten.

#### 4. 2-Zeilen Verzögerungsleitung

Das wiedergegebene, während der Aufnahme phasenfortgeschaltete Chromasignal durchläuft ein Kammfilter, der aus einer 2-Zeilen Verzögerungsleitung und einer Addierstufe gebildet wird. Durch Addition des direkt wiedergegebenen Chromasignals mit dem um 2 Zeilen verzögerten Chromasignal, löschen sich die Übersprechanteile der Nachbarspur aus, und die Nutzsignale verdoppeln sich.

#### 5. Farbsperre (Color Killer)

Bei der Wiedergabe eines Schwarz-Weiß Signals wird der Chromaverstärker gesperrt. Die Funktion ist die gleiche wie in der Aufnahmebetriebsart.

### 7. Sub-converter and BPF2 (Fig. 3-3-12)

The sub-converter converts the input  $F_s + 1/8 F_h$  signal into the  $F_s + (40 F_h + 1/8 F_h)$  signal. The  $F_h 40 + 1/8 F_h$  signal is fed to the subconverter as well as the  $F_h$  signal, which outputs the sum component  $F_s + (40 F_h + 1/8 F_h)$  signal and difference component  $F_s - (40 F_h + 1/8 F_h)$  signal.

BPF 2 extracts the necessary  $F_s + (40 F_h + 1/8 F_h)$  signal, and cuts off the unnecessary  $F_s - (40 F_h + 1/8 F_h)$  signal.

### 8. Burst gate pulse generator (Fig. 3-3-13)

The 160 Fh signal and the horizontal sync signal are fed to the burst gate pulse generator. The burst gate pulse is formed by counting the 160 Fh signal with the horizontal sync signal as reference.

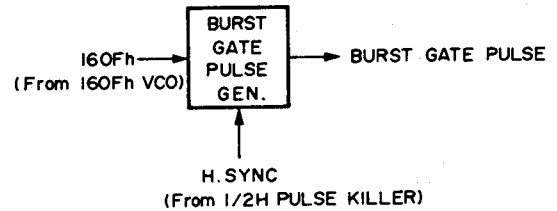


Abb./Fig. 3-3-13 Burst-Gate Generator  
Burst gate pulse generator

### 3.3.6 Color signal playback system (Fig. 3-3-14)

#### 1. LPF (lowpass filter)

The LPF extracts the down-converted color signal from the playback FM signal and attenuates the unnecessary luminance signal component.

#### 2. Main converter and BPF1

The  $F_s + 40 F_h + 1/8 F_h$  signal is sent to the main converter from the sub-converter just as in recording. When the output from the main converter is passed through BPF1, the original  $F_s$  color signal is recovered from the  $40 F_h + 1/8 F_h$  signal.

The actually played-back color signal contains fluctuations (in frequency and phase) resulting from variations in tape speed, irregular speeds of the video heads, and tape expansion/contraction, the correction of which is described in the description of the APC (automatic phase control) and AFC (automatic frequency control).

#### 3. ACC

As in recording, the ACC extracts the burst signal, then controls the gain of the color signal so that its level is constant.

#### 4. 2H delay line

Since the phase-shifted playback down-converted color signal has the opposite relation to the signal 2H horizontal period before as far as the crosstalk from the adjacent track is concerned, if the signal passed through the 2H delay line is added, the main signal will have twice the level with the result that the crosstalk components cancel each other and are virtually nullified.

#### 5. Color killer

When the playback signal is a B/W signal, the color killer cuts the color signal output. The operation of this circuit is the same as that during recording.

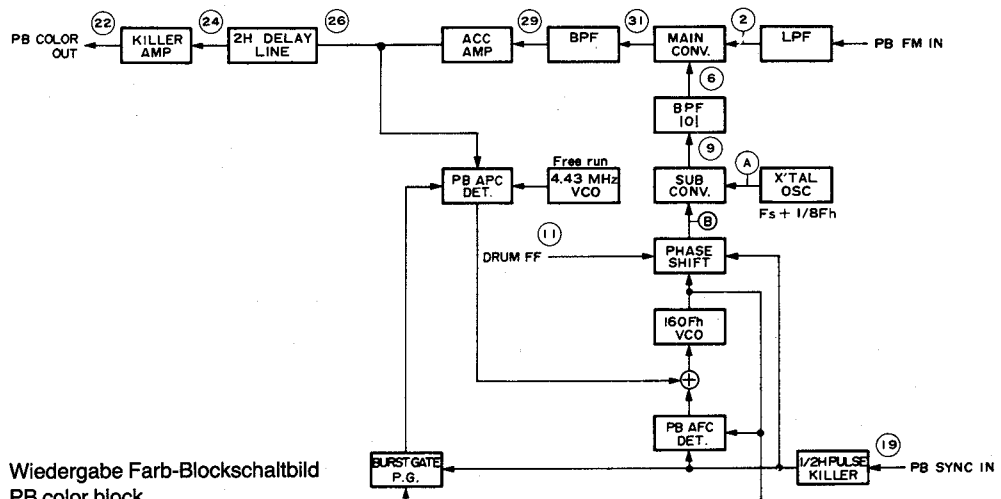


Abb./Fig. 3-3-14 Wiedergabe Farb-Blockschaltbild  
PB color block

## 6. Arbeitsweise der Frequenz und Phasenkorrektur (APC und AFC)

Das wiedergegebene Chromasignal setzt sich aus  $F_{sc}' = (40 F_h + 1/8 F_h)' \pm \Delta f$  zusammen, wobei  $F_h'$  den verursachten Frequenzfehlern entspricht. Diese größeren Abweichungen werden durch die AFC Schaltung kompensiert. Der Betrag  $\pm \Delta f$  entspricht den entstandenen Phasenfehlern, die durch Banddehnung bzw. Änderung der Rotationsphase der Kopftrommel entstehen. Diese Phasenfehler werden durch eine automatische Phasenkorrekturschaltung APC kompensiert. In der normalen Wiedergabefunktion erfolgt eine Korrektur nur durch die APC Schaltung. Die Regelfunktion der AFC Schaltung tritt erst in Kraft, wenn der Fangbereich der APC Schaltung nicht mehr ausreicht. In einem solchen Fall regelt die AFC Schaltung so schnell nach, daß der APC Fangbereich wieder erreicht wird. Zuerst wird die Arbeitsweise der APC Schaltung beschrieben:

Als Referenz der APC Schaltung dient das 4,43 MHz Signal des VCO und als Vergleichssignal das wiedergegebene Chromasignal. Im APC Detektor wird mit Hilfe des Burst-Gate Impulses der Burst des wiedergegebenen Chromasignals ausgetastet und seine Phasendifferenz  $\pm \Delta f$  erkannt. Eine Regelspannung führt zum 160 Hf VCO und steuert diesen Oszillator entsprechend nach.

Als Referenz der AFC Schaltung dient der H-Synchronimpuls des wiedergegebenen Videosignals und als Vergleichssignal das Ausgangssignal des 160 Fh VCO.

Der AFC Detektor erzeugt bei Wiedergabe eine Regelspannung zur Nachsteuerung des 160 Fh VCO.

Als Ergebnis entsteht am Ausgang der Phasenweitschaltungsstufe die Frequenz  $40 F_h'' \pm \Delta f$ .

Die Quarzfrequenz  $F_s + 1/8 F_h$  und die Frequenz  $40 F_h'' \pm \Delta f$  werden im Hilfskonverter zu den Frequenzen  $F_s + (40 F_h + 1/8 F_h)' \pm \Delta f$  und  $F_s - [F_s + (40 F_h + 1/8 F_h)' \pm \Delta f]$  gemischt.

Mit Hilfe des Bandpaßfilters wird nur die Summenfrequenz  $F_s + (40 F_h + 1/8 F_h)' \pm \Delta f$  ausgefiltert und zum Hauptkonverter geführt. Die  $(40 F_h + 1/8 F_h)' \pm \Delta f$  Frequenz aus dem Tiefpaßfilter wird nun mit der Frequenz  $F_s + (40 F_h + 1/8 F_h)' \pm \Delta f$  aus dem Bandpaßfilter BPF 2 im Hauptkonverter gemischt. Von den im Hauptkonverter entstehenden Summen und Differenzfrequenzen wird die Differenzfrequenz mit Hilfe des Bandpaßfilters BPF1 herausgefiltert. Als Ergebnis entsteht die fehlerbereinigte Frequenz  $F_s$ .

## 6. Correction of frequency and phase function (APC and AFC)

When the played-back down-converted color burst signal is  $F_{sc}'$ , it is played back as  $F_{sc}' = (40 F_h + 1/8 F_h)' \pm \Delta f$ , where  $F_h'$  indicates frequency fluctuations due to variation in tape speed and is corrected by the AFC circuit, and  $\pm \Delta f$ , where  $F_h'$  indicates frequency fluctuations due to variation in tape speed and is corrected by the AFC circuit, and  $\pm \Delta f$  indicates fluctuations in phase due to variation in video head speed or tape stretch/compression, which are corrected by the APC circuit.

In the normal playback state, only correction by the APC circuit is performed and AFC circuit goes into operation only when the lock range of the APC is exceeded, serving to bring it within the lock range of the APC quickly.

First of all, the APC circuit is described.

The reference signal of the APC circuit is the  $F_s$  signal output from the 4.43 MHz VCO, and the comparison signal is the playback color signal. At the playback APC detector, the burst signal is extracted from the playback color signal using the burst gate pulse, and the difference in phase ( $\pm \Delta f$ ) from the  $F_s$  signal is detected. This phase difference is fed to the 160 Fh VCO as an error voltage.

The reference signal of the AFC circuit is the playback horizontal sync signal supplied from the 1/2H pulse killer, and the comparison signal is the 160 Fh signal to be output from the 160 Fh VCO.

The playback AFC detector supplies the error voltage corresponding to  $F_h'$  to the 160 Fh VCO.

As a result, the output from the phase shift section will be  $40 F_h'' \pm \Delta f$ .

The  $F_s + 1/8 F_h$  signal from the XTALOSC and the  $40 F_h'' \pm \Delta f$  from the phase shift section are being fed to the sub-converter, which outputs the sum component  $F_s + (40 F_h + 1/8 F_h)' \pm \Delta f$  and the difference component  $F_s - [F_s + (40 F_h + 1/8 F_h)' \pm \Delta f]$ .

BPF301 extracts only the necessary sum component  $F_s + (40 F_h + 1/8 F_h)' \pm \Delta f$  before feeding it to the main converter. The  $(40 F_h + 1/8 F_h)' \pm \Delta f$  signal from the LPF and the  $F_s + (40 F_h + 1/8 F_h)' \pm \Delta f$  from the BPF 2 are being fed to the main converter, which outputs the sum component  $F_s + 2 [(40 F_h + 1/8 F_h)' \pm \Delta f]$  and the difference component  $F_s$  (the color signal).

BPF1 extracts only the necessary difference component  $F_s$  (the color signal).

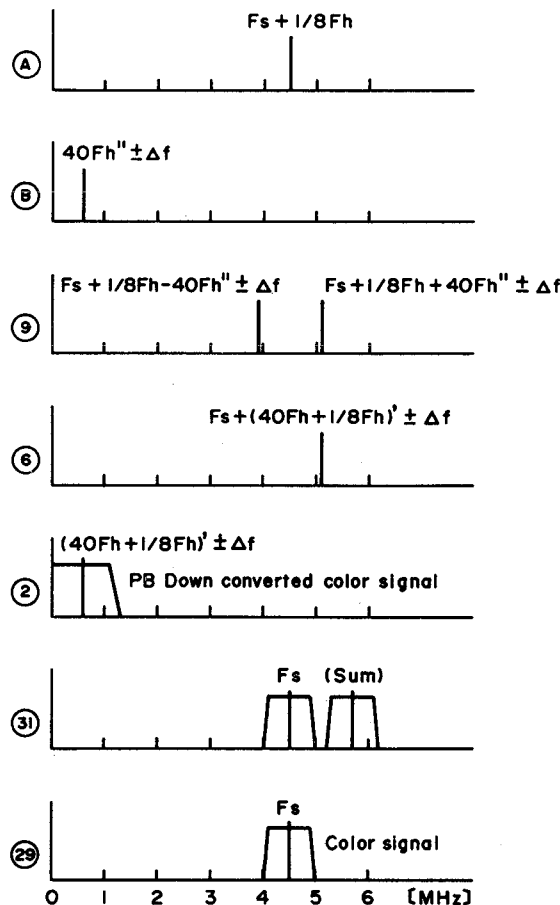


Abb./Fig. 3-3-15 Spektrum des Chromasignals bei Wiedergabe  
PB color signal chart

## 7. AFC Schaltung im Wiedergabebetrieb

Die AFC Schaltung erkennt die Frequenzschwankungen des wiedergegebenen Chromasignals mit Hilfe des H-Synchronimpulses, der in der 1/2 Fh Synchronimpulsstufe gewonnen wird.

Bild 3-3-17 zeigt den Impulsverlauf der AFC Schaltung. Die Funktion der einzelnen Stufen wird im folgenden beschrieben:

Teil (A) ist das Ausgangssignal des 160 Fh VCO. Teil (B) ist der Ausgang des 1/8 Frequenzteilers. Er öffnet Gate 1 während der „H“ Phase. Als Ergebnis entsteht am Ausgang von Gate 1 das Signal (C). Da Gate 1 für 4 Zeilen geöffnet ist, können  $160 \times 4 = 640$  Impulse das Gate passieren. Die Anzahl der durchgelassenen Impulse wird höher, wenn die VCO Frequenz höher als die Wiederholfrequenz des H-Synchronimpulses liegt, bzw. weniger bei niedrigerer VCO Frequenz. Signal (D) ist der Ausgang des 1/640 Teilers. Er wird zwischen den Impulsen 636 und 644 „H“. Dies ist der Fangbereich der APC Schaltung. Signal (E) ist ein anderer Ausgang des 1/8 Teilers. Mit der ansteigenden Flanke (Impuls (D) hat „L“ Pegel) gibt die APC Schaltung die Regelspannung an den 160 Fh VCO ab. Am Ausgang von Gate 2 erscheint Signal (F). Die abfallende Flanke des Impulses (E) erscheint an diesem Ausgang, wenn Impuls (D) „L“ Pegel aufweist. Signal (G) ist der andere Ausgang des 1/640 Teilers. Befindet sich dieser Ausgang auf „L“ Pegel bei abfallender Impulsflanke (F), ändert sich der AFC Ausgang nach positiven Werten hin. Befindet sich der Ausgang des 1/640 Teilers auf „H“ Pegel, ändert sich der AFC Ausgang nach negativen Werten hin. Mit der abfallenden Flanke von (C) wird Signal (G) ebenfalls „L“. Erst bei Passieren der 640 Impulse wird (G) „H“. Signal (H) ist der Ausgang der AFC Schaltung. Wird die H-Synchronimpulsfrequenz höher als die VCO Frequenz, wird der Ausgang positiv. Bei niedrigerer H-Synchronimpulsfrequenz wird die Ausgangsspannung negativ.

Bild 3-3-18 zeigt den Impulsverlauf bei abweichender Frequenz.

Die Funktion der AFC Schaltung im Wiedergabebetrieb kann wie folgt zusammengefaßt werden:

- Der Frequenzvergleich erfolgt während einer Periode von 8 Zeilen.
- Während einer 4-Zeilen Periode beträgt die Anzahl der VCO Impulse zwischen 638 und 642, was dem Fangbereich der APC Schaltung entspricht.
- Werden die vom VCO abgegebenen Impulse während einer 4-Zeilen Periode kleiner als 638, wird der Ausgang für die Dauer einer Zeile positiv. Bei mehr als 642 ausgezählten Impulsen wird der Ausgang negativ.

## 7. Playback AFC circuit

The playback AFC circuit detects fluctuations in frequency using the playback horizontal sync pulse fed by the 1/2 pulse killer.

Fig. 3-3-17 shows the operation timing of the playback AFC circuit. Here, the operation of each circuit block is described.

(A) is the output from the 160 Fh VCO. (B) is one of the outputs from the 1/8 counter and opens gate 1 while it is high. As a result, signal (C) is output from gate 1. Since signal (C) allows the output from the 160 Fh VCO to pass through gate 1 for 4H, the normal number of pulses while gate 1 is open is  $160 \times 4 = 640$  pulses. The 640 pulses increases when the oscillation frequency of the 160 Fh VCO is higher than that of the playback horizontal sync signal and decreases when it is lower than the playback horizontal sync signal. (D) is one of the outputs from the 1/640 counter and goes high between count 636 and 644 by counting the number of pulses of (C). This indicates the "pull-in" range of the APC circuit. (E) is the other pulse output from the 1/8 counter. At the leading edge of this pulse if (D) is low, the playback AFC circuit outputs the error voltage to the 160 Fh VCO. (F) is the output from gate 2. At the leading edge of pulse (E), if (D) is low, pulse (E) is output as it is. If pulse (F) is high, the error voltage from the playback AFC is output whereas when it is low, the floating state is entered. Pulse (G) is the other output from the 1/640 counter, and when (G) is low at the leading edge of (F), the playback AFC output will be + (positive) and when it is high, it will be - (negative). (G) goes low at the leading edge of (C), then goes high when pulse (C) is counted 640 times. (H) is the output from the playback AFC, and becomes - (negative) during the 1H period when the oscillation frequency from the 160 Fh VCO is higher than the playback horizontal sync signal and becomes + (positive) during the 1H period when the oscillation frequency is lower than the playback horizontal sync signal.

Fig. 3-3-18 shows the timing when frequency has deviated. The operation of the playback AFC is summarized as follows.

- Frequency is compared once every 8H period.
- If the number of pulses from the 160 Fh VCO during the 4 H period is between 638 to 642, it is within the "pull-in" range of the APC; the output becomes floating.
- If the number of pulses from the 160 Fh VCO during the 4 H period is less than 638, the + (positive) output is output for the 1H period. If it is more than 642, the - (negative) output is output for the 1H period.

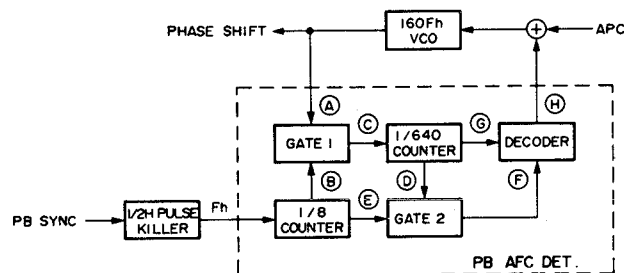


Abb./Fig. 3-3-16 AFC im Wiedergabebetrieb – PB AFC block

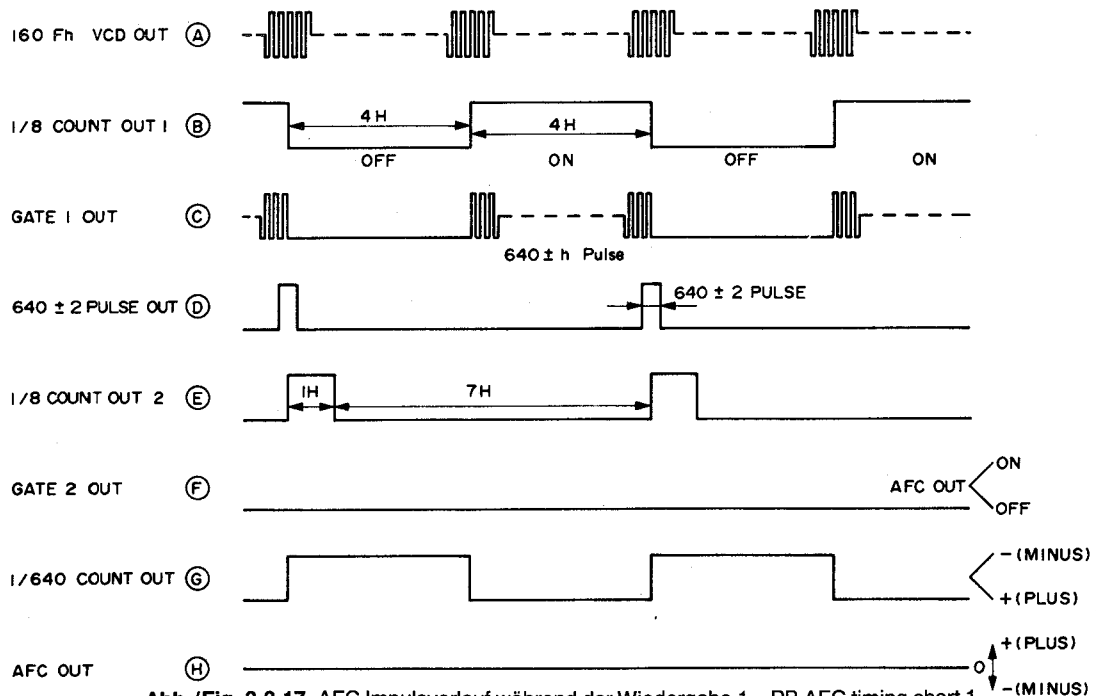


Abb./Fig. 3-3-17 AFC Impulsverlauf während der Wiedergabe 1 – PB AFC timing chart 1

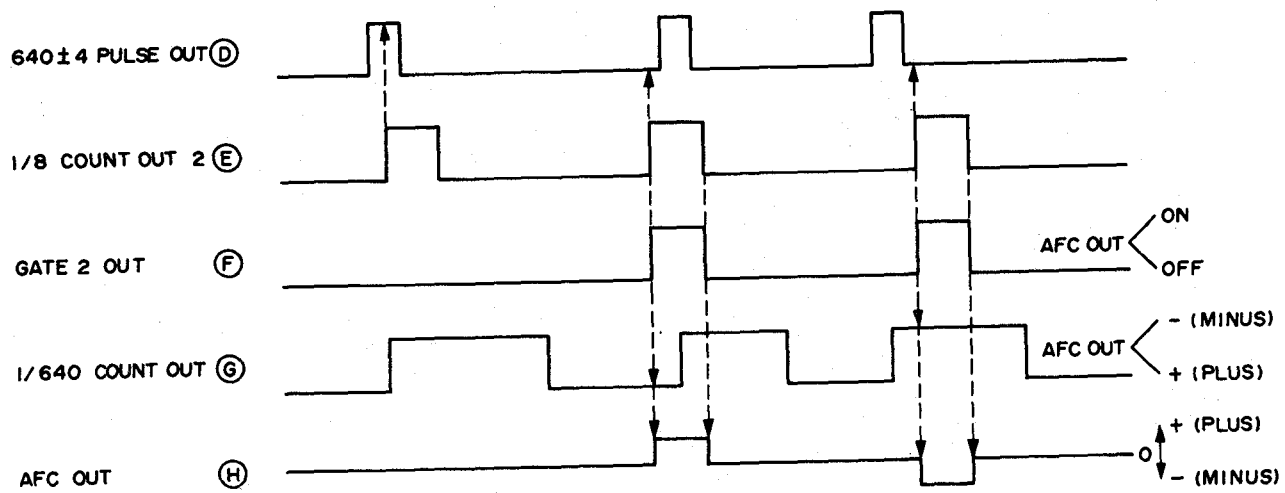


Abb./Fig. 3-3-18 AFC Impulsverlauf während der Wiedergabe 2  
PB AFC timing chart 2

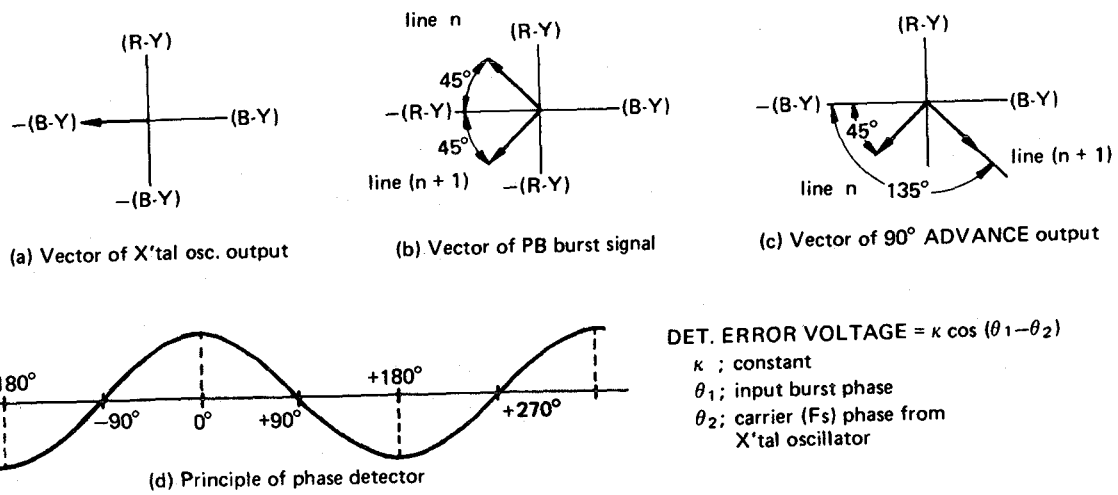
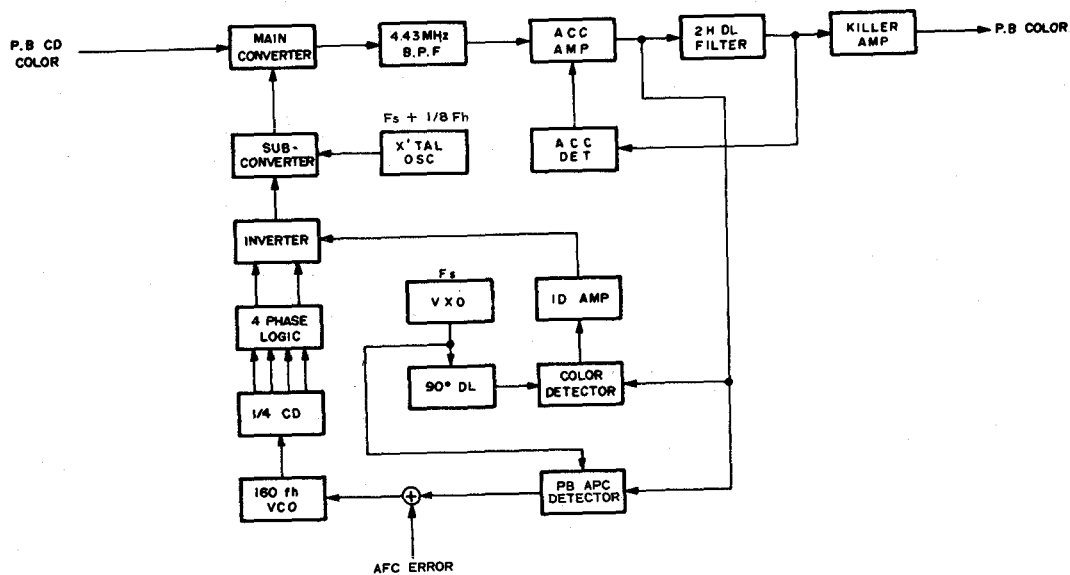


Abb./Fig. 3-3-19 APC und ID Detektor  
APC detector and ID detector

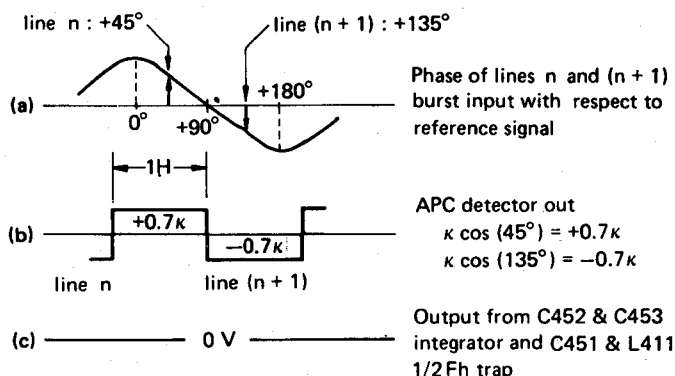


Abb./Fig. 3-3-20 APC Detektor-1 (keine Phasendifferenz vorhanden)  
APC detector-1 (phase variation absent)

## 8. APC Schaltung und ID Detektor

Die vom Quarzoszillator erzeugte Frequenz von 4,433619 MHz wird dem APC- und dem ID Detektor als Referenzsignal zugeführt Teil (a) in Bild 3-3-19. Das wiedergegebene Chromasignal liefert das Vergleichssignal. Ist kein Phasenfehler vorhanden, entsteht das Zeigerdiagramm (b) in Bild 3-3-19. Durch die 90° Phasendrehung in der Schaltung entsteht das Zeigerdiagramm (c). Die Differenz der Phasenlage zwischen APC- und ID Detektorausgang kann mit Hilfe der Cosinuskurve (d) verdeutlicht werden.

### APC Detektor

Liegt im wiedergegebenen Chromasignal keine Phasenschwankung vor, nimmt der APC Ausgang die Form nach Bild 3-3-20 an. Teil (a) in Bild 3-3-20 zeigt die Burstphasendifferenz der Zeile n und n + 1. Das dazugehörige Ausgangssignal zeigt Teil (b). Die APC Detektorausgangsspannung führt durch einen Serienresonanzkreis von 7,88 kHz (FH:2), und es bildet sich eine Spannung mit dem Mittelwert aus den Zeilen n und n + 1 (c).

Aus diesem Grund arbeitet der APC Detektor mit der Stabilität des 90° Signals (a). Im Fall eines um 90° weitergeschalteten Burstsignals Vektordiagramm (a) und (b) in Bild 3-3-19) wird die durchschnittliche Phasendifferenz von Referenzoszillator und Wiedergabe-Burstsignal auf den Ausgangspunkt der Phasenfortschaltung gegen Null blockiert. Erscheint ein Bursteingangssignal mit einer Phasendifferenz, steuert der APC Detektorausgang die Frequenz des VXO exakt auf  $F_s + 1/8$  Fh nach. Während der Aufnahmefunktion erfolgt dieser Regelvorgang mit stabilen Frequenz- und Phasenverhältnissen des Chromasignals. In der Wiedergabefunktion müssen stark in Erscheinung tretende Phasenfehler kompensiert werden.

Bild 3-3-21 zeigt beispielsweise einen vorhandenen Phasenfehler von 30°.

In diesem Fall nimmt der APC Ausgang den Wert + 0,26 k für die Zeile n, und - 0,97 k für die Zeile n + 1 an. Der Durchschnittswert für 2 Zeilen, mit der der VXO gesteuert wird, stellt sich bei - 0,36 k ein. Durch diesen Regelvorgang wird eine Farbtonverfälschung des Bildes verhindert. Eine Änderung des Detektorausgangs erfolgt nicht mit jeder Zeile; sie ist aber durch Durchschnittsbildung der Phasenfehler aus 2 Zeilen stetig.

Bild 3-3-22 zeigt das Verhältnis zwischen APC Detektorausgang und der 160 fh VCO Schwingung.

Die gestrichelt gezeichneten Kurven (a) zeigen die Phasenunterschiede der Zeilen n und n + 1 (90° Phasendifferenz). Den Durchschnittswert beider Zeilen zeigt die durchgezeichnete Kurve. Bei einer Phasendifferenz von 90° erreicht der Durchschnittsbetrag den Wert Null. Eine zunehmende Phasendifferenz bewirkt eine höhere VXO Frequenz. Bei kleiner werdenden Phasendifferenzen ist das Gegenteil der Fall.

Abb./Fig. 3-3-22

Verhältnis zwischen APC Ausgang und 160 fh VCO  
APC Detector and 160 fh VCO relationship

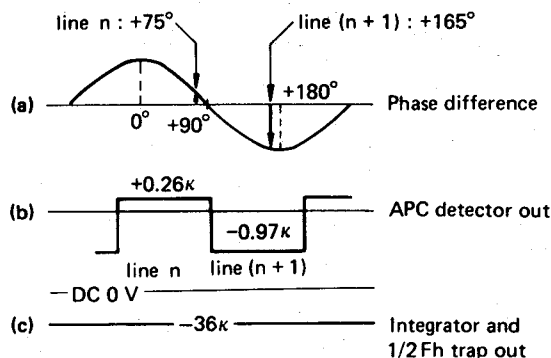
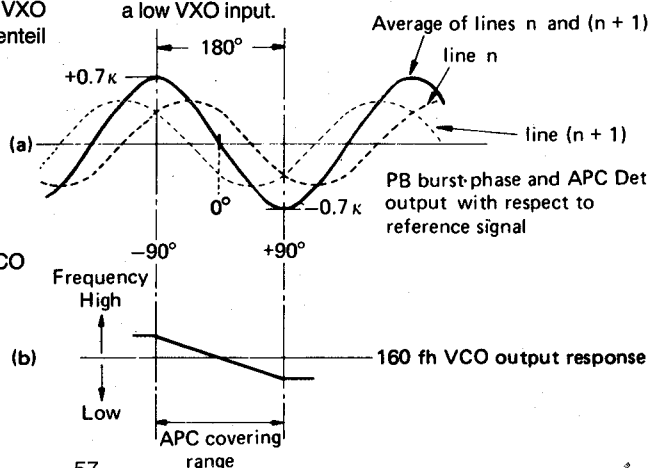


Abb./Fig. 3-3-21 APC Detektor-2 (Phasendifferenz vorhanden)  
APC detector-2 (phase variation present)

## 8. APC and ID detector principles

From the crystal oscillator,  $f_s$  (4.433619 MHz) is supplied as the reference signal to the APC and ID detectors. The phase is indicated by (a) of Fig. 3-3-19.

The playback burst signal forms the comparison signal supplied in the same phase to the ID detector. If phase error is absent, lines n and n + 1 become as shown by (b).

The 90° advance circuit of the APC detector yields waveform (c). Phase difference of the APC and ID detector outputs can be illustrated by the cosine curve of (d).

### APC detector

With zero phase fluctuation in the playback burst signal (comparison signal), the APC detector output becomes as indicated in Fig. 3-3-20. As indicated by (a), with respect to the burst reference signal input, the phase differences of lines n and n + 1 are 45° and 135° respectively. At this time, the APC detector output becomes as indicated by (b). It smoothes waveform (b), which goes through a 1/2 fh (7.8 kHz) series resonance trap to yield the average voltage of lines n and n + 1. This is waveform (c).

The APC detector therefore operates according to the stability of (a) at 90°. In the case of 90° advanced burst signal, as indicated by vector diagrams (a) and (b) of Fig. 3-3-19, the average phase difference of the reference crystal oscillator signal and the playback burst signal becomes locked to zero.

When phase error is absent from the input burst signal, the zero APC detector output goes to the VXO, which then oscillates at precisely the reference signal frequency of  $F_s + 1/8$  fh. This occurs during recording when the frequency and phase of the color signal are stable.

However, compensation is required in the playback process, due to the significant error components. For example, assume a 30° advance in the playback burst signal phase, as indicated in Fig. 3-3-21.

At this time, the APC detector outputs are +0.26 k with respect to line n and -0.97 k with respect to line n + 1. The average of the two lines becomes -0.36 k, which goes to the VXO. In this manner, in order to avoid shifts in color hue, the APC detector output is not produced every line, but instead, it becomes the average level of two lines.

Fig. 3-3-22 illustrates the relationship between the APC detector output and 160 fh VCO oscillation.

The broken lines of (a) indicate the phase difference of lines n, n + 1 and the detector output with respect to the playback burst signal (90° and maximum delayed 90°. At which time the VXO output frequency increases, in effect advancing the phase. The opposite is obtained with a low VXO input.

### ID Detektor

Wie Bild 3-3-23 zeigt, beträgt der effektive Fangbereich des APC Detektors  $\pm 90^\circ$  in Bezug auf die Achse des Referenzsignals  $-(B - Y)$ .

Wird dieser Fangbereich durch Drop-Outs oder Umschaltstörungen überschritten, unterstützt der ID Detektor die Korrektur der APC Schleife. Bild 3-3-23 zeigt den Ausgang des ID Detektors.

„L“ Potential erscheint am Ausgang des ID Detektors nur dann, wenn Zeile n mehr als  $90^\circ$  verzögert wird oder die Zeile n + 1 mehr als  $90^\circ$  vorseilt. Dieser „L“ Pegel steuert die  $90^\circ$  Phasenfortschaltung so, daß die zeilenweise Phasenfortschaltung um  $90^\circ$  verzögert und eine APC Kompensation ausgeführt wird.

Durch auftretende Fehler im Bandtransportsystem, die u. U. zu sprunghaften Phasendifferenzen von  $180^\circ$  führen können, müssen solche Kompensationen ausgeführt werden.

### ID detector

As indicated in Fig. 3-3-23, the effective range of the APC detector is  $\pm 90^\circ$  of the reference signal  $-(B - Y)$  axis. However, phase error exceeding this value occasionally arises due to dropout or switching noise. Therefore, the ID detector provides additional correction for the APC loop. Fig. 3-3-23 illustrates the ID detector output.

Low potential appears at the ID detector output only when line n is delayed more than  $90^\circ$  and line n + 1 advanced more than  $90^\circ$ . This goes to the rotation control circuit and delays the output of the  $90^\circ$  rotation circuit by  $90^\circ$  to perform APC compensation.

For example, if the playback burst signal is intermittently  $180^\circ$ , a 2 H period of  $90^\circ$  and  $90^\circ$  becomes required. This compensates for color signal frequency error due to the tape transport system.

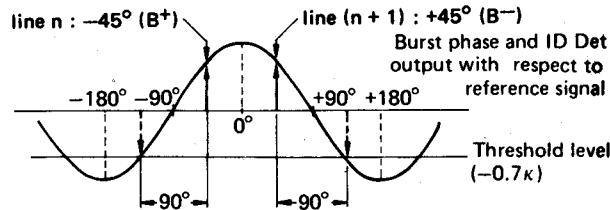


Abb./Fig. 3-3-23 ID Detektor  
ID detector

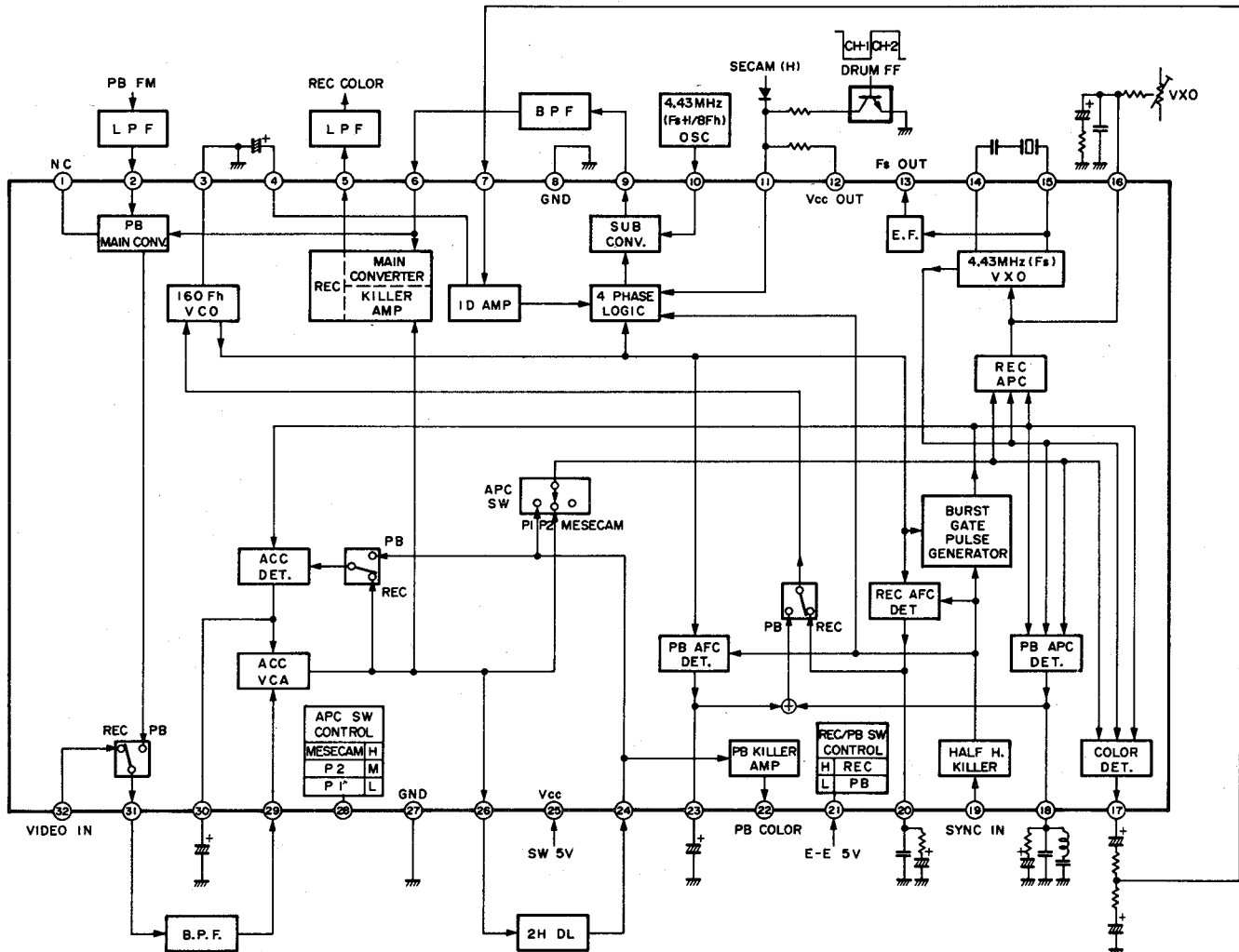


Abb./Fig. 3-3-24 Blockschaltbild der Chromaverarbeitung  
Color module block diagram



## 9. SECAM Detektor

Wie bereits beschrieben, ist das Farbsignalsystem dieses Rekorders für das PAL System entwickelt worden.

Die speziell für SECAM ausgelegten Modelle verwenden im allgemeinen ein direktes Aufnahmesystem mit einem Vierfach-Frequenzteiler. In diesem Rekorder jedoch wird das SECAM Signal durch Heruntermischen der Farbinformation aufgenommen. Die frequenzmodulierte Farbinformation wird in einem Glockenfilter getrennt und das Phasenverschiebungssystem ausgeschaltet.

Eine Zeilenkorrektur reduziert Übersprecherscheinungen während der Wiedergabe. Das 2-Zeilen Verzögerungssystem für PAL wird nicht benötigt. Ein SECAM Detektor unterscheidet zwischen einem PAL und einem SECAM Signal und leitet die entsprechenden Umschaltbefehle ein (Bild 3-3-25).

Während der Aufnahme oder der Wiedergabe wird das Burstsinal über Q305 bzw. Q306 Pin 1 von IC302 zugeführt. Da das SECAM Signal von Zeile zu Zeile zwischen 4,406225 MHz und 4,25 MHz alterniert, entstehen am Ausgang des Glockenfilters Signale mit unterschiedlicher Amplitude. Der Begrenzer in IC302 begrenzt die Burstsignale auf gleiche Amplitude und führt sie einem Burstgate zu. Nach Austasten und Verstärkung durchlaufen die unterschiedlichen Burstsignale ein Filter, das nur die 4,4 MHz Komponente passieren läßt (Signal (c) in Bild 3-3-25). Die 4,25 MHz Komponente wird unterdrückt. Das Filterausgangssignal wird im Detektor integriert und dem 1/2 Zeilenverstärker zugeführt. Mit Hilfe des Resonanzkreises L308 erzeugt der 1/2 Zeilenverstärker das Signal (d). Ein anschließender Komparator vergleicht die Integratorspannung mit einem festen Referenzwert von ca. 6 V und bildet Signalform (e). In einer Vollweggleichrichterschaltung aus R336 und C326 wird hieraus eine Gleichspannung (f) gebildet. Komparator 2 formt hieraus ein definiertes Schaltsignal für den SECAM Befehl (g). Wird auf diese Weise ein SECAM Eingangssignal erkannt, springt der Ausgang Pin 15 von IC302 auf „H“ Pegel.

## 9. SECAM detector

As described earlier, the color signal circuit of this model is mainly designed for recording a PAL color TV signal. A down converted, phase shifted direct recording system is used for PAL.

Models specifically designed for SECAM generally employ a 1/4 countdown direct recording system. However, this model records the SECAM signal by using the down converted system.

In this process, the SECAM signal is frequency modulated and sent through a bell filter. Since no effect is impaired on the phase error, the phase shift system for PAL recording becomes meaningless, and the signal is simply converted to lowband and recorded.

Line correction in the tape pattern reduces crosstalk during playback and the 2 H delay line system for PAL is not employed. The SECAM detector circuit distinguishes between PAL and SECAM signals. With a SECAM signal, the phase shift and 2 H delay line circuit are cut off. Refer to the block diagram of Fig. 3-3-25.

During both recording and playback, the color signal sampled by Q305 or Q306 burst gate is sent from pin 1 to IC302 limiter. The SECAM burst signal alternates every line between 282 fh (4.40625 MHz) and 272 fh (4.25 MHz) and after passing through the bell filter, the resulting burst level is not fixed. For this reason, the limiter shapes the waveform to produce a fixed level square-wave, which goes to the burst gate amplifier.

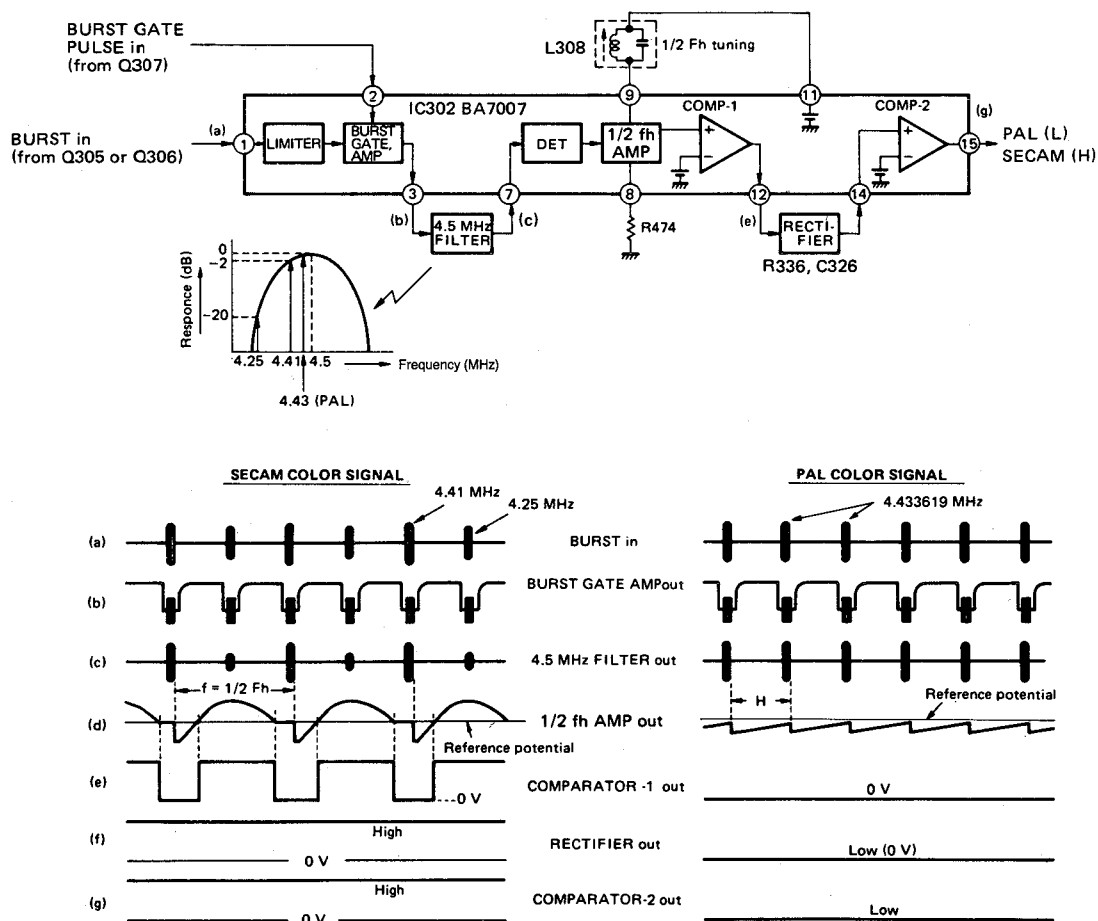
The burst gate pulse is also routed to the burst gate from Q307. This circuit removes components other than the burst which were amplified by the limiter. This output goes to the 4.5 MHz filter as waveform (b). The filter possesses the response indicated in the block diagram and passes the 282 fh burst component, while attenuating the 272 fh component. Waveform (c) illustrates the filter output.

Consequently, 4.5 MHz filter enhances the 282 fh and attenuates the 272 fh. The result is integrated by DET and the 1/2 fh output is supplied to the 1/2 fh amplifier.

The 1/2 fh component is amplified and the fh component attenuated by L308, 1/2 fh tuning circuit to produce waveform (d). This output is supplied to the comparator-1 noninvert input. The constant potential is supplied to the invert input as a reference signal for the comparator.

At this time, when the voltage at the non-invert input from the 1/2 fh amplifier exceeds the reference voltage (about 6 V), the comparator-1 high output goes from pin 12 to the rectifier. When below the reference voltage, the comparator output becomes a low potential. Waveform (e) illustrates the comparator-1 output. This is fullwave rectified by R336 & C326 to yield waveform (f). The rectifier high output is supplied to the comparator-2 to yield waveform (g).

Abb./Fig. 3-3-25 Secam Detektor/Secam detector



### 3.3.7 HQ High-Quality-System

#### 1. Allgemeine Beschreibung

Diese neu entwickelte Technologie wurde in VHS-Geräten mit dem Anspruch auf „hohe Bildqualität“ zur Anwendung gebracht. Hierzu gehören:

- a: Anhebung des „White Clip“ um 10%
- b: Anhebung von Bilddetails
- c: Verbesserung von Y.NR (Signal/Rauschreduktion)

Die Kriterien eines Fernsehbildes kann man von verschiedenen Standpunkten aus beurteilen. Die wesentlichsten Merkmale zur Beurteilung eines TV-Bildes sind jedoch der Schwarz/Weißsprung und das S/R-Verhältnis. Die Güte des S/W-Sprungs zeigt, wieviel des Aufgezeichneten Signals bei Wiedergabe reproduziert wird, und das S/R-Verhältnis den Rauschanteil eines Bildes in der Gesamtfläche und besonders an der Kantenreproduktion wiedergegebener Bilder. Von den o. g. Punkten tragen Punkt a und b zur Verbesserung des S/W-Sprungs bei, während Punkt c das S/R-Verhältnis verbessert.

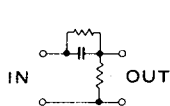
#### 2. Prinzip der Y.NR

VHS-Videorecorder sind nach wie vor mit einer Emphasis-Schaltung ausgestattet. Die Emphasis-Schaltung besteht aus der Preemphasis und der Deemphasis. Video-Eingangssignale gelangen zunächst an eine Preemphasis-Schaltung zur Vorverzerrung der hohen Frequenzanteile und anschließend an eine Begrenzerschaltung, bevor das in FM aufgezeichnete Signal frequenzmoduliert wird.

Bei Wiedergabe enthalten die demodulierten Videosignale im Bereich hoher Frequenzen starke Anteile von Rauschkomponenten, die vorwiegend bei der FM-Aufnahme bzw. Wiedergabe generiert werden. Die Deemphasis unterdrückt die hohen Frequenzanteile zur Reduktion des Rauschanteiles, und das Videosignal kehrt zum ursprünglichen Pegel zurück.

Hierdurch wird ein verbessertes S/R-Verhältnis erreicht.

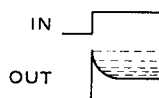
Herkömmliche Emphasissschaltungen werden durch entsprechende RC-Glieder zusammengestellt, können aber durch Quereffekt-Filter (Transversal-Filter) aus Verzögerungselementen ersetzt werden.



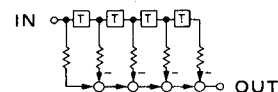
(A) Preemphasis mit RC-Gliedern  
(A) Pre-emphasis circuit of CR element



(B) Frequenzverlauf  
(B) Frequency characteristic

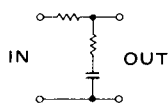


(C) Impulsverlauf  
(C) Step response

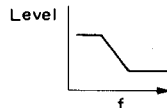


(D) Preemphasis mit transversalen Filtern  
(D) Pre-emphasis circuit of transversal filters

Abb./Fig. 3-3-28



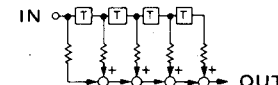
(A) Deemphasis mit RC-Gliedern  
(A) De-emphasis circuit of CR element



(B) Frequenzverlauf  
(B) Frequency characteristic



(C) Impulsverlauf  
(C) Step response

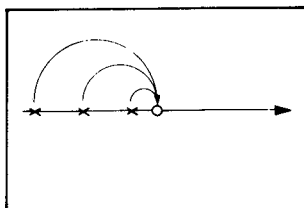


(D) Deemphasis mit transversalen Filtern  
(D) De-emphasis circuit of transversal filters

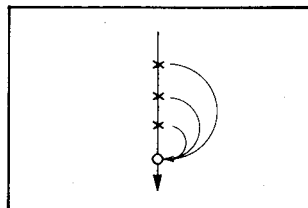
Abb./Fig. 3-3-29

In den Abb. 3-3-28 und 3-3-29 sind die Schaltungen für die Preemphasis und Deemphasis und die Beziehungen zueinander dargestellt.

Nachfolgend soll der Sinn einer S/R-Verbesserung erklärt werden. Wie bekannt, ist ein Fernsehbild aus 625 Zeilen zusammengesetzt. In der Abb. 3-3-31 wird z. B. jede abgetastete Zeile in Form eines Pfeiles dargestellt. In der Abbildung zeigen alle Linien übereinstimmende Merkmale ohne entscheidende Differenzen, außer es handelt sich um Grenzgebiete (Schnittpunkte). Wird nun ein Rauschanteil mit einem Signal während der Aufnahme bzw. Wiedergabe gemischt, wie aus Abb. 3-3-32 ersichtlich, und dabei die Signale von Zeile und Zeilen-1 addiert, so bekommen die Signale die doppelte Amplitude und die Rauschanteile den Wert aus  $\sqrt{2}$  (nicht den doppelten Wert, da Rauschen ein willkürliches Produkt ist). Deshalb wird bei Reduzierung des Signals auf  $1/2$  der original Signal-Amplitude der S/R-Rauschanteil auf den Wert  $\frac{\sqrt{2}}{2}$  reduziert. Dieses verbessert das S/R-Verhältnis auf  $\frac{1}{\sqrt{2}}$ , also um 3 dB. Das Zusammentreffen zweier Linien existiert aber nicht nur zwischen zwei benachbarten Linien,



(a)



(b)

Abb./Fig. 3-3-30

### 3.3.7 High quality system

#### 1. General description

Such newly developed technologies as the following are adopted in VHS VCR's of the high quality picture system.

- a. Level up of white clip by 10%
- b. Detail enhancer
- c. Y.NR

Characteristic of TV pictures can be considered and analyzed from various points of view, however, main factors to influence quality of VTR pictures in playback are pulse response characteristic and S/N ratio. Pulse response characteristic shows how much recorded signals are reproduced in playback, while, S/N ratio shows amount of noise on the plane and edges of playback pictures.

Among the above mentioned three items, a. and b. improve pulse response characteristic, while c. improves S/N ratio.

#### 2. Principle of Y. NR

VHS VTR's are equipped with an emphasis circuit as in the past. The emphasis circuit is composed of a pre-emphasis circuit and de-emphasis circuit.

Video signals inputted in recording are once supplied to the pre-emphasis circuit which emphasizes high frequency components of the signal, and then, supplied to the clipping circuit for frequency modulation as the input signal is recorded in FM waveform.

In playback, the demodulated video signals contain high frequency noise components which are mainly generated in FM recording and playback. The de-emphasis circuit suppresses high frequency to reduce noise, and the video signal returns to its original level since its high frequency was emphasized in recording.

The emphasis circuit improves S/N ratio in the manner as said above.

Conventional emphasis circuits are composed of CR elements, which can be replaced with transversal filters of delay elements.

Fig. 3-3-28 and Fig. 3-3-29 illustrate pre-emphasis and de-emphasis circuits and relationship between them.

According to the above principle, Y. NR circuit has been developed.

Next explanation is the idea of S/N ratio improvement.

A TV picture is composed of 625 scanning lines.

In Fig. 3-3-31, for example, every scanning line is a signal waveform shown by the corresponding arrow. In the figure, except bordering portions, neighboring lines show correlation waveforms without remarkable difference. If a noise is mixed with the signals in recording and playback as shown in Fig. 3-3-32, and the signals of line n and line n-1 are added, the signal becomes double and the noise will be  $\sqrt{2}$  times (not double because noise occurs at random). Therefore, when the signal is reduced half to be the original waveform, the noise becomes  $\frac{\sqrt{2}}{2}$  and the S/N ratio is improved to  $\frac{1}{\sqrt{2}}$  (3 dB in amount).

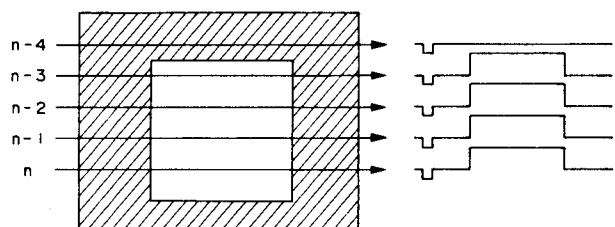


Abb./Fig. 3-3-31

sondern auch bei weiteren zwei aufeinandertreffenden Linien neben der benachbarten, so daß durch Addieren dieser Linien, mit einer Schaltung entsprechend Abb. 3-3-33 das S/R-Verhältnis noch verbessert werden kann. In Wirklichkeit entspricht dies nicht ganz dem Regelfall, denn der Betrag der Reduzierung steigert sich noch mit der Dichte zweier benachbarter Linien proportional.

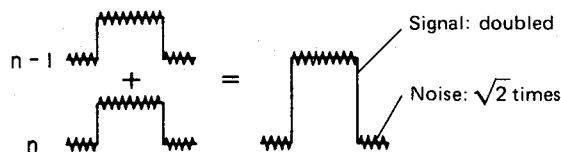


Abb./Fig. 3-3-32

Vereinheitlicht kann folgende Regel befolgt werden:

$K_0 = 1, k_1 = k, k_2 = k^2, \dots, k_n = k^n$  wie in dem Beispiel von Abb. 3-3-34 dargestellt. Im Falle der Addition unter gleichen Voraussetzungen wurde diese Idee mit einer 1 H-Verzögerungsschaltung realisiert. Die Abb. 3-3-35 zeigt das Beispiel einer solchen Schaltung. Wird Abschnitt g der Schaltung dabei auf den bestmöglichen Wert eingestellt, kann die Verbesserung des S/R-Verhältnis theoretisch folgenden Wert erhalten:

$$20 \log \sqrt{\frac{1-k}{2}}$$

Beim Einsatz einer Schaltung wie unter Abb. 3-3-35 werden dem Bild Vertikalsignale hinzugefügt, wie in Abb. 3-3-36 (b) zu sehen ist. Liegt eine vertikale Bildinformation jedoch an den äußeren Bildkanten, so ist die Anstiegsflanke des Signals mäßig, wie Abb. 3-3-36 (a) zeigt, da die benachbarte Abtastlinie addiert wird. Dies verursacht eine Verschlechterung der Vertikalfrequenz-Charakteristik. Zur Lösung dieses Problems wird eine Schaltung mit einer Pre- und Deemphasis, wie sie schon beschrieben wurde, eingesetzt, um eine Signalform entsprechend Abb. 3-3-36 (b) zu erhalten. Damit ist die vertikale Anstiegsflanke in der Amplitude korrigiert und die Vertikalfrequenz-Charakteristik entscheidend verbessert. Das Wiedergabesignal kommt danach dem Original in Abb. 3-3-36 (c) sehr nahe.

Bei schwacher Anwendung dieser Methode im Bereich von kleinen Signalpegeln ergibt sich ein verbessertes S/R-Verhältnis, ohne Einbußen bei der Austauschbarkeit. Die Ausführung dieser Schaltung zeigt Abb. 3-3-35.

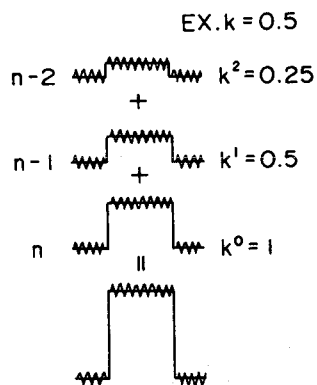


Abb./Fig. 3-3-34

### 3. Prinzip der Y-Rauschunterdrückung (Y.NR)

Abb. 3-3-37 Schaltung des Aufnahmesystems.

Während der Aufnahme sorgt diese Schaltung für eine Vorkompensation der sich sonst abschwächenden vertikalen Auflösung bei Wiedergabe. Die Signalform bei Bildfrequenz zeigt Abb. 3-3-38. Ein Rechtecksignal gelangt an den Eingang einer Signalquelle. Das Ausgangssignal von ADD (1) hat eine allmählich ansteigende Flanke, verursacht durch das periodische Tiefpaßfilter, bestehend aus der Additionsstufe ADD (1), 1 H DELAY und ATT (1). Da das Ausgangssignal größer als das Originalsignal ist, wird es durch ATT (2) wieder auf die Originalgröße gebracht. Das Differenzsignal zwischen dem Original und dem Tiefpaßsignal durchläuft das Hochpaßfilter SUB (1).

Dieses Signal wird, um den Betrag der Verluste bei Wiedergabe vorkompensiert. Um die Kassettenaustauschbarkeit sicherzustellen muß das Signal noch zunächst begrenzt werden, und wird anschließend mit dem Originalsignal von ADD (2) gemischt und steht dann als REC-Signal zur Verfügung.

As the correlation between lines exists not only between neighboring two lines but also another two lines next to the neighboring ones, S/N ratio can be improved by adding these lines, using a circuit as shown in Fig. 3-3-33.

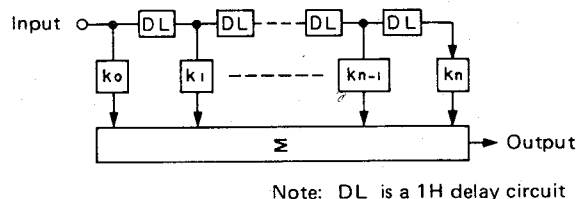


Abb./Fig. 3-3-33

In the above case, the adding is not done on the same rule but the rate increases proportionally for closer two lines. The rate can be set uniformly such as  $K_0 = 1, k_1 = k, k_2 = k^2, \dots, k_n = k^n$  as shown in Fig. 3-3-34 by way of example. In the case of the addition on the same rule, this idea is realized by using a 1 H delay circuit. Fig. 3-3-35 shows a principle circuit for example.

If g is set at the most suitable value for this circuit, theoretical S/N improvement becomes as shown below:

$$20 \log \sqrt{\frac{1-k}{2}}$$

If such a circuit as shown in Fig. 3-3-35 is applied, vertical signals are added on the picture as shown in Fig. 3-3-36(b).

However, if an edge portion of a picture is vertically displayed, the waveform is moderate at its rise portion as shown in Fig. 3-3-36(a) because the neighboring scanning line is added. This causes deterioration in its vertical frequency characteristic.

To solve this problem, applying the principles of pre-emphasis and de-emphasis explained previously for the vertical lines, treat the signal to be the waveform shown in Fig. 3-3-36(b), to correct the rise portion and increase it in vertical frequency characteristic. By this treatment, the waveform similar to the original shown in Fig. 3-3-36(c) is obtained in playback.

If this treatment is performed slightly just for low level signals, S/N ratio is improved without deterioration in changeability. This treatment is done by the limiter shown in Fig. 3-3-35.

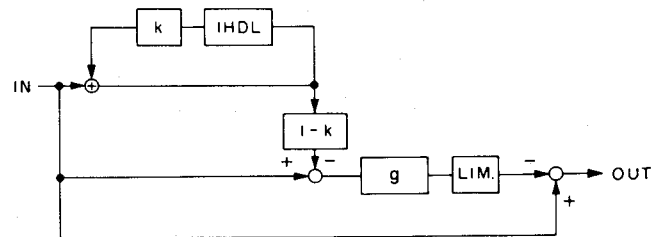


Abb./Fig. 3-3-35

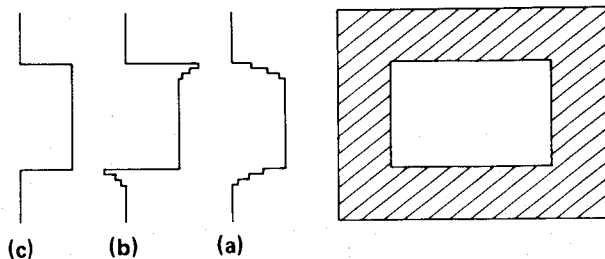


Abb./Fig. 3-3-36

### 3. Principle of Y.NR circuit

Fig. 3-3-37 shows a circuit of the recording system.

In recording, this circuit functions for precompensation of decrease in vertical resolution in playback. Waveforms observed at V. rate are shown in Fig. 3-3-38.

When a square waveform is inputted into signal source, the output from ADD(1) is moderate in its rise portion owing to the cyclic low pass filter consisting of ADD(1), 1 H DELAY and ATT(1). As this output is larger in amplitude than the original one, ATT(2) corrects it to have the same level as that of the original signal. The output of SUB(1) is high-pass signal which is the difference component between the original and low-pass signals. This highpass signal is amplified to have a level to compensate the playback signal, and, after its amplitude is limited by the limiter to secure the changeability, it is mixed with the original signal by ADD(2) to be sent as the REC signal.

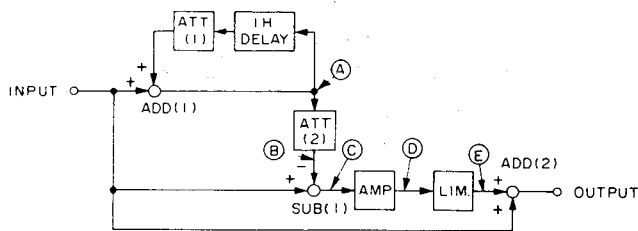


Abb./Fig. 3-3-37

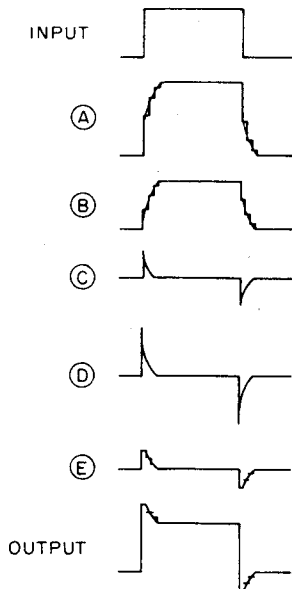


Abb./Fig. 3-3-38

#### Abb. 3-3-39 Wiedergabe-Schaltkreis

Diese Schaltung hat die Aufgabe, bei der Aufnahme oder Wiedergabe entstandenes Rauschen zu beseitigen. Wenn Wiedergabe-Signale (PB) am Eingang der Schaltung Rauschteile aufweisen, gelangt das Signal zunächst an das Tiefpaßfilter ADD (1), 1 H-DELAY und ATT (1), in dem das Rauschen entfernt wird. Am Ausgang von ADD (1) steht das rauschfreie Signal zur Verfügung. Wird dieses Signal wie bei der Aufnahme dem ADD (2) zugeführt, gelangt es gemeinsam mit dem Hochpaßsignal an den Ausgang von SUB (1), welches noch Rauschteile mit sich führt. Deshalb durchläuft das gemeinsame Signal noch die Stufen ATT (3), zur wirksamen Rauschunterdrückung, den Begrenzer, um Cassettenaustauschbarkeit zu gewährleisten und SUB (2), wo Rauschen mit umgekehrter Polarität addiert wird. Nach diesem Prozess entsteht ein Bild ohne Rauschen, vergleichbar mit dem Originalsignal.

#### 4. Schaltung der Rauschunterdrückung

IC6 enthält eine „Drop-Out“ Kompensationschaltung und einen nichtlinearen Deemphasiskreis für die Wiedergabe im LP-Betrieb. Außerdem noch die Y.NR Schaltung (Y-Rauschunterdrückung).

Das Y-Eingangssignal an Pin 22 von IC6 gelangt über den nichtlinearen Deemphasiskreis an ADD (2). Das ADD (2), ein zyklisches Kombinationsfilter, bestehend aus ADD (1) und der 1H-Delay Schaltung, wird zur Drop-Out-Kompensation herangezogen. Das Ausgangssignal von ADD (2) gelangt weiter an die Anschlüsse Pin 13 bis 15. Danach führt das Signal an den Block zur Rauschreduzierung und steht dann am Ausgang Pin 10 zur Verfügung. Im REC-Betrieb steht am Pin 12 das Signal für die reguläre Preemphasis.

Nachfolgend soll die Gesamtkonzeption der mit IC6 im Zusammenhang stehenden Schaltkreise erklärt werden.

#### Abb. 3-3-42

IC1 ist ein Ladungsspeicher-IC (CCD) mit 840 Bit Funktionen zur Erzeugung von 1 H-Verzögerungssignalen durch Wechsel der 13,3 MHz-Taktimpulse gemeinsam mit einem externen Tiefpaßfilter.

Das Y-Signal am Eingang Pin 11 von IC1 gelangt an die Sync. Klemmschaltung, um die Synchronspitzen auf einen festen Pegel zu halten. Anschließend folgt die CCD-Schaltung, welche die Y-Signale um jeweils 1 Bit im Takt der 10,7 MHz Impulse verschiebt.

Da eine 840 Bit CCD verwendet wird, ergibt sich daraus eine Y-Verzögerung von 63,2 µs am Ausgang. Das Signal gelangt zur Referenzschaltung (Sampling Hold) zur Umsetzung in kontinuierliche Y-Signale und stehen schließlich am Ausgang Pin 7. Weiter durchläuft das Signal das LPF1 über den Pufferkreis Q2. LPF1 funktioniert nicht nur zur Einhaltung der Verzögerungszeit, sondern auch, um die Taktkomponenten, die noch im CCD-Ausgangssignal enthalten sind, sowie Störungen zu beseitigen.

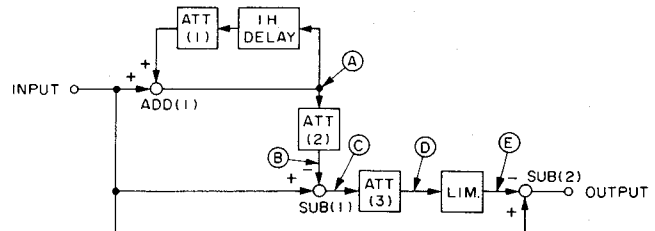


Abb./Fig. 3-3-39

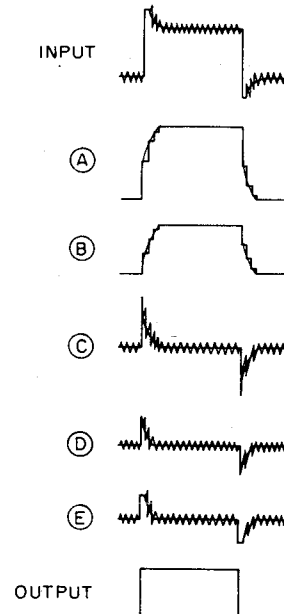


Abb./Fig. 3-3-40

Fig. 3-3-39 shows a playback circuit.

This circuit functions to remove noise generated in recording and playback. When P. B. signal containing noise is inputted to the input terminal, the cyclic low-pass filter composed of ADD(1), 1 H DELAY and ATT(1) removes the noise, and ADD(1) outputs noiseless signal. If this signal is sent to ADD(2) in the same manner as in recording, output of SUB(1) is high-pass signal containing noise.

Therefore, the circuit is designed so that the signal passes ATT(3) which decrease noise effectively, the limiter to secure changeability, and SUB(2) which adds noise in reversed polarity. Through the above processes, the same output signal, without noise, as the original one can be obtained.

#### 4. Detail of Y. NR circuit

IC6 contains a drop out compensation circuit and a non-linear de-emphasis circuit for playback in LP mode, besides the Y. NR circuit. (See Fig. 3-3-41).

Y signal inputted through pin 22 of IC6 is supplied to ADD(2) via the non-linear de-emphasis circuit. The ADD(2) is a cyclic comb filter, composed of ADD(1) and 1 H delay circuit, which is used for drop-out compensation also. Signal outputted from ADD(2) is supplied to pin 13 through pin 15. This signal is sent to the noise reduction block and then outputted from pin 10.

Signal outputted from pin 12 in REC mode is used for regular pre-emphasis.

The following is an explanation of the circumference circuits of IC6.

IC1 which is a CCD delay IC of 840 bits functions to obtain 1 H delay signal by changing the 13.3 MHz clock in combination with an external low-pass filter. (See Fig. 3-3-42).

Y signal inputted through pin 11 of IC1 is sent to the sync. clamp circuit, which regulates the sync. tip level to a constant voltage, and then supplied to the CCD circuit, which shifts 1-bit Y signal every input of 10.7 MHz clock pulse. The output is 63.2 µsec delayed Y signal since the 840-bit CCD is used. This output is supplied to the sampling hold circuit to be converted into continuous Y signal and outputted from pin 7. The signal is sent again to LPF1 via Q2 as a buffer.

LPF1 functions not only to adjust the delay time but also to remove clock components contained in CCD output and folded distortion of input signal. 1 H delayed Y signal outputted from LPF1 is supplied to R45 for level adjustment via a buffer of Q1, and then sent to pin 5 of IC6.

IC4 is a 13.3 MHz clock pulse oscillator. (See Fig. 3-3-43).

Pin 1 is supplied with 4.43 MHz signal from the color module. On the other hand, output of 13.3 MHz VCO is supplied to the phase detector after it is



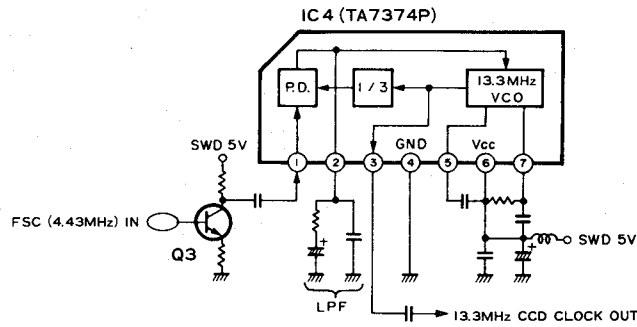


Abb./Fig. 3-3-43 13,3 MHz CCD-Taktoszillator/13.3 MHz CCD clock generator

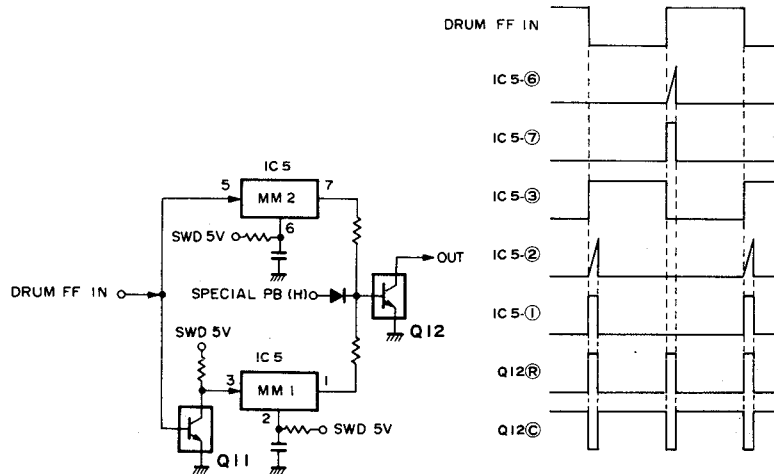


Abb./Fig. 3-3-44 Vertikal-Impulsgenerator/V. blanking pulse generator

### 3.4 Audio-Schaltung

#### 3.4.1 Ton-Eingangsschaltung

### 3.4 Audio circuit

#### 3.4.1 Audio input circuit

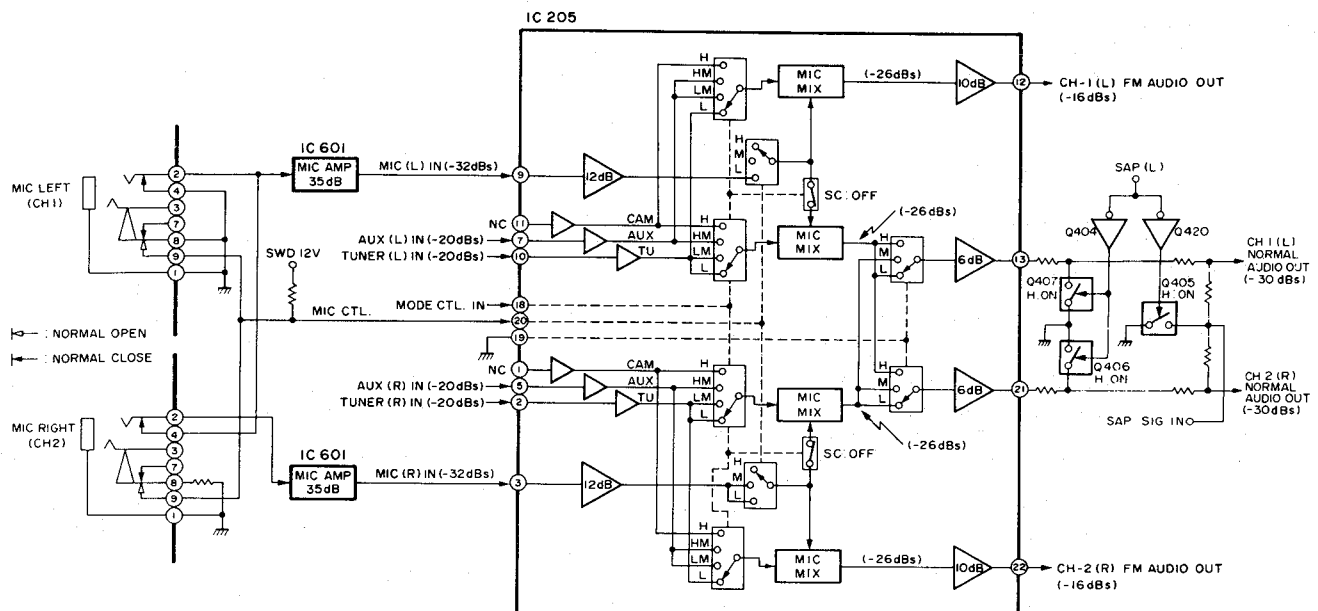


Abb./Fig. 3-4-1 Ton-Eingangsschaltung/  
Audio input circuit

MODE SELECT SW	MODE CONTROL		MODE SW OUTPUT	
	IC205- ⑮		FMA	NOR. A.
—	H	8.8 – 11 V	—	—
AUX	HM	5.5 – 8.8 V	AUX	AUX
SC	LM	2.2 – 5.5 V	AUX	TUNER
TUNER	L	0 – 2.2 V	TUNER	TUNER

Tabelle/Table 3-4-1 Ton-Umschaltung/  
Mode select

MIC		MIC CONTROL		MIC IN IC205		MIC MIX	
				⑨	③		
L	R	H	7.9 – 11 V	X	X	L	R
OFF	OFF	M	3.1 – 7.9 V	X	R	R	R
ON	OFF	L	0 – 3.1 V	L	L	L	L
ON	ON	L	0 – 3.1 V	L	R	L	R

Tabelle/Table 3-4-2 Mikrofon-Umschaltung/  
Mic control

### 3.4.2 Ton-Ausgangsschaltung

### 3.4.2 Audio output circuit

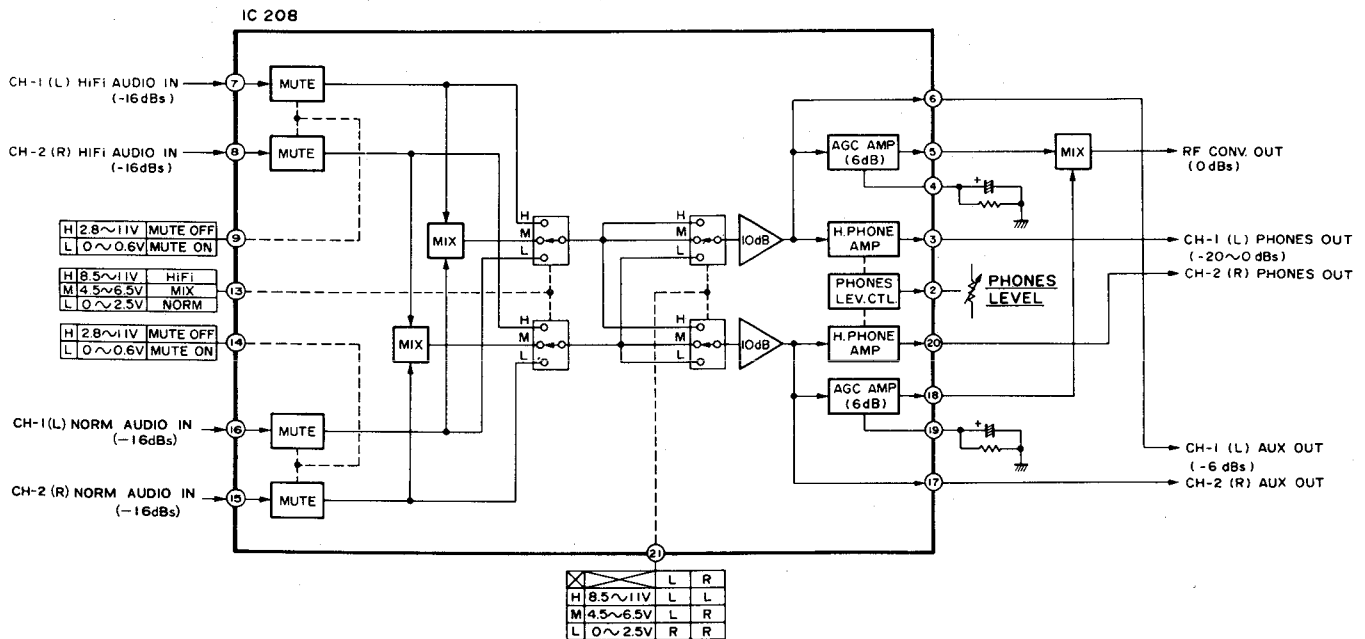


Abb./Fig. 3-4-2 Ton-Ausgangsschaltung/  
Audio output circuit

### 3.4.3 FM-Ton Stufe

Da die beiden Kanäle im wesentlichen gleich sind, wird nur der Kanal 1 (links) beschrieben.

#### 1. Signalweg bei Aufnahme

Das 1 kHz (–16 dB) Referenzsignal gelangt von IC205 Pin 12 einerseits über R247 (EE LEV L) an IC207 Pin 5. Über einen weiteren Zweig gelangt das Signal über R1 (Hi-Fi REC LEVEL) von der SWITCH-Leiterplatte an IC207 Pin 3.

Steht der AGC (AVR) Schalter in AUTO-Position, so entsteht L-Pegel am Pin 9, 10 und 11 des IC207. Das Eingangssignal am Pin 5 wird dann am Pin 4 abgenommen. Der Signalpegel beträgt –26 dB.

H-Pegel steht an Pin 9, 10 und 11, wenn der AGC-Schalter auf MAN gesetzt ist. In diesem Fall erhält der Pin 3 das Signal von Pin 4.

R281, R282 und R316 verlagern das Signal auf –35 dB. Dieses Signal wird dem Pin 24 von IC206, dem Rauschunterdrückungs-IC (NR), zugeführt. Die AGC Stufe von IC206 regelt dann entsprechend des am Pin 5 angelegten Pegels. H-Pegel veranlaßt den Einsatz der AGC Funktion, während bei angelegtem L-Pegel am Pin 5 die Schaltung als 15 dB Verstärker arbeitet. Hier hat der Anwender die Wahl, je nach AGC Schalterstellung. Das vom AGC Kreis kommende Signal wird mittels der NR-Schaltung codiert. Mit –24 dB wird das Signal am Pin 21 von IC204 entnommen und Pin 27 zugeführt. Nach Durchlaufen des 56 µsek. Preemphasiskreises wird das Signal bei 1.4 MHz + 150 kHz frequenzmoduliert und erscheint dann am Pin 29. Der Signalpegel beträgt ca. 2 Vss.

Q219 ist während REC-mute ausgeschaltet. Dieses setzt die Vorspannung von Q218 auf Null und die Stummschaltung für das FM-Signal setzt ein.

Q202 und Q205 bilden den Aufnahme-Verstärker. Das FM-Signal wird auf 2.2 Vss verstärkt und den sich drehenden Audio-Köpfen zugeführt.

### 3.4.3 FM Audio circuit

Since the circuits of both channels are essentially the same, only the channel 1 (Left) circuit is described below.

#### 1. Recording signal flow

The 1 kHz (–16 dB) reference signal from IC205 pin 12 is sent in one line via R247 (EE LEVEL) to IC207 pin 5. In another line, the signal goes through R1 (Hi-Fi REC LEVEL) of the SWITCH board to IC207 pin 3.

At the AUTO setting of the AGC switch, Low potential appears at IC207 pins 9, 10 and 11. The pin 5 input signal is then obtained from pin 4. Signal level is –26 dBs.

High potential appears at pins 9, 10 and 11 when the AGC switch is set to MAN, at which time, the pin 3 signal is obtained from pin 4.

R281, R282 and R316 shift the signal level to –35 dBs. This is applied to pin 24 of IC206, which is the noise reduction (NR) IC. The AGC stage of IC206 functions according to the level applied to pin 5. High potential provides the AGC function, while the circuit operates as a 15 dB amplifier with low potential at pin 5. These are selected by the user according to the AGC switch position.

The signal from the AGC circuit is encoded by the NR circuit. This output goes at –14 dBs from pin 21 to IC204 pin 27. Following the 56 micro-second emphasis circuit, the signal is frequency modulated at 1.4 MHz + 150 kHz and appears at pin 29. Signal level is approximately 2 Vp-p. The FM signal contains harmonic components that approximate square-waves. These are converted to sinewave form by L205 and C219, after which the signal is mixed with Channel 2 (Right) FM signal of 1.8 MHz + 150 kHz. The result is sent via R228 (REC LEV) and emitter-follower Q218 to the recording amplifier.

Q219 is OFF during REC mute. This cuts off Q218 bias and mutes the FM signal.

Q202 and Q205 compose the recording amplifier. The FM signal is amplified to 2.2 Vp-p and supplied to the rotary audio heads.

## 2. Signalweg bei Wiedergabe

Die FM-Signale von den sich drehenden Ton-Köpfen gelangen an die Pins 3 und 5 des IC101. Diese werden zunächst vorverstärkt und dann zu einem Dauersignal zusammengeführt und mit Referenz zum Flipflop-Signal an Pin 13 gegeben.

Das Signal durchläuft die Farb-Falle L102 und C119 und gelangt an den AGC-Verstärker, wo die Ausgangsspannung von Pin 13 auf ca. 200 mVpp reguliert wird.

Q205 und Q206 verstärken das Signal um 10 dB. Die Ausgangsspannung passiert das Bandpaßfilter L203, um daraus das 1,4 MHz + 150 kHz FM-Signal für Kanal 1 (links) zu gewinnen.

Das Signal gelangt dann zum Begrenzer IC204 Pin 24 und das demodulierte Signal erscheint am Pin 22. Die FM-Trägeranteile werden mit L208 und C294 entfernt, um danach das Signal über R236 (PB LEVEL) mit einer Absenkung auf -36 dB an das IC204 Pin 21 zu leiten.

Das IC204 enthält die CLI (closed loop interpolation), eine Schaltung zur Unterdrückung von Störungen die von Schaltvorgängen und „Dropouts“ herrühren. Vom Ausgang Pin 20 passiert das Signal die De-emphasis Schaltung, bestehend aus R301, R302, C230 und C231 und gelangt dann an Pin 22 von IC206 mit Absenkung auf -14 dB.

Nach der Dekodierung durch die NR Schaltung, wird das -20 dB Signal vom Pin 16 mit Q211 um 4 dB verstärkt und mit -16 dB an Pin 7 des IC208 weitergeleitet.

## 2. Playback signal flow

The FM signals played back by the rotary audio heads are supplied to pins 3 and 5 of IC101. These are preamplified and joined into a continuous signal with reference to the flipflop signal applied to pin 13.

The signal goes through the color trap of L102 and C119 to the AGC amplifier, where gain is regulated for approximately 200 mVp-p. This output is obtained from pin 13.

Q205 and Q206 amplify the signal to approximately 10 dB. This result is sent through bandpass filter L203 to become the 1.4 MHz + 150 kHz Channel 1 (Left) FM signal.

The signal goes to a limiter circuit at IC204 pin 24 and the demodulated signal appears at pin 22. FM carrier components are removed by L208 and C294, after which the signal is sent via R236 (PB LEVEL) to IC204 pin 21 at -36 dBs.

IC204 contains the CLI (closed loop interpolation) circuit for removing noise due to switching and dropout. This output from pin 20 goes through the de-emphasis circuit comprised of R301, R302, C230 and C231 to IC206 pin 22 at -14 dBs.

After decoding by the NR circuit, the -20 dBs signal from pin 16 is amplified 4 dB by Q211, then applied at -16 dBs to IC208 pin 7.

### 3.4.4 Standard-Ton-Schaltung

#### 1. Pin Funktion von IC402

Pin No.	Function	Pin No.	Function
1	GND	12	MIC amp. input
2	REC amp. output	13	MIC amp. feedback
3	REC peaking adjustment	14	MIC amp. output
4	REC amp. input	15	MIC control
5	E-E/REC/PB control input	16	AGC amp. input
6	Muting control input	17	Buffer amp. output
7	Buffer amp PB signal input	18	Monitor amp. input
8	PB EQ amp. output	19	AGC filter
9	PB EQ feedback	20	AGC input
10	PB EQ amp. input	21	Monitor amp. output
11	1/2 Vcc REG. filter	22	Vcc

Tabelle/Table 3-4-3 Anschlußbelegung von IC402/  
IC402 pin function

### 3.4.4 Normal audio circuit

#### 1. IC402 pin function

## 2. Steuerung von Wiedergabe/EE/Aufnahme

Die interne Umschaltung der Betriebsarten ist abhängig vom Spannungspotential an Pin 16 von IC402. Siehe Tabelle 3-4-4.

## 3. Muting Steuerung

Beträgt das Potential an Pin 15 von IC402 2,7V oder mehr, wird der Monitorverstärker über die Muting Funktion stummgeschaltet. Pin 15 ist direkt mit dem Mechacon verbunden und wird mit einer Spannung von ca. 5V während der Mutingphase gesteuert.

Die Mutingfunktion wirkt nur in der Wiedergabe und E-E Betriebsart.

## 4. Funktion von IC401

IC401 besorgt die Umschaltung der Audioköpfe. Die zwei internen Schalter werden durch das Potential an Pin 5 bzw. Pin 7 geschaltet. Bei einer Spannung von mehr als 2,8V schließen die Schalter, bei einer Spannung von weniger als 1,5V öffnen sie sich.

## 2. PB/E-E/REC control

The inside mode of the IC402 is shifted according to the potential of pin 16 of IC402. Refer to Table 3-4-4.

## 3. Muting control

When the potential of pin 15 of IC402 is 2.7 V or over, muting is applied to the monitor amp.

As this pin is directly connected to the output of the mechacon, the voltage becomes approximately 5 V during muting.

## 4. IC401 function

IC401 functions to switch the audio heads. The two switches inside IC401 are turned according to the potentials of pin 5 and pin 7 respectively. When these pins are loaded with voltage of 2.8V or over, the switches are turned on, while turned off when the voltage is under 1.5V.

Pin 16	MODE	E. SW	REC AMP
Over 7.5 V	REC	REC	OPERATING
3.3 – 5.6 V	E-E	REC	MUTING
Under 1.6 V	PB	PB	MUTING

Tabelle/Table 3-4-4 Muting-Steuerung IC402/  
IC402 modes

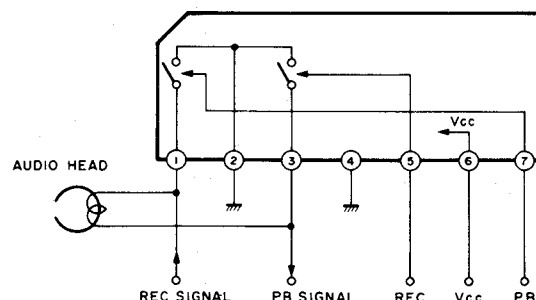


Abb./Fig. 3-4-4 IC401 Blockdiagramm/  
IC401 block diagram



### 3.5 Tuner/ZF-Schaltung

#### 3.5.1 Kanalwahlsystem

##### 1. Allgemeines

Der Recorder ist mit einem PLL Frequenz-Synthesizer-Tuner ausgestattet, welcher einen stabilen Empfang ohne Driftprobleme garantiert. Gleichzeitig sorgt eine mikroprozessorgesteuerte Regelschaltung für eine erleichterte Einstellung der Funktionen.

Die Kanalwahl kann auf zwei verschiedenen Wegen erreicht werden:

1) direkte Kanalwahl durch Eingeben der Kanalnummer mit einer Doppelzahl.

2) sequentielle Kanalwahl, in der der gewünschte Kanal durch eine Vor-/Rückwärts-Schrittschaltung eingestellt wird. Ergeben sich Differenzen zwischen Kanalfrequenz und Empfangssender, wird dies durch eine Feinabstimmung mit der enthaltenen AFC ausgeglichen.

Nachfolgend wird das System der Kanalwahl und der PLL-Frequenz-Synthese beschrieben.

##### 2. PLL Frequenz-Synthesizer

In Abb. 3-5-1 ist die Blockschaltung des PLL Frequenz-Synthesizers dargestellt. Der quarzstabile Oszillator liefert die Referenzfrequenz ( $f_r$ ). Der Phasenkomparator vergleicht die Phasendifferenzen zwischen  $f_r$  und  $f_o/N$  ebenso, wie auch die Frequenzen selbst und gibt die entstehende Differenz heraus. Das Tiefpaßfilter (LPF) besorgt nicht nur die Eliminierung hoher Frequenzanteile, die vom Phasenkomparator kommen, sondern ermittelt ebenfalls PLL Synchronisation und Durchlaßcharakteristik. Der VCO ist ein Oszillator, dessen Frequenz sich entsprechend der angelegten Regelspannung ändert. Der programmierbare Teiler  $1/N$  verändert das Teilverhältnis entsprechend der Ganzzahl ( $N$ ), die zuvor gesetzt wurde. Wird „ $f_r$ “ als Referenzfrequenz und „ $f_o$ “ als Ausgangsfrequenz angesetzt, dann kann für den abgeschlossenen PLL-Vorgang folgende Formel eingesetzt werden:

$$f_r = f_o/N \rightarrow \therefore f_o = N \cdot f_r$$

Da  $N$  eine gewählte Ganzzahl ist, wird aus der o. a. Formel klar, daß sich „ $f_o$ “ entsprechend der Schritte von „ $f_r$ “ ändern muß. Dieses ist eine Kurzbeschreibung des Grundblocks.

Abb. 3-5-1 zeigt eine Prinzipschaltung und einen Basisblock, unbeachtet der entstehenden Kosten und Kriterien der einzusetzenden Bauteile. Unter den vielen Systemen, die erhältlich sind, ist gegenwärtig das „Pre-Scaler-System“ das gebräuchlichste.

Abb. 3-5-2 zeigt das Blockschaltbild einer PLL-Frequenzsynthese mit einem Pre-Scaler-System (Vorteiler). Bei diesem digitalen Abstimmungssystem wird ein schneller Festteiler zwischen dem VCO und dem programmierbaren Teiler eingesetzt. Dieser erlaubt dem Teiler, mit niedriger Frequenz zu arbeiten und gleichzeitig schnellem Zugriff zu vorgegebenen Frequenzen. Dabei ergibt sich ein Phänomen, bei dem sich die Vergleichsfrequenz im Verhältnis des Pre-Scaler-Teiler-Ratios ändert, was vom Standpunkt des S/R-Ratios der PLL ungünstig ist.

Zur Lösung dieses Problems wurde das nachfolgend beschriebene „Pulse-Swallow-System“ integriert.

Mit dieser Komponente steht ein Baustein nur für hohe Frequenzen zur Verfügung. Mit anderen Worten, dieser Schaltkreis kann mit außerordentlich hohen Frequenzen arbeiten, ohne zusätzlichen Einsatz von weiteren programmierbaren Teilerstufen oder Herabsetzung der Vergleichsfrequenz.

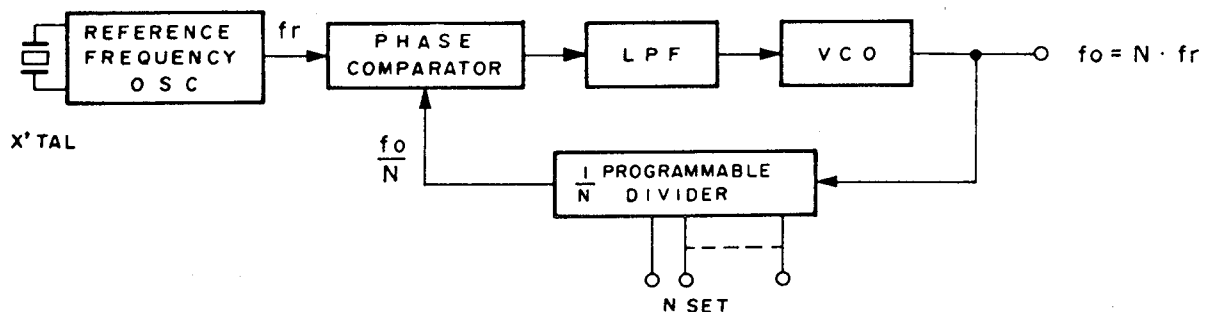


Abb./Fig. 3-5-1 Blockschaltbild PLL Frequenz-Synthesizer/Basic block diagram of PLL frequency synthesizer

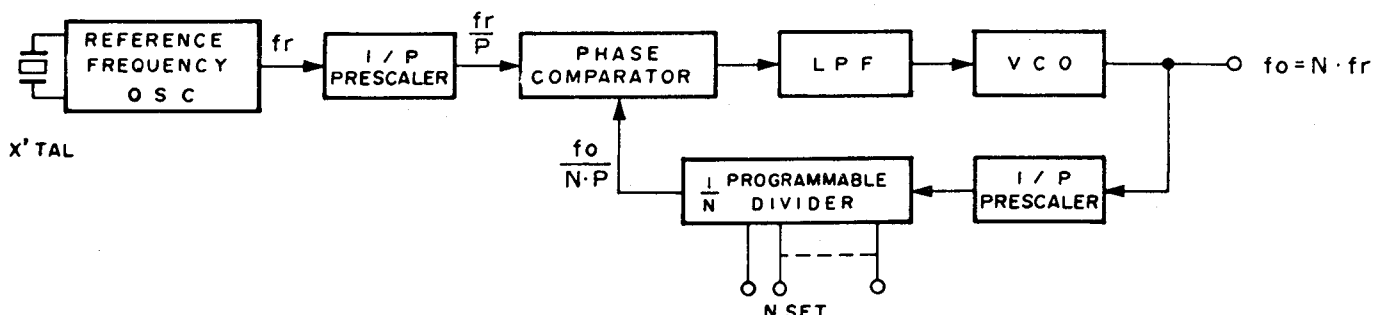


Abb./Fig. 3-5-2 Blockschaltbild digitale Frequenzsynthese/Block diagram of PLL frequency synthesizer of pre-scaler system

### 3.5 TUNER/IF CIRCUIT

#### 3.5.1 Channel selection system

##### 1. Outline

This model is equipped with a PLL frequency synthesizer tuner which has a characteristic of stable reception without tuning differences due to drift. At the same time, there is a microprocessor in the control circuit to increase the ease of operation.

Channel selection can be accomplished in two ways: 1) direct channel selection where the desired channel number is selected by command of double figures, 2) sequential channel selection with the desired channel memorized beforehand and selected by channel up/down scan operation. If there is a difference between the frequencies of a receiving carrier frequency and the normal, fine tuning will be done by tuning on the AFC switch.

Following are explanations of the channel selection system of this model, including a general outline of the PLL frequency synthesizer tuner.

##### 2. PLL frequency synthesizer

Fig. 3-5-1 shows a basic block diagram of the PLL frequency synthesizer.

The Reference Frequency Oscillator generates the reference frequency ( $f_r$ ) by means of its accurate crystal oscillator. The Phase Comparator compares the phase difference between  $f_r$  and  $f_o/N$ , as well as their frequencies and turns out the difference. The LPF (Low Pass Filter) functions not only in eliminating high frequency components generated by the phase comparator but also determines the PLL's synchronization and response characteristics. The VCO is an oscillator whose frequency varies according to the control voltage. The  $1/N$  Programmable Divider changes the dividing ratio according to the integer ( $N$ ) set beforehand. If „ $f_r$ “ is the reference frequency, and „ $f_o$ “ is the output frequency, the following formula will be achieved when PLL is completely locked.

$$f_r = f_o/N \rightarrow \therefore f_o = N \cdot f_r$$

Since  $N$  is an optional integer, it is clear from the above formula that „ $f_o$ “ changes according to the step of „ $f_r$ “. The above is a brief explanation of the basic block.

However, Fig. 3-5-1 shows a principle and basic block diagram regardless of costs and characteristics of components to be used. In practice, many systems are planned in consideration of such limitations. Among various systems in the field, the pre-scaler system is the most popular. Fig. 3-5-2 shows a block diagram of PLL frequency synthesizer of a pre-scaler system.

In a basic pre-scaler tuning system, an ultra high speed fixed divider (pre-scaler) is inserted between the VCO and the programmable divider. This permits the divider to function at lower frequency, thereby permitting faster access to a given frequency. In addition, there occurs a phenomenon where the comparison frequency drops at the ratio of the pre-scaler's dividing ratio, which is unfavorable from the viewpoint of the S/N ratio of the PLL. This model resolves the problem by adopting the pulse-swallow system that will be described below.

In the pulse-swallow system, a high-speed device is utilized only for high-speed components. In other words, this circuit increases in operation frequency without an increase of the programmable divider's steps or a drop of comparison frequency.

Die Basisblockschaltung zeigt Abb. 3-5-1. Nach Vollendung des vollständigen PLL Programms kann folgende Formel angesetzt werden:

$$f_o = N \cdot f_r$$

Beim Einsetzen der Konstante P (P = plus Ganzzahl) wird Np der Quotient von N geteilt durch P mit dem Ergebnis A. Daraus resultiert für N:

$$N = P \cdot Np + A$$

Wird die Formel umgestellt, so daß (AP - AP) rechts erscheint, dann lautet die Formel:

$$\begin{aligned} N &= P \cdot Np + A + AP - AP \\ &= A(P + 1) + P(Np - A) \end{aligned}$$

Diese Formel repräsentiert die Arbeitsweise des Pulse-Swallow-Systems.

Die Details im einzelnen:

P und P + 1: Pre-Scaler Teiler-Verhältnis

Der Pre-Scaler muß die zwei Teilerverhältnisse herstellen. Dabei ist es zweckmäßiger und wirtschaftlicher, einen Pre-Scaler zu verwenden, als programmierbare Teiler hoher Geschwindigkeit.

A: Zählwert des Swallow Counters

Das Teilerverhältnis des Pre-Scalers ändert sich entsprechend dieses Wertes. Dieses zeigt sich in der unteren Zahl des Gesamtteiler-Verhältnisses.

Np: Programmierbarer Zählwert des Zählers

Dargestellt durch die obere Zahl des Gesamtteiler-Verhältnisses.

Nachfolgend werden die Funktionsabläufe, bezugnehmend auf die Formel, erklärt.

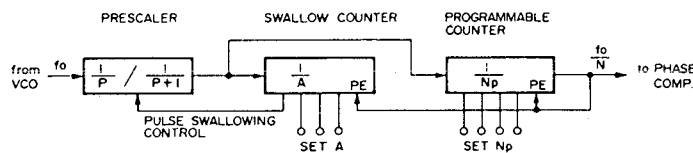


Abb./Fig. 3-5-3 Blockschaltbild programmierbarer Frequenzteiler  
Programmable divider block diagram

A basic block diagram is shown in Fig. 3-5-1, and when PLL is completely locked, the following formula is achieved.

$$f_o = N \cdot f_r$$

If a certain constant P (P = plus integer) is introduced, Np is the quotient of N divided by P, and the remainder is A, N can be shown by the following formula.

$$N = P \cdot Np + A$$

When the above formula is arranged by adding [AP - AP] to its right side, the formula becomes:

$$\begin{aligned} N &= P \cdot Np + A + AP - AP \\ &= A(P + 1) + P(Np - A) \end{aligned}$$

The above formula represents operation of the pulse-swallow system. The details are:

P and P + 1: Pre-scaler's dividing ratios

The pre-scaler is required to provide these two dividing ratios. But it is easier and more economical to adopt the pre-scaler than high-speed programmable dividers.

A:

Swallow counter's counting value

Pre-scaler's dividing ratio is changed according to this value. This also shows the lower figure of the whole dividing ratio.

Np:

Programmable counter's counting value

This shows the upper figure of the whole dividing ratio.

The following are explanations about the operations of the circuit referring to the formula.

Fig. 3-5-3 shows a block diagram of a programmable divider of the pulse-swallow system.

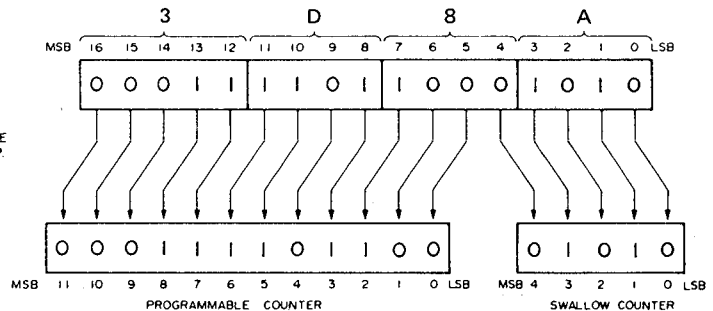


Abb./Fig. 3-5-4 Zähler-Vorwahl  
Counter preset

#### • Funktionsabläufe

- 1) Zunächst wird A in den Swallow-Counter und Np in den programmierbaren Counter eingegeben. Daraus resultiert ein Pre-Scaler-Teilerverhältnis von  $\frac{1}{P+1}$ , welches Eingangsimpulse zählt.
- 2) Zählt der Swallow-Counter Eingangsimpulse von A (P + 1), so wird der Zähler auf „0“ gestellt und das Teilerverhältnis des Pre-Scalers wechselt nach  $\frac{1}{P}$ .
- 3) Der programmierbare Counter, der das Zählen bei A begann, zählt nochmals Restimpulse von (Np - A). Da das Teilerverhältnis des Pre-Scalers  $\frac{1}{P}$  ist, werden am Ausgang PE Signale erscheinen, sobald der Counter auf „0“ steht, nachdem er Eingangsimpulse von P (Np - A) gezählt hat.

Nach Wiederholung der o. g. Schritte 1) bis 3) wird das folgende Teilerverhältnis realisiert:

$$N = (P + 1) A + P(Np - A) = P \cdot Np + A$$

Der im Recorder eingesetzte Zähler ist ein 5 Bit Swallow-Counter und 12 Bit programmierbarer Counter. Das Teilerverhältnis des Pre-Scalers kann von 1/128 zu 1/136 geändert werden.

Die Referenzfrequenz (fr) beträgt 5 kHz. Das Programmteiler-Verhältnis N kann durch die folgende Formel erreicht werden:

$$N = \frac{f_p + f_{IF}}{P \cdot f_r} \quad (f_o = f_p + f_{IF})$$

f<sub>p</sub>: Bildträger Frequenz

f<sub>IF</sub>: ZF-Frequenz

P: Ermittelte Konstante des Pre-Scaler's Teiler-Verhältnisses („8“ in diesem Recorder)

f<sub>r</sub>: Referenz-Frequenz

N: Teiler-Verhältnis des Programmteilers

f<sub>o</sub>: Oszillator-Frequenz

#### • Beispiel:

Empfang von Kanal 36

(f<sub>p</sub> = 591,25 MHz, f<sub>IF</sub> = 38,9 MHz, P = 8, f<sub>r</sub> = 5 kHz)

$$N = \frac{(591,25 + 38,9) \cdot 10^6}{8 \cdot 5 \cdot 10^3} = 15754 = 3D8AH$$

#### • Operation

- 1) First, preset A into the swallow counter and Np into the programmable counter. The resultant dividing ratio of the pre-scaler is  $\frac{1}{P+1}$ , which counts input pulses.
- 2) When the swallow counter counts input pulses of A (P + 1), the counter becomes „0“ and dividing ratio of the pre-scaler is changed to  $\frac{1}{P}$ . After that, the swallow counter remains in the „0“ condition until it receives PE IN (Preset Enable Input) signal.
- 3) The programmable counter which has counted by the point of A counts again the remainder pulses of (Np - A). As the dividing ratio of the pre-scaler is  $\frac{1}{P}$ , PE signal will be turned out when the counter becomes „0“ after counting input pulses of P (Np - A).

By repetition of the above steps from 1) through 3), the following dividing ratio is realized.

$$N = (P + 1) A + P(Np - A) = P \cdot Np + A$$

In this model the counters consisting of the pulse-swallow counter are a 5-bit swallow-counter and a 12-bit programmable counter. The pre-scaler's dividing ratio can be changed to 1/128 and 1/136.

The reference frequency (f<sub>r</sub>) is 5 kHz, and the program divider's dividing ratio N can be obtained from the following formula.

$$N = \frac{f_p + f_{IF}}{P \cdot f_r} \quad (f_o = f_p + f_{IF})$$

f<sub>p</sub>: Picture carrier frequency

f<sub>IF</sub>: IF frequency

P: Constant determined by the pre-scaler's dividing ratio („8“ in this model)

f<sub>r</sub>: Reference frequency

N: Program divider's dividing ratio

f<sub>o</sub>: Local oscillator's oscillation frequency

#### • Example:

In case of receiving CH-36 broadcast

(f<sub>p</sub> = 591,25 MHz, f<sub>IF</sub> = 38,9 MHz, P = 8, f<sub>r</sub> = 5 kHz)

$$N = \frac{(591,25 + 38,9) \times 10^6}{8 \times 5 \times 10^3} = 15754 = 3D8AH$$



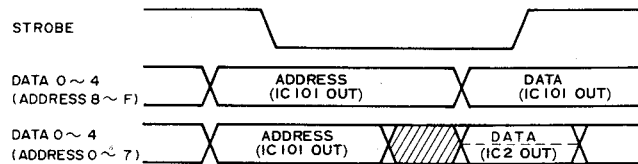


Abb./Fig. 3-5-6 Impulsverlauf auf dem T-T Bus  
T-T Bus timing chart

Address	Data 3	Data 2	Data 1	Data 0
0	—			
1				
2				
3	Real channel 1 : 1's position (BCD)			
4	Real channel 2 : 10's position (BCD)			
5	Position channel 1 : 1's position (BCD)			
6	Position channel 2 : 10's position (BCD)			
7	SEARCH	SKIP	CATV	—
8	TV/CATV ALT. REQ.	32 ch	TUNER ON	CH SET MODE
9	COMMAND (Refer to Table 3-5-2.)			
A	Position channel 1 : 1's position (BCD)			
B	Position channel 2 : 10's position (BCD)			
C	Real channel 1 : 1's position (BCD)			
D	Real channel 2 : 10's position (BCD)			
E	—			
F				

Tabelle/Table 3-5-1 T-T Daten-Bus/T-T bus data

Command	Function
0	—
1	—
2	SEARCH STOP
3	STORE
4	SKIP
5	FINE +
6	FINE —
7	LAST CH REQ.
8	REVERSE SEARCH START
9	CH UP
A	CH DOWN
B	SEARCH START
C	AUDIO MUTE 500 msec
D	TUNING LOCK
E	TUNING UNLOCK
F	—

Tabelle/Table 3-5-2 T-T Bus-Befehle/Command

#### 5. IC2 (M50440-391SP) Anschlußanordnungen

#### 5. IC2 (M50440-391SP) pin functions

Pin No.	Symbol	Label	IN/OUT	Contents
1	E0	SYNC DET (L)	IN	No Signal (H)
2	E1	BUSY (L)	OUT	DATA 0-3 INHIBIT
3	E2	MODE 0	IN	EG [ <sup>L</sup> <sub>H</sub> , EK [ <sup>L</sup> <sub>L</sub>
4	E4	MODE 1		
5	H0	AUDIO MUTE (H)	OUT	CH CHANGE
6	H1	TUNER ON (L)	OUT	INPUT SEL "TUNER" and E-E mode
7	H2	STROBE (L)	IN	DATA 0-3 TIMING REFERENCE
8	H3	MEMORY CS (L)	OUT	CH DATA MEMORY SELECT
9	OSC IN	] 4.0 MHz		
10	OSC OUT			
11	D	MEMORY DATA	IN/OUT	CH DATA IN/OUT
12	J0	DATA 0	IN/OUT	OPERATION DATA IN TUNER STATE DATA OUT
13	J1	" 1		
14	J2	" 2		
15	J3	" 3		
16	V <sub>ss</sub>	GND	IN	
17	P/D	ERROR	OUT	PHASE DET ERROR OUT
18	TEST	GND	IN	Not Used
19	AC	RESET (L)	IN	POWER ON RESET
20	MO	PSC SELECT	OUT	SWALLOW COUNTER OUT
21	FIN	PLL COUNTER	IN	PROG. COUNTER IN
22	G0	VHF - LOW (L)	OUT	BAND SELECT
23	G1	VHF - HIGH (L)	OUT	
24	G2	UHF (L)	OUT	
25	G3	SUPPER (L)	OUT	
26	L0	MEMORY CLOCK	OUT	CH DATA MEMORY CONTROL
27	L1	MEMORY MODE 1	OUT	
28	L2	" 2	OUT	
29	L3	" 3	OUT	
30	V <sub>DD</sub>	5V	IN	

Tabelle/Table 3-5-3 IC2 Anschlußanordnungen/IC2 pin functions

## 6. IC3 (M58655P) Anschlußanordnungen

## 6. IC3 (M58655P) pin functions

Pin No.	Symbol	Label	IN/OUT	Contents
1	V <sub>SS</sub>	5 V	IN	—
2	V <sub>GG</sub>	−30 V	IN	—
3	NC	—	—	—
4	$\overline{CS}$	CHIP SELECT (L)	IN	—
5	NC	—	—	—
6	CLK	CLOCK	IN	14 kHz TIMING REFERENCE
7	C1	MODE CTL	IN	READ/WRITE/ADDRESS/DATA
8	C2			
9	C3			
10	NC	—	—	—
11	NC	—	—	—
12	I/O	DATA	IN/OUT	SERIAL DATA
13	V <sub>GND</sub>	GND	IN	—
14	V <sub>M</sub>	NC	—	—

Tabelle/Table 3-5-4 IC3 Anschlußanordnungen/IC3 pin functions

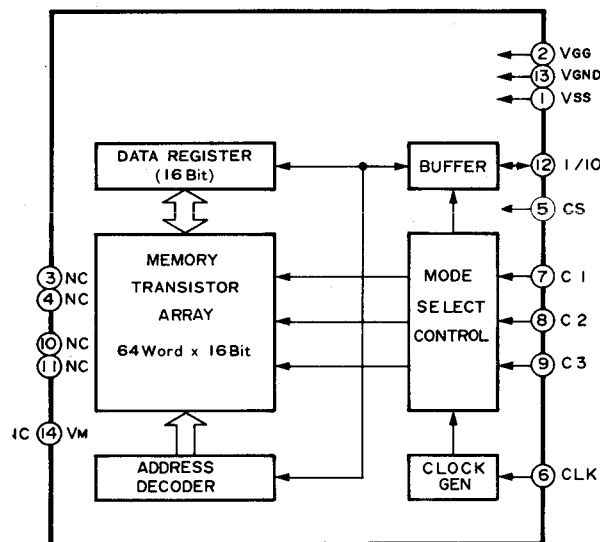


Abb./Fig. 3-5-7 IC3 Blockschaltbild  
IC3 block diagram

### 3.5.2 Signalweg

Das HF-Signal vom Antennenanschluß wird umgesetzt und gelangt als ZF-Signal an den Ausgang. Das Tunermodul hat neben den ANT, IN und ZF noch folgende Anschlüsse:

- MG (Main Bias): Hauptspannungs-Quelle des Tuners (12V)
- LB, HB, UB, SB: Band-Umschalt-Eingänge
- AGC (AVR): RF AGC/Tuner-Regelspannung
- TU (Tuning): Eingang der Oszillator-Abstimmspannung
- PB: 5V Stromversorgung für den Vortreiber
- PLL OUT: Vortreiber-Ausgang
- PSC IN: Vortreiber-Eingang für Teilerverhältnis

Das vom ZF (IF)-Anschluß des Tuners kommende Signal wird vom Q1 (AMP) verstärkt und durchläuft das ZF-Filter der folgenden Stufe.

Das SAW-1 ist ein Oberflächen Wellen Filter, das auf extern zugeschaltete, einstellbare Kreise verzichten kann, da er nur einen Resonanzpunkt hat und aufgrund seiner Charakteristik ungewollte Störeffekte nahezu ausgeschlossen sind. Das ZF-Signal, das durch SAW-1 von seinen Seitenbändern befreit wurde, gelangt dann an Pin 8 und 9 von IC1.

L2 und L3 sind ZF-Kompensationsfilter zur Unterstützung der SAW-1 Charakteristik.

Das dem IC1 zugeführte ZF-Signal wird im ZF-Verstärker (IF AMP) auf den für die Demodulation erforderlichen Pegel gebracht und gelangt dann an den Videodetektor. Dieses ist ein Synchron-Detektor mit einer PLL-Schleife, der frei von Seitenbandstörungen ist. Das demodulierte Ausgangssignal steht am Pin 28 zur Verfügung.

Der Signalweg führt zum Pin 30 von IC1 über die Tonfälle CF3 und L5. Danach wird der Störpegel, der die Synchronimpulse überschreitet, von einer BNC-Schaltung (Black-Noise-Canceller) invertiert und anschließend das Video-Signal vom Equalizer-Verstärker in seinem Frequenzverhalten kompensiert und an den Ausgang Pin 3 geführt. Von hier aus gelangt das Signal zunächst an R16 und R42, um auf den erforderlichen Y/C-Pegel eingestellt zu werden. Von dort aus zu den Video-Verstärkern Q3 und Q4, welche im Schaltbetrieb arbeiten.

### 3.5.2 Signal flow

RF signal supplied to ANT. IN terminal of the Tuner module to be converted into IF signal is outputted from IF terminal.

The tuner module has the following terminals besides ANT. IN and IF terminals.

- MB (Main Bias): Tuner's main power source (12V)
- LB, HB, UB, SB: Band select inputs
- AGC: RF AGC input
- TU (Tuning): Input of local oscillator control voltage
- PB: Power source (5V) for the pre-scaler
- PLL OUT: Pre-scaler output
- PSC IN: Switching input of pre-scaler's dividing ratio

IF signal outputted from IF terminal of the tuner module is amplified by Q1 (AMP) to pass through the IF filter of the next stage.

SAW-1 (Surface Acoustic Wave resonator-1) of the IF filter is a resonator which does not need an external tuning circuit because of its characteristic of little spurious response and one resonance point. The IF signal whose neighboring bands are removed by SAW-1 is then supplied to pins 8 and 9 of IC1. L2 and L3 are used to compensate the IF filter's characteristic.

The IF signal supplied to IC1 is amplified by IF AMP. to the level high enough for detection and then sent to the video detector circuit, which is a complete synchronous detector having a phase locked loop (PLL) and a characteristic with no orthogonal distortion in detecting signal sideband. The signal detected by this circuit is outputted from pin 28.

This signal is supplied to pin 30 of IC1 via the sound trap (CF3 & L5). After that the signal's pulse noises above the synchronizing signal level are inverted by BNC (Black Noise Canceller). It is compensated in its f characteristic by the equalizer amplifier and then outputted from pin 3. The video signal obtained in the above manner is first sent to R16 and R42 to be adjusted by Y/C level, and then supplied to the video circuit via the video amp. (Q3 & Q4), which functions at switching channels and receives no broadcasts.

#### Stummschaltung

Das Videosignal am Ausgang von IC1 Pin 3 gelangt an den Fh-Verstärker (Q5 und Q6), der die Fh-Anteile (15,625 kHz) verstärkt. Diese werden von D2, D3 und C37 gleichgerichtet und geselekt und als DC-Pegel an Q7 (E.SW) gegeben. Ist der Eingangspegel (DC) groß, steht am Ausgang HIGH-Pegel, ist der DC-Pegel klein, so entsteht am Ausgang LOW-Pegel.

### 3.6 Demodulator-Schaltung

#### 3.6.1 Allgemeines

Der Recorder ist in der Lage, Fernsehprogramme, die mit einem multiplexen Tonsignal ausgestrahlt werden, zu empfangen, aufzunehmen und wiederzugeben. Dabei wird die Wahl, ob Mono, Stereo oder 2-Ton-Betrieb vorhanden ist, automatisch geschaltet. Das demodulierte Audio-Signal gelangt über die Audio-IN/OUT-Schaltkreise zur Endstufe.

#### 3.6.2 Schaltungsbeschreibung

Das ZF-Signal (IF) vom Tuner wird vom Q3 um 10 dB verstärkt.

Das SAW-Filter läßt die Bild-ZF (38,9 MHz) und die Ton-ZF (33,4 MHz) ungehindert passieren und führt diese zum Pin 8 und 9 von IC1.

IC1 setzt sich zusammen aus dem ZF-Verstärker, Low-Level-Detektor (LLD) und dem Videoverstärker. Das gemeinsame Ton-ZF-Signal (Haupt: 5,5 MHz; Sub: 5,7421875 MHz; beide  $\pm 30$  kHz Hub), vom Pin 28 kommend, wird in zwei Wege aufgeteilt. Eines gelangt zum Bandpaßfilter CF1 und CF2, das dem Hauptkanal den Vorrang gibt und das Signal zum IC1 Pin 13 und 14 führt.

Im zweiten Zweig liegt das Bandpaßfilter CF4 und CF5, welches den Subkanal (5,75 MHz) vom Hauptkanal trennt und das Signal zum IC2 Pin 28 führt. Der Träger des Hauptsignals gelangt zunächst zum IC1 Pin 13 und 14 und damit an die Begrenzerschaltung, wo das Signal noch vor der Demodulation von unerwünschten AM-Anteilen befreit wird, und schließlich als Hauptsignal am Pin 19 zur Verfügung steht. Das Signal gelangt zunächst zur Pegeleinstellung an R31 (SEPARATION) und dann an Pin 1 von IC2, um von dort an die Matrixschaltung und weiter an den Schaltausgang SW innerhalb von IC2, nachdem es den Deemphasiskreis passiert hat. Dieser besteht aus dem internen Widerstand und C38, der am Anschluß Pin 3 von IC2 liegt.

Andererseits gelangt der Träger des Sub-Kanals vom Pin 28 (IC2) ebenfalls an eine Matrixschaltung im IC2 und danach an den Schaltausgang SW, mit dem Unterschied, daß in diesem Fall der Kondensator C37 am Pin 2 von IC2, zusammen mit dem Innenwiderstand, die Deemphasis bildet.

Durch die FM-Demodulation des Sub-Kanal-Trägers erhält man das Sub-Träger Audiosignal und das des Pilotträgers (Trägerfrequenz  $3,5 f_h = 54,6875$  kHz, AM-Signal, 50% moduliert). Das Pilot-Trägersignal passiert den auf 54,7 kHz abgestimmten Kreis und gelangt, nach der AM-Demodulation an das Bandpaßfilter BPF1. Dieses Filter besteht aus zwei Bandpaßfiltern, 117,5 Hz und 274,1 Hz, die jeweils ihrer Frequenz entsprechend, Sinusschwingungen abgeben, oder aber DC-Anteile, die an Pin 25 IC2 gelangen. Mit diesem Signal wird innerhalb von IC2 eine von den drei Betriebsarten erkannt: MONO, STEREO oder DUAL (2-Ton). Das entsprechende Signal führt weiter zur Steuerlogik im IC2. Diese Logik steuert sowohl den Schaltausgang, als auch die Betriebsanzeige - LED's.

Das Audio-Ausgangssignal am Schaltausgang IC2 durchläuft zunächst die Fh-Falle, um Zeilenknattern zu beseitigen, und nach Einstellung des Pegels gelangt das Signal zur Audiostufe.

The following explanation is about the sync detector.

The video signal outputted from pin 3 of IC1 is supplied to the Fh tuning amp. (Q5 & Q6) which amplifies the Fh components. The amplified Fh components are rectified and smoothed by D2, D3 and C37 to be converted into DC voltage, which is supplied to Q7 (E. SW). When input DC voltage is high, the output becomes HIGH, while it becomes LOW when the input DC voltage is low.

### 3.6 DEMODULATOR CIRCUIT

#### 3.6.1 General

This model features capability for receiving, recording and playing back television broadcasts containing multiplex sound information. Automatic selection is provided for monaural, stereophonic and 2-tone (dual) modes. The demodulated audio signal is supplied via the audio in/out circuit to the audio circuit. The following description is in reference to the circuit diagram.

#### 3.6.2 Circuit diagram description

The intermediate frequency (IF) signal from the tuner is amplified 10 dB at Q3. A surface acoustic wave (SAW) filter yields the video IF (38.9 MHz) and sound IF (33.4 MHz) components, which then respectively go to IC1 pins 8 and 9.

IC1 setzt sich zusammen aus dem ZF-Verstärker, Low-Level-Detektor (LLD) und dem Videoverstärker. Das gemeinsame Ton-ZF-Signal (Haupt: 5,5 MHz; Sub: 5,7421875 MHz; beide  $\pm 30$  kHz Hub), vom Pin 28 kommend, wird in zwei Wege aufgeteilt. Eines gelangt zum Bandpaßfilter CF1 und CF2, das dem Hauptkanal den Vorrang gibt und das Signal zum IC1 Pin 13 und 14 führt.

In the other route, the 5.75 MHz band-pass filter of CF4 and CF5 separates the audio sub channel signal and supplies it to IC2 pin 28.

The carrier of main channel signal supplied to IC1 pins 13 and 14 is first sent to the limiter to eliminate its AM components for FM detection and then output from pin 19 as the main channel audio signal. This signal whose level is adjusted by R31 (SEPARATION) is supplied to pin 1 of IC2 to be further sent to the matrix circuit and output SW circuit inside the IC2 after passing through the de-emphasis circuit composed of the internal resistor and C38 connected to pin 3 of IC2.

On the other hand, the carrier of sub channel signal supplied to IC2 pin 28 is sent to the matrix circuit inside IC2 and the output SW circuit like the main channel signal except a difference that C37 connected to IC2 pin 2 is used as the capacitor of the de-emphasis circuit.

By FM detection of the sub channel carrier signal, sub channel audio signal and carrier pilot signal (carrier freq.  $3.5 f_h = 54,6875$  kHz, AM waveform modulated by 50%) are obtained. The carrier pilot signal passes the 54.7 kHz tuning circuit and goes to BPF1 after AM detection. BPF1 composed of two band pass filters of 117.5 Hz and 274.1 Hz supplies sine wave (117.5 Hz or 274.1 Hz) or DC component to IC2 pin 25. Utilizing this signal the comparator inside IC2 detects one of three modes of MONO, STEREO and DUAL and a detected mode signal is sent to the control logic circuit inside IC2. The control logic circuit controls the output SW and mode LEDs according to information from the comparator.

Audio signal output by the output switch of IC2 is first processed by the Fh trap circuit to remove buzz components and, after level adjustment, sent to the audio circuit.

### 3.7 Tuner/Timer/Display Steuerschaltung

#### 3.7.1 IC101 (UPD75208CW)


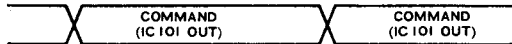

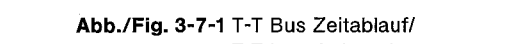
### 3.7 Timer/Display control circuit

#### 3.7.1 IC101 (UPD75208CW)

Pin No.	Symbol	Label	IN/OUT	Contents
1	S3	KS D	OUT	KEY SCAN PULSE OUTPUT
2	S2	" C		
3	S1	" B		
4	S0	" A		
5	P00	POWER DOWN (H)	IN	
6	P01	SERIAL CLOCK	OUT	Refer to 3.7.2.
7	P02	SERIAL DATA		
8	P03	TEST (L)	IN	CLOCK ADJUSTMENT
9	P10	COUNT DOWN (H)	IN	REEL REV (H)/FWD (L)
10	P11	COUNT PULSE	IN	REEL FG PULSE
11	P12	DISPLAY BUSY	IN	Refer to 3.7.2.
12	P13	TUNER BUSY	IN	Refer to 3.5.1 - 4.
13	P20	MECHACON DATA 0	IN/OUT	T-M BUS Refer to 3.1.3 - 3.
14	P21	" 1		
15	P22	" 2		
16	P23	" 3		
17	P30	NC		
18	P31	NC		
19	P32	VPS DATA 0		Refer to 3.8
20	P33	" 1		
21	P60	TUNER DATA 0	IN/OUT	T-T BUS Refer to 3.5.1 - 4.
22	P61	" 1		
23	P62	" 2		
24	P63	" 3		
25	P40	KS 0	IN	KEY SCAN DATA INPUT
26	P41	" 1		
27	P42	" 2		
28	P43	" 3		
29	PP0	PROG	OUT	EXPANDER TIMING REFERENCE
30	X1	SYSTEM CLOCK		
31	X2			
32	V <sub>ss</sub>	GND		
33	XT1	TIMER CLOCK		
34	XT2			
35	P50	EXPANDER 0	IN/OUT	Refer to 3.7.2.
36	P51	" 1		
37	P52	" 2		
38	P53	" 3		
39	RESET	RESET (L)	IN	
40	T0			
41	T1			
42	T2			
43	T3			
44	T4			
45	T5			
46	T6			
47	T7			
48	T8			
49	T9			
50	T10/PH3			
51	T11/PH2			
52	T12/PH1			
53	T13/PH0			
54	T14/S11			
55	T15/S10			
56	VLOAD	GND	IN	S0 - S9 GND
57	VPRE	GND		
58	S9	KS J	OUT	KEY SCAN PULSE OUTPUT
59	S8	" I		
60	S7	" H		
61	S6	" G		
62	S5	" F		
63	S4	" E		
64	VDD	5 V	IN	

Tabelle/Table 3-7-1 IC101 Anschlußanordnungen/IC101 (UPD75208CW-030) pin functions

### 3.7.2 IC102 (UPD82C43CY)

Pin No.	Symbol	Label	IN/OUT	Contents			
1	P50	NC		PROG			
2	P40						
3	P41						
4	P42						
5	P43						
6	CS	(L)	IN	COMMAND 3~F			
7	PROG		IN				
8	P23	EXP 3	IN/OUT			Refer to Fig. 3-7-1.	
9	P22	" 2					
10	P21	" 1					
11	P20	" 0					
12	GND	GND	IN				
13	P70	NC					
14	P71				Abb./Fig. 3-7-1 T-T Bus Zeitablauf/ T-T bus timing chart		
15	P72	AUX (H)	OUT	INPUT SELECT			
16	P73	TUNR(H)					
17	P63	M. STROBE	OUT	Refer to 3.1.3 - 3.			
18	P62	T. STROBE	OUT	Refer to 3.5.1 - 4.			
19	P61	VPS CTL		Refer to 3.8.			
20	P60	VPS CLK					
21	P53	DISPLAY CE	OUT	Refer to 3.7.5.			
22	P52	RESET (H)	OUT	For DISPLAY CONTROLLER			
23	P51	DISPLAY OFF (H)	OUT				
24	Vcc	5 V	IN				

Tabelle/Table 3-7-2 IC102 Anschlußanordnungen/IC102 (UPD82C43CY) pin functions

### 3.7.3 IC1 (UPD7538ACU-201)

Pin No.	Symbol	Label	IN/OUT	Contents	
1	RESET	RESET (H)	IN		
2	CL1	SYSTEM CLOCK			
3	CL2				
4	VPRE	−5 V	IN	For FDP DRIVE	
5	VLOAD	−30 V			
6	P53	l k j i	OUT	FDP SEGMENT SELECT	
7	P52				
8	P51				
9	P50				
10	P23	BUSY	OUT	Refer to 3.7.5.	
11	P22	NC			
12	P21				
13	P103	7G	OUT	FDP GRID SELECT	
14	P102	6G			
15	P101	5G			
16	P100	4G			
17	P113	NC 2G/3G 1G			
18	P112				
19	P111				
20	P110	1G			
21	VDD	5 V	IN		
22	P93	8G	OUT	FDP GRID SELECT	
23	P92	9G			
24	P91	10G			
25	P90	11G			
26	P83	12G			
27	P82	13G	OUT	FDP SEGMENT SELECT	
28	P81	14G			
29	P80	14G			
30	P43	h g f e	OUT		
31	P42				
32	P41				
33	P40				
34	P33	d c b a	OUT		
35	P32				
36	P31				
37	P30				
38	S1	SERIAL DATA	IN	Refer to 3.7.5.	
39	P02	TEST (L)			
40	SCK	SERIAL CLOCK			
41	P00	CHIP ENABLE			
42	Vss	GND	IN		

Tabelle/Table 3-7-3 IC1 Anschlußanordnungen/IC1 (UPC7538ACU-201) pin functions



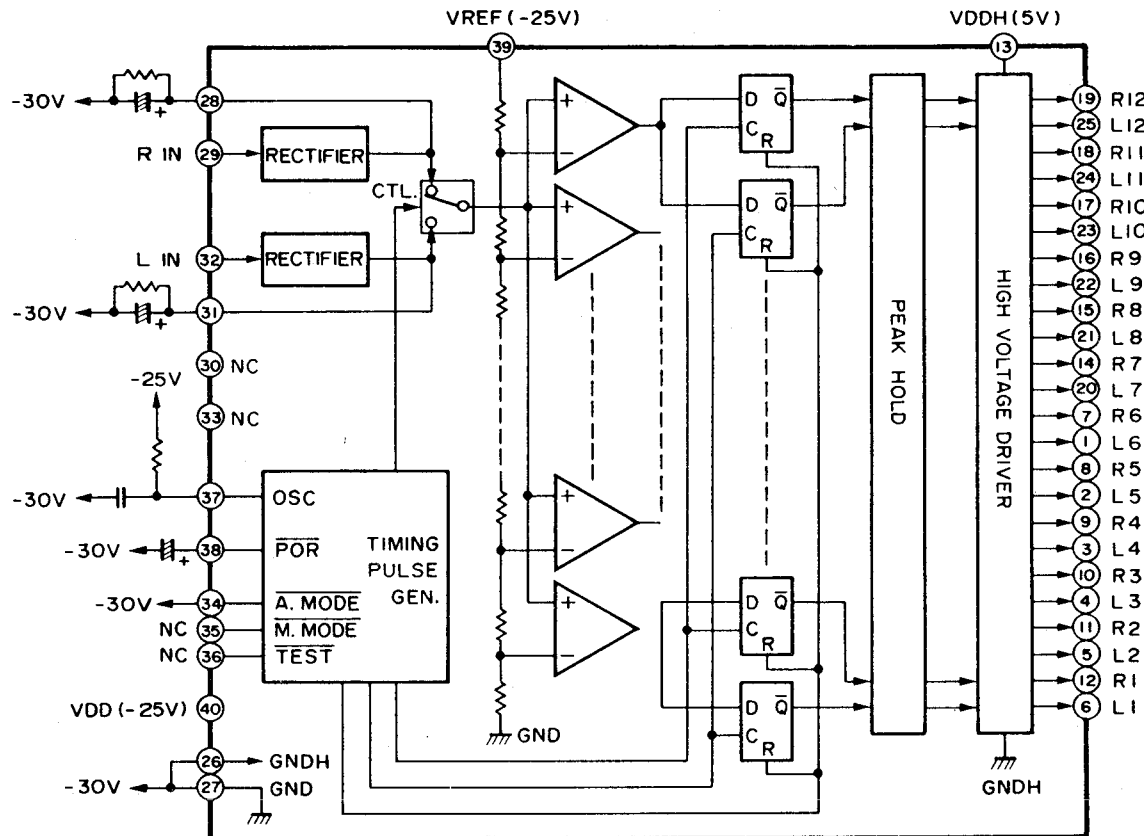


Abb./Fig. 3-7-2 Blockschaltbild Aussteuerungsanzeige/Audio level indicator driver block diagram

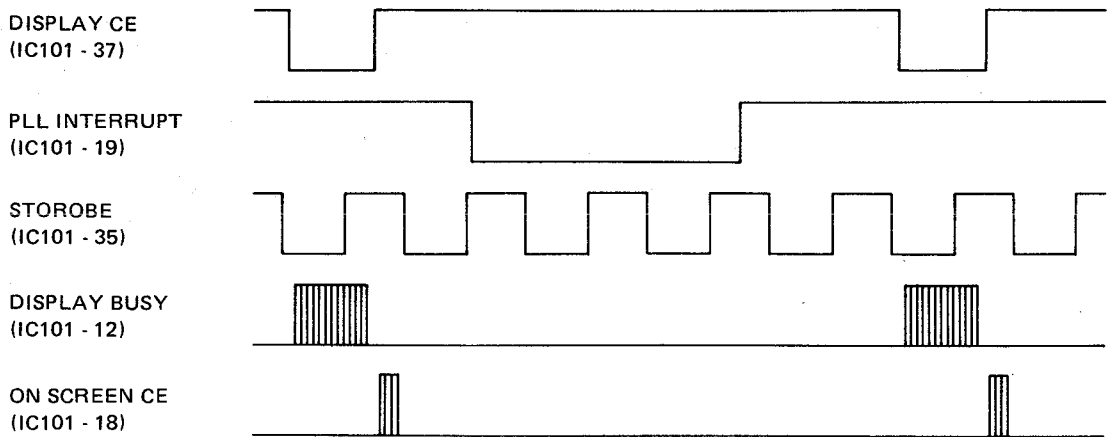
Pin No.	Symbol	Label	IN/OUT	Contents
1	L6	−3 dB L-ch dot	OUT	FDP dot outputs
2	L5	−5 dB L-ch dot		
3	L4	−7 dB L-ch dot		
4	L3	−10 dB L-ch dot		
5	L2	−15 dB L-ch dot		
6	L1	−20 dB L-ch dot		
7	R6	−3 dB R-ch dot	OUT	
8	R5	−5 dB R-ch dot		
9	R4	−7 dB R-ch dot		
10	R3	−10 dB R-ch dot		
11	R2	−15 dB R-ch dot		
12	R1	−20 dB R-ch dot		
13	VDDH	+5 V	IN	Power for R1–R12 and L1–L12
14	R7	−1 dB R-ch dot	OUT	FDP dot outputs
15	R8	0 dB R-ch dot		
16	R9	+1 dB R-ch dot		
17	R10	+3 dB R-ch dot		
18	R11	+5 dB R-ch dot		
19	R12	+8 dB R-ch dot		
20	L7	−1 dB R-ch dot	OUT	
21	L8	0 dB R-ch dot		
22	L9	+1 dB R-ch dot		
23	L10	+3 dB R-ch dot		
24	L11	+5 dB R-ch dot		
25	L12	+8 dB R-ch dot		
26	GNDH	−30 V	IN	Power for R1–R12 and L1–L12
27	GND	−30 V	IN	Analog and logic circuit ground
28	R OUT		OUT	CR terminal for peak hold of analog input
29	R IN		IN	Audio level signal input (max. 350 mVrms)
30	NC	NC		

31	L OUT		OUT	CR terminal for peak hold of analog input
32	L IN		IN	Audio level signal input (max. 350 mVrms)
33	NC	NC		
34	A. MODE	AUTO MODE (L)	IN	−30 V fixed. Peak hold 1.2 sec mode
35	M. MODE	NC		Not used
36	TEST	NC	IN	Not used
37	OSC	10 kHz		CR oscillator connection
38	POR	POWER ON RESET (L)		Reset release threshold voltage max. −24 V
39	VREF	−25 V	IN	Comparator reference source
40	VDD	−25 V	IN	

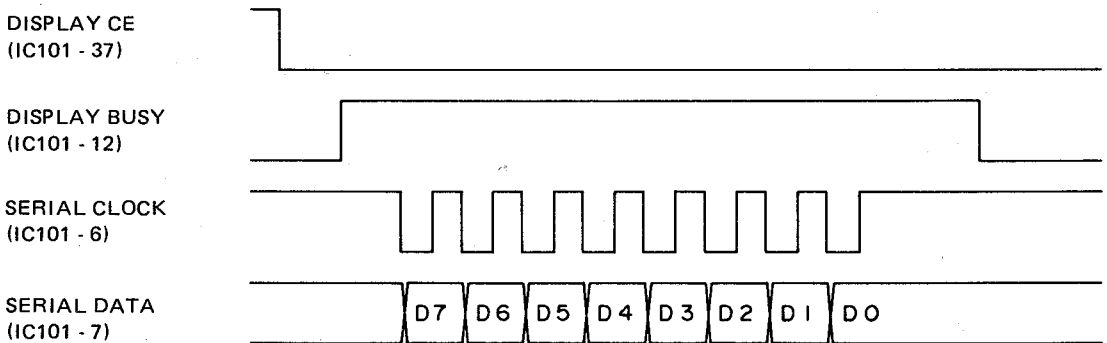
**Tabelle/Table 3-7-4** Anschlußanordnungen des Aussteuerungs-IC/Audio level indicator driver pin function

**3.7.5 Zeitdiagramm Tonaussteuerungsanzeige**

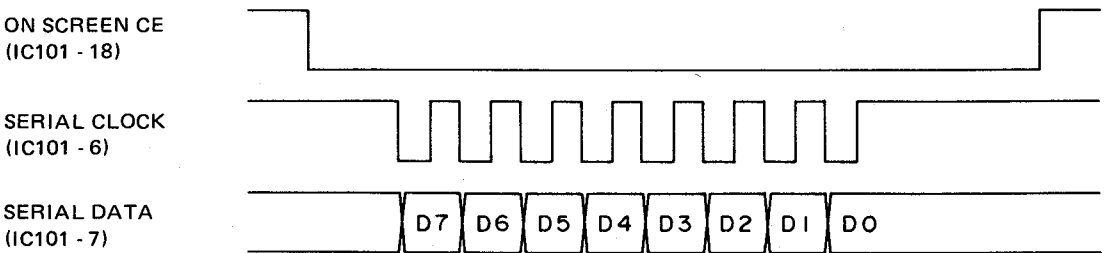
**3.7.5 Serial transfer timing chart**



**Abb./Fig. 3-7-3**



**Abb./Fig. 3-7-4**



**Abb./Fig. 3-7-5**

### 3.7.6 Bildschirm-Einblendungen (ON-Screen)

(siehe Abb. 3-7-6)

Alle Daten der Einblendungen kommen in Form von 8-Bit-Seriendaten von einem Mikroprozessor, der die Tuner, Timer und Display-Schaltung steuert.

Das IC104 ist eine CPU, welche die o.g. 8 Bit Seriendaten in 8 Bit Parallel-daten umwandelt und diese an den Charakter-Generator (IC105) weiterleitet. IC105 synchronisiert die eingehenden Charakter-Daten (Schriftzeichen) mit Videosignalen unter Einbeziehung extern zugeführter Sync.-Signale. Die abgegebenen Charakterdaten werden grundsätzlich in zwei Gruppen unterteilt: Zunächst in TIMER-Betrieb zur Anzeige des TIMER-Programm-Inhaltes. Diese Informationen enthalten weiße Schriftzeichen auf hellem Hintergrund des Bildschirms. In dieser Betriebsart werden die Video-Ausgangssignale von Sync.-Signalen synchronisiert, die im IC107 erzeugt werden (interner Sync.-Betrieb). Im zweiten Fall beziehen sich die Charakterdaten auf die Zeit, Kanalnummer und Betriebsart-Anzeige. Diese Signale werden mit Videosignalen gemischt und von diesen synchronisiert (externer Sync.-Betrieb).

Es gibt zwei Arten von ON-Screen-Ausgangssignalen:

1. Video-ON-Screen-Black (VOB) Signale, um den Bildschirmhintergrund dunkel zu steuern,
2. Video-ON-Screen-White (VOW) Signale, um die Schriftzeichen weiß zu steuern. Diese Signale werden mit Videosignalen im IC9 (Video-Umschalt-IC) gemischt und dann an die Video-Ausgangsstufe gegeben.

Außerdem werden 8 Bit Seriendaten vom Timer-CPU an Pin 38 von IC104 gegeben, der, wie schon erwähnt, die 8 Bit-Seriendaten in 8 Bit Parallel-daten umwandelt und diese an den Ausgängen 13 bis 20 abgibt.

Die notwendigen Schriftzeichen, erforderlich für die Anzeige, werden aus der Charakter-Display-Data-Memory (Datenspeicher) des Charakter-Generators IC105 ausgewählt. Aufgerufen werden diese vom Charakter-Display-Steuerkreis innerhalb des IC's über den Charakter-Generator und dem Schieberegister.

Dabei werden weiße Schriftzeichen (VOW-Signale) vom IC105 Pin 5 und schwarzer Hintergrund (VOB-Signale) vom Pin 6 des IC's abgegeben und dem IC9 zugeführt.

### 3.7.6 ON-screen display circuit (See Fig. 3-7-6.)

All data of the ON-screen display are supplied in the form of 8-bit serial data from a microcomputer controlling the tuner, timer and display circuits.

IC104 is a CPU to convert 8-bit serial data supplied from the said CPU to 8-bit parallel data, and the converted 8-bit data are supplied to the character generator IC (IC105).

IC105 synchronizes the incoming character data with video signals utilizing externally inputted sync. signals.

Outputted character data are basically classified into two: the first, in the timer program mode to display contents of timer programs, the characters are displayed in white on the white ground of the screen. In this mode, video signals are outputted in synchronization with sync. signals generated by IC107; in other words, the mode is an internal sync. mode. The second, character data form time, channel number and operation mode display are outputted being mixed with video signals; namely, the data signals are outputted in an external synchronization system to synchronize with video sync. signals.

There are two kinds of signals outputted from the ON-screen circuit. One is VOB signal to determine the screen's background in black, and another is VOW signal to display characters in white. These two signals are mixed with video signals in IC9 (video signal switchover IC) and then sent to the video output circuit.

On the other hand, 8-bit serial data are transmitted from the timer CPU to pin 38 of IC104. Which converts the 8-bit serial data to 8-bit parallel data and output them through pins 13 - 20.

Character data necessary for a display required are selected among the character display data memory inside the character generator IC105. They are outputted from the character display control circuit inside the IC, via the character generator and the shift register. Namely, VOW (white character) signal is outputted from pin 5 and VOB (black background) signal is outputted from pin 6 of IC105, and they are supplied to IC9.

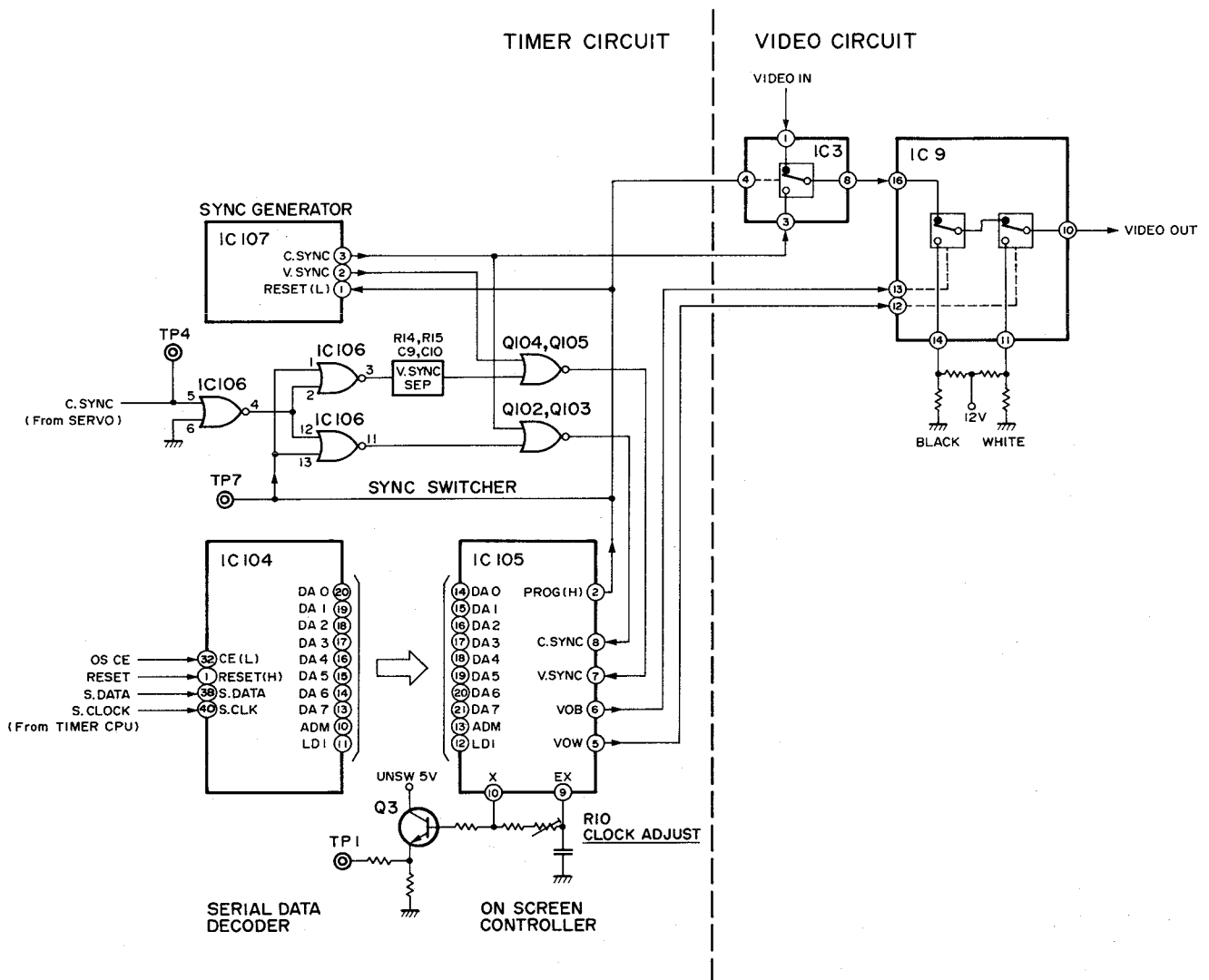


Abb./Fig. 3-7-6 Bildschirmeinblendungen/ON-screen display circuit

### 3.7.7 Steuerung der Synchron-Signale

VOW und VOB Signale haben keine Sync.-Signalanteile, wenn sie im IC105 generiert werden. Sie werden jedoch nach ihrem Austritt aus IC105 mit Sync.-Signalen vom Sync.-Signalgenerator IC107 synchronisiert oder aber von Video-Signalen.

Die Synchronisation erfolgt mit V- und H-Synchronimpulsen, die den Eingängen 7 und 8 des IC105 zugeführt werden. Damit wird die vertikale und die horizontale Position des eingeblendeten Schriftzuges gesteuert. Außerdem steuern diese Signale die Umschaltung der internen bzw. externen Synchronisation innerhalb von Q102, Q103, Q104 und Q105.

Bei internem Sync.-Betrieb (für TIMER-REC-Programm-Anzeige) werden Sync.-Signale von VD (Video-Data) bzw. vom COMPOSITE (FBAS) Signal, die im IC3 erzeugt werden, herangezogen.

Das VD-Signal gelangt über Q105 an Pin 7 des IC105. Das HD-Signal kommt vom Pin 3/IC107 als FBAS-Signal und gelangt weiter an IC101. Dieses Signal führt außerdem zum Q102, um H-Sync.-Impulse an IC105/Pin 8 zu liefern.

Als nächstes wird im Uhr-Betrieb (Timer-Display) das Synchron-Signal vom FBAS-Signal getrennt und gelangt vom Videokreis an Pin 5 von IC106. Bei dieser Betriebsart entsteht externe Synchronisation, da die Charakterdaten vom Video-Eingangssignal synchronisiert werden.

Das externe FBAS-Sync.-Signal geht an den Eingang 5 von IC106, wo es invertiert und geformt wird. Das FBAS-Sync.-Ausgangssignal führt danach zum Pin 2 und 12 von IC106, dessen Tor von ON/OFF-Signalen des internen bzw. externen Sync.-Signals, die vom Pin 2 des IC105 kommen, gesteuert wird.

Am Pin 2 von IC105 (PROGRAM H. OUT) steht ein H-Pegel bei internem Sync.-Betrieb (Programm-inhalts-Anzeige), und L-Pegel bei externem Sync.-Betrieb.

Nachdem die V-Sync.-Impulse durch ein LPF (Low Pass-Filter) abgetrennt wurden, gelangt das Signal vom Ausgang 3 des IC's IC106 an Q104. Das LPF setzt sich aus R14, R15, C9 und C10 zusammen.

Das Ausgangssignal von IC105/Pin 2 wird auch zum Pin 1 von IC107 geführt, damit dieses nur im internen Sync.-Betrieb arbeitet. Gleichzeitig gelangt dieses Signal zum Videoschalter.

## 3.8 Schematische Darstellung-VPS

### • VPS (Video-Programm-System)

#### 1. Allgemeine Beschreibung

Mit VPS werden TIMER-Aufnahmen bei Videorecordern mittels multiplexer Daten, die im Videosignal enthalten sind, gesteuert.

Der Videorecorder trennt solche Daten vom multiplexen Videosignal und zeichnet Fernsehprogramme zu vorausbestimmten Programmzeiten auf. Der Anwender setzt dabei für jedes Programm die Startzeit durch Bestimmung des Monats, Tag, Stunde, Minute und die Programm-Nummer (Timer-Programmierung).

VPS hat gegenüber konventionellen „Timer-Aufnahmen“ den Vorteil, Aufnahmen auch dann rechtzeitig durchzuführen, wenn sich die ursprünglich festgesetzte Sendezeit ändert.

#### 2. System-Übersicht

VPS-Daten haben eine Übertragungsrate von 2,5 M Bits/sek., werden zweiphasig moduliert und mit der 16ten Zeile eines Bildes übertragen.

Wie aus der Abb. 3-8-1 hervorgeht, entsteht aus der biphasigen Modulation eine reguläre Wellenform, die in jedem Bit entweder H- oder L-Pegel annimmt. Dabei befindet sich der logische Wert „1“ auf der abfallenden Flanke H → L und der Wert „0“ auf Flanke L → H.

Die VPS Daten bestehen aus 15 Wörtern, jedes Wort aus 8 Bits. Die Abb. 3-8-2 zeigt die 16te Zeile des Video-Signals.

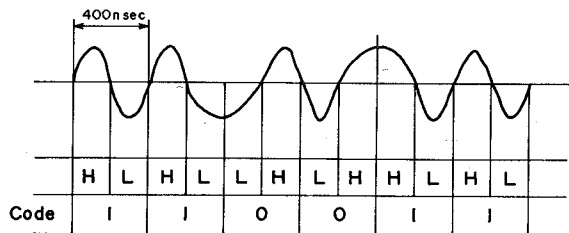


Abb./Fig. 3-8-1 Bi-Phasen-Modulation  
Bi-phase modulation

### 3. VPS Dateninhalt

Wort 1: RUN IN (Synchronisation)

Nachfolge vom logischen Wert 1's – hier der Takt-Anteil selbst, welcher CLOCK-Impulse durch den Decoder im Ruhestand auslöst.

Wort 2: START CODE

Wird verwendet, um zu beurteilen, ob das dekodierte Datum effektiv ist oder nicht. Außerdem werden die Bit-Positionen bestimmt. Das Signal dieses Wortes steht im Widerspruch zur Regel der Bi-Phasenmodulation (Aufeinanderfolge von Bits mit je einem H- bzw. L-Pegel).

Folglich sind Wort 1 und Wort 2 feststehende Signale, wie in Abb. 3-8-3 dargestellt.

### 3.7.7 Control of sync. signals

VOW and VOB signals do not have sync. signal components. When they are generated by IC105, however, when they are outputted, the two signals are synchronized with sync. signals outputted by IC107 (sync. signal generator), or separated from video signals.

The synchronization is performed by V. sync. and H. sync. signals inputted to pins 7 and 8 of IC105, in which these signals control synchronization of IC105 whose V. sync. and H. sync. control circuits control synchronization of displaying position of characters by these sync. signals. These sync. signals also control switchover of internal synchronization and external synchronization inside Q102, Q103, Q104 and Q105.

In the internal sync. mode (for Timer REC Program display), VD and COMPOSITE sync. signals generated by IC3 are used as the sync. signal.

The former, VD signal, is supplied to Q105 and then sent to pin 7 of IC105. HD signal is outputted from pin 3 of IC107 as a COMPOSITE signal, which is further sent to IC101. This COMPOSITE signal is also sent to Q102 to supply H. sync. signal to pin 8 of IC105.

Next, in the clock (timer display) mode, the sync. signal of composite sync. signal separated from video input signal is supplied from the video circuit to pin 5 of IC106. In this mode, the synchronization mode is an external sync. mode since character data are synchronized with video input sync. signal.

The external composite sync. signal is inputted to pin 5 of IC106, and pin 4 outputs it after inversion and shaping of its waveform inside the IC. The outputted composite sync. signal is supplied to pins 2 and 12 of IC106 whose gate is turned on and off by the ON/OFF control signal of the internal and external sync. signals outputted from pin 2 of IC105.

IC105 pin 2 (PROGRAM H. OUT) outputs High voltage in the internal sync. mode (program contents display mode), while outputs Low in the external sync. mode.

Output from pin 3 of IC106 sent to Q104 after its V. sync. signal is separated by LPF (Low Pass Filter), R14, R15, C9 and C10.

Output of pin 2 of IC105 is also supplied to pin 1 of IC107 to operate it only in the internal sync. mode. At the same time, this signal is sent to the video switcher circuit.

## 3.8 VPS Schematic

### • VPS (Video Programming System)

#### 1. General description

The VPS controls timer recording of the VTR with data multiplexed to video recording signals.

The VTR extracts such data signals from multiplexed video signals to record TV programs designated previously, while the user sets each program's starting time by appointing month, day, hour, minute and the channel number (timer programming).

The VPS has the advantage of conventional timer recording system, because the VPS can record designated programs if their scheduled times are changed.

#### 2. Outline of the system

VPS data having 2.5 M bits/sec transmission rate and being modulated by bi-phase are multiplexed to the 16th scanning line.

As shown in Fig. 3-8-1, this bi-phase modulation forms regular wave having a low and high level in every bit, and it is designed so that the logical value "1" is at H → L, while "0" at L → H.

There are 15 words of VPS data, and each word consists of 8 bits.

Fig. 3-8-2 shows video signals on the 16th scanning line.

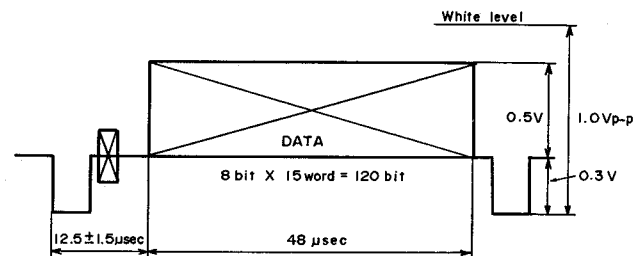


Abb./Fig. 3-8-2 16. Zeile des Videosignals (VPS-Datenzeile)  
16th scanning line video signal

### 3. Contents of VPS data

Word 1: RUN IN

Succession of logical value 1's – namely, CLOCK component itself, which makes clock pulse extraction by the decoder with ease.

Word 2: START CODE

Used to judge whether the decoded datum is effective or not, and to determine positioning of bits. The signal of this word is contradictory to the rule of bi-phase modulation (succession of bits having an H and L level each).

Consequently, Word 1 and Word 2 are fixed signals as shown in Fig 3-8-3.

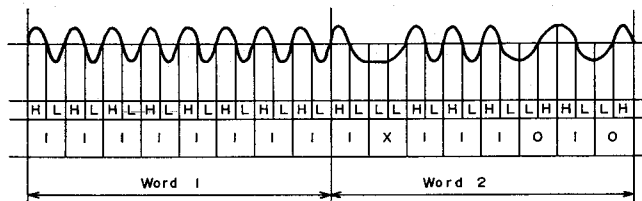


Abb./Fig. 3-8-3 Signale: Wort 1 und Wort 2  
Word 1 and Word 2 signals

Wort 3: Identifikation der Programm-Quelle (Binär Code)  
Wort 4: Identifikation der Programm-Quelle (ASCII)  
Wort 5: Bild- und Ton-Identifikation

Word 3: Program Source Identification (Binary coded)  
Word 4: Program Source Identification (ASCII)  
Word 5: Sound and Picture Identification

Bit No. Code	1	2	Status	3	4	Status	5	6	7	8
0	0	0	2-Ton	0	0	nicht jugendfrei	Reserve			
1	0	1	Mono	0	1	jugendfrei				
2	1	0	Stereo	1	0	nicht jugendfrei				
3	1	1	2-Ton	1	1	nicht jugendfrei				

Bit No. Code	1	2		3	4		5	6	7	8
0	0	0	Bilingual	0	0	For Adult	Reserve			
1	0	1	Mono	0	1	No Adult				
2	1	0	Stereo	1	0	For Adult				
3	1	1	Bilingual	1	1	For Adult				

Wort 6: Programm/Testbild-Identifikation  
Wort 7: Interner Informationsaustausch  
Wort 8: Adressenzuweisung vom Signalverteiler  
Wort 9: Adressenzuweisung vom Signalverteiler  
Wort 10: Nachrichten/Befehle  
**Hinweis:** Die Worte 3 bis 10 werden hier nicht verwendet  
Worte 11 - 14: Recorder Steuerinformation (siehe Tabelle 3-8-1)  
Wort 15: Reserve-Code

Word 6: Program/Test Picture Identification  
Word 7: Internal Information Exchange  
Word 8: Address Assignment of Signal Distribution  
Word 9: Address Assignment of Signal Distribution  
Word 10: Messages/ Commands  
**Note:** Words 3 through 10 are not used in this mode.  
Words 11 - 14: VCR Control Information  
(Refer to Table 3-8-1)  
Word 15: Reserved code

Tondaten und Sonderkennungen								VPS-Zusatzinformationen																																															
5								DZ 16-Wort-Nr.								11								12								13								14															
1	2	3	4	5	6	7	8	DZ 16-Bit-Nr.								1	8							1	8							1	8							1	8														
VPS-Bit-Nr.								VPS-Bit-Nr.								0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31								
Binärcode-Signifikanz								Binärcode-Signifikanz								M		L						M		L						M		L						M		L						M		L					
Reguläres Label								Reguläres Label								Adreßbereich		Tag binär						Monat binär						Stunde binär						Minute binär						Land binär		Programmquelle binär											
Spezielle Systemcodes								Spezielle Systemcodes								Spezielle Systemcodes																																							
System-Statuscode								System-Statuscode								A	A	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	N	.	N	P	.	.	.	P						
Leercode								Leercode								A	A	0	0	0	0	0	0	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	N	.	N	P	.	.	.	P									
Unterbrechungscode								Unterbrechungscode								A	A	0	0	0	0	0	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	N	.	N	P	.	.	.	P										

M ≙ MSB  
L ≙ LSB

A ≙ aktueller Adreßbereichscode  
N ≙ aktueller Nationalitätencode  
P ≙ aktueller Programmquellencode

System Status Code: Bei diesem Ausgangs-Code wird die Aufnahme durch das Video-Programm-System des Recorders gesteuert.

Blanc (leer) Code: Dieses Ausgangssignal entsteht, wenn der Recorder ein unbedeutendes TV-Signal empfängt, z. B. ein Testbild.

Interruption Code: (Unterbrechung) Dieses Ausgangssignal entsteht, wenn das empfangene TV-Programm unterbrochen wird. Der Recorder geht dann in die Wartestellung (REC PAUSE).

Word No.	11							12							13							14										
Bit No.	1							8							1							8										
VPS Bit No.	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
	Area code			Day				Month			Hour				Minute				Country code			TV station code										
	M			L				M			L				M				L			M			L							
Special Codes																							X									
System Status code	X	0 0 0 0 0					1 1 1 1				1 1 1 1 1				1 1 1 1 1 1																	
Blank code	X	0 0 0 0 0					1 1 1 1				1 1 1 1 0				1 1 1 1 1 1																	
Interruption code	X	0 0 0 0 0					1 1 1 1				1 1 1 0 1				1 1 1 1 1 1																	

M : MSB                      L : LSB                      X : Don't care.

System status code: When this code is outputted, recording is controlled by the VTR's timer programming system.

Blank code : This is outputted when the VTR is receiving valueless TV signals such as of a test pattern.

Interruption code : This is outputted when TV program in reception is interrupted. The VTR stands by in REC PAUSE mode.

Tabelle/Table 3-8-1 VCR-Kontroll-Daten/VCR control data

#### • VPS Datenerkennung

Die Schaltung zur Erkennung der VPS-Daten befindet sich im IC1 (HD49703). Dieses erlaubt einen einfachen Aufbau und minimalen Schaltungsaufwand. Die zu verarbeitende Datensequenz ist wie folgt:

1. Bestimmung der 16. Zeile
2. Erkennung der Bild-Komponenten der 16. Zeile des Videosignals
3. Zustand der Signalform der bi-phasenmodulierten VPS-Daten
4. Erzeugung der Kennimpulse vom Wort 1 Clock-Anteil
5. Übernahme der Kennimpulse, um die Daten sequentiell in das Schieberegister einzuschreiben.

Zur Anwendung kommen zwei Schieberegister mit 128 Bit. Diese speichern die Vor- bzw. Rückwärts-Anteile der VPS-Datenzyklen. Ein Timer-Steuermikroprozessor führt anschließend die Bi-Phasendemodulation durch.

#### 1. 16te Zeile-Diskriminator

Siehe hierzu Blockschaltbild 3-8-4 und den Zeitablaufplan Abb. 3-8-5.

Der FBAS-Sync gelangt an IC1 Pin 24 und Vertikal-Sync. an Pin 20. Der V.Sync. setzt den 5 Bit-Zähler CNT1 zurück, dieser zählt die FBAS-Sync-Impulse. Stellt sich am Transistor Q5 des CNT1 ein H-Pegel ein, geht der Clock-Eingang auf L-Pegel und der Zähler wird gestoppt. Wie aus dem Zeitablaufplan ersichtlich, ist Zeile 16 benannt, wenn Q1 bis Q4 auf H-Pegel stehen. Am Ausgang des NAND-Gatters NA1 steht das Signal zur Verfügung. Der Ausgang NA1 bleibt in der Zeit zwischen den negativen Flanken der 16. bis 17. Zeile auf L-Pegel. Es ist jedoch noch eine weitere Bearbeitung erforderlich, da der gewünschte Impuls zum Zeitpunkt, wo die VPS-Daten enthalten sind, L- oder H-Pegel haben kann. Der Flip-Flop FF2 erzeugt während 16. bis 17. positiven Zeilensynchronflanke einen H-Impuls, der vom Mono-Multivibrator MM2 um ca. 5 µs verzögert wird, um den Colour-Burst zu beseitigen. Das MM2 Ausgangssignal gelangt danach als Clock-Signal (Takt) an FF4, welcher bei der positiven Flanke vom MM2 von L auf H-Pegel geht. Dieses Signal wird zusammen mit dem Signal von Q1 des CNT1 an das NOR-Gatter NR3 gegeben. Die Folge ist ein NR3 Ausgangssignal mit L-Pegel in der Zeit, in der auch die VPS-Daten enthalten sind. Der L-Impuls wird von NA3 invertiert und erscheint am IC1 Pin 14.

In dieser Weise wird der gewünschte Impuls erreicht. Während der 329. Zeile wird der Impuls in gleicher Weise produziert. Aus diesem Grund muß auch der Halbbildwechsel erkannt werden. Abb. 3-8-6 veranschaulicht den Zeitablaufplan für das jeweils folgende Halbbild. Die 0,5 H Impulsanzahl nach dem Rücksetzen durch den V-Sync-Impuls beträgt 5 in Abb. 3-8-5 und 4 in Abb. 3-8-6. Der gegenwärtige 5. Impuls ist deshalb die Basis zur Erkennung des Bildwechsels.

Die positive Flanke des 4. 0,5 H-Impulses nach dem V-Sync. triggert MM1 zum Rücksetzen. Dieser hat eine Periodendauer von ca. 48 µs und steuert NR1. Auch der FBAS-Sync. gelangt an NR1, dessen NOR-Gatter-Ausgangssignal entsteht aber nur beim 5. 0,5 H-Impuls.

Das NR1 Ausgangssignal stellt FF3 zurück und öffnet damit das NR2 NOR-Gatter. Ist der 5. Impuls nicht vorhanden, dann wird FF3 nicht zurückgestellt, und NR2 bleibt geschlossen. Auf diese Weise wird der gewünschte Impuls vom IC1 Pin 14 abgegeben.

#### 2. VPS-Daten einlesen

Die Daten von dem VPS-Datenabfragekreis gelangt an Pin 7 von IC1 (siehe Zeitablaufplan von Abb. 3-8-7).

Hierfür ist eine 80 ns Impulsverzögerungsschaltung und ein exklusiv-ODER (EOR1) eingesetzt. Eine Verdopplerschaltung bringt die 2,5 MHz Clock-Impulse auf 5 MHz. Dieses Signal gelangt zum IC1 Pin 11, einem 5 MHz Schwingkreis. Der Schwingkreis bildet einen 5 MHz Takt-Genera-

#### • VPS data detector

The circuit for detecting VPS data is contained in IC1 (HD49703). This allows comparatively simple construction with minimal parts. The data detection sequence is as follows.

1. Determine 16th scanning line.
2. Sample picture component of 16th line video signal.
3. Shape waveform of bi-phase modulated VPS data.
4. Produce sampling pulse from Word 1 clock component.
5. Use sampling pulse to write data sequentially into shift registers.

Two 128-bit shift registers are used. These respectively store the forward and rearward components of the VPS data cycle. A timer control microprocessor then performs bi-phase demodulation.

#### 1. 16th line discriminator

Refer to the block diagram of Fig. 3-8-4 and the timing chart of Fig. 3-8-5.

Composite sync. is supplied to IC1 pin 24 and vertical sync. to pin 20. The V sync. resets the 5-bit counter CNT1, which counts the composite sync. When transistor Q5 of CNT1 goes High, the clock input goes Low and counting stops. As can be noted from the timing chart, the 16th scanning line is denoted when Q1 to Q4 are all High. This output is then obtained via NAND gate NA1.

NA1 output stays Low from the sync. fall of the 16th line to the sync. fall of the 17th line. However, further processing is needed since the desired pulse is one that stays either High or Low during the period the VPS data are contained. Flipflop FF2 produces a High pulse from the 16th line sync. rise to the 17th line sync. rise. Monostable multivibrator MM2 delays this pulse rise approximately 5 µs in order to remove the colour burst signal period. The MM2 output is sent as the clock signal to FF4, which goes from Low to High at the MM2 rise.

This signal is applied together with the signal from Q1 of CNT1 to NOR gate NR3. The NR3 output then becomes a Low pulse during the period the VPS data are contained. The Low pulse is inverted by NA3 and appears at IC1 pin 14. The desired pulse is obtained in this manner.

By using the same method, the pulse output is obtained at the 329th scanning line. For this reason, the field must also be discriminated. Fig. 3-8-6 shows the timing chart for the next field.

The 0.5 H pulse quantity after V sync. reset is 5 for Fig. 3-8-5 and 4 for Fig. 3-8-6. Therefore, the presence of the 5th pulse forms the basis for determining the field.

The 4th 0.5 H pulse rise after V sync. reset triggers MM1, which has a period of approximately 48 µs. This output controls NR1. Composite sync. is also supplied to NR1 and this NOR gate output is obtained only at the 5th 0.5 H pulse.

The NR1 output resets FF3, which opens the NR2 NOR gate. If the 5th pulse is absent, FF3 does not reset and NR2 remains closed. In this manner, the desired pulse is obtained from IC1 pin 14.

#### 2. VPS data write-in

The signal from the VPS data sampling circuit is supplied to pin 7 of IC1. Refer to the timing chart of Fig. 3-8-7.

An 80 ns pulse delay circuit and exclusive-OR EOR1 are employed. A 2.5 MHz clock signal is doubled to 5 MHz, which is sent from IC1 pin 11 to a 5 MHz tuning circuit. The tuning circuit forms a 5 MHz clock generator with the inverter between pins 12 and 13 of IC1. The stabilized 5 MHz clock signal is sent to inverter N1.

The clock signal from N1 goes to FF7. The 2.5 MHz VPS data are applied to the D input of FF7. The VPS data are sampled and supplied to the shift register.

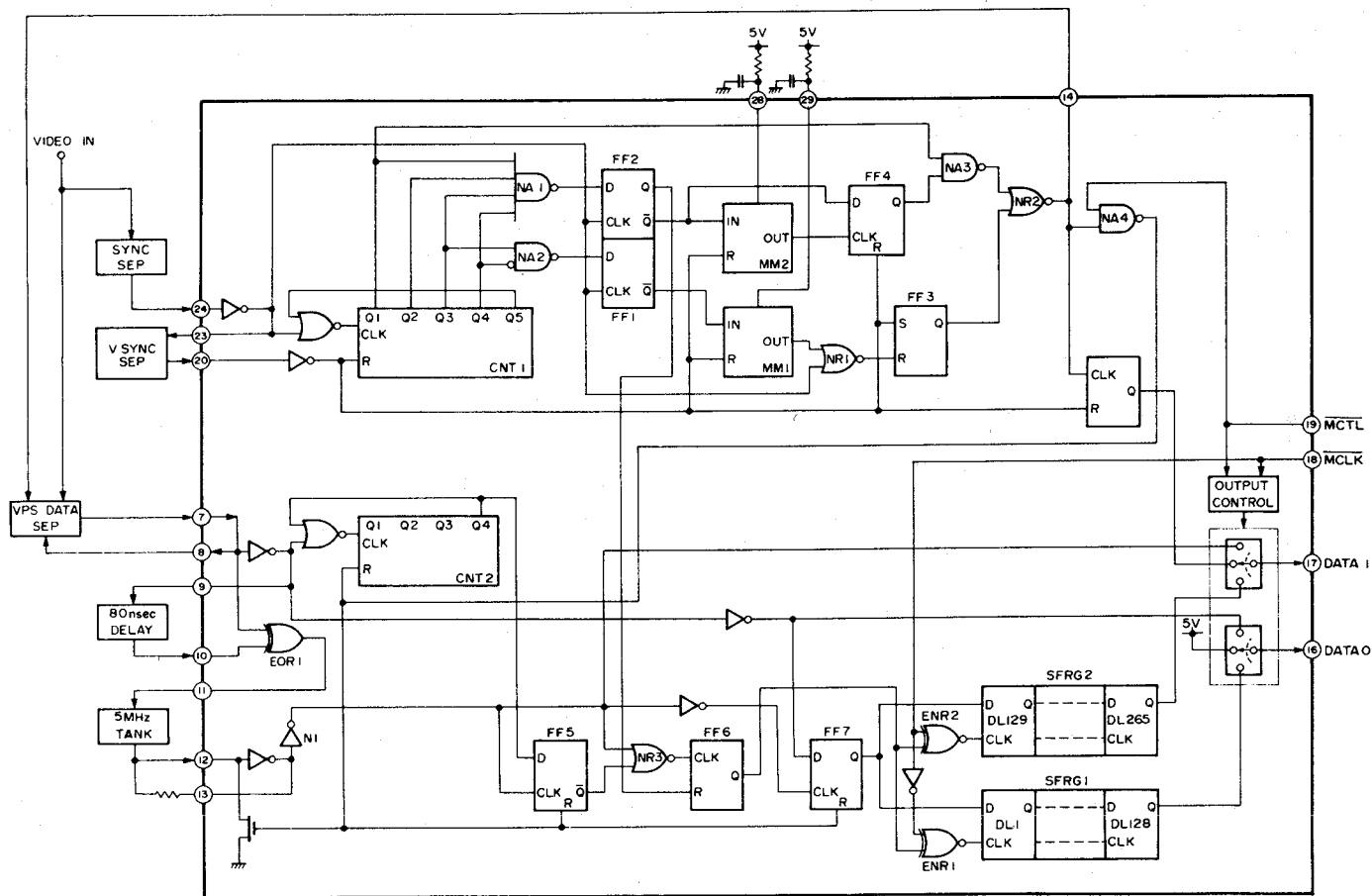


Abb./Fig. 3-8-4 Blockschaltung IC1/IC1 block diagram

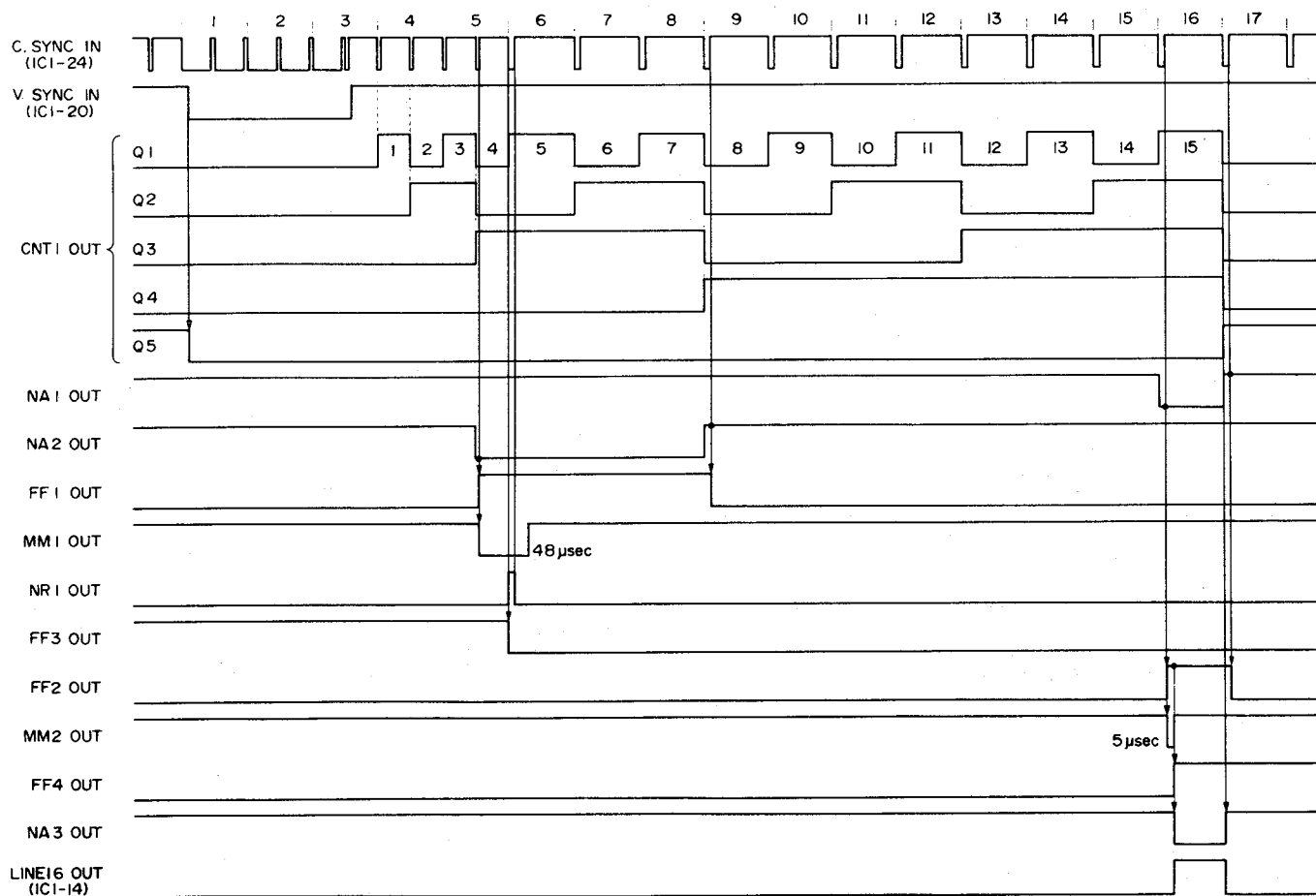


Abb./Fig. 3-8-5 Zeitabläufe IC1 (1)/IC1 timing chart (1)

tor mit einem Inverter zwischen den Anschlüssen Pin 12 und 13 des IC1. Das stabilisierte 5 MHz Takt-Signal gelangt zum Inverter N1.

Das Takt-Signal von N1 führt nach FF7. Die 2,5 MHz VPS-Daten werden abgefragt und dem Schieberegister zugeführt. Das Signal für das Schieberegister wird von CNT2, FF5, NR3 und FF6 angeliefert. CNT12 ist ein 4 Bit Counter. Nach Zählung bis 8 von 2,5 MHz gehen die VPS-Daten auf L-Pegel und Q4 auf H-Pegel. Dieses Signal führt zum D-Eingang von FF5, wo es von 5 MHz heruntergezählt wird, um dann das Clocksignal für das Schieberegister zu bilden.

Wegen der Unstabilität der 5 MHz Takt-Impulse werden dem Schieberegister während der 8 Zyklen des Wortes 1 keine Impulse zugeführt. Deshalb werden die sequentiellen VPS-Daten mit Hilfe der 2,5 MHz Takt-Impulse in das Schieberegister eingelesen.

### 3. Auslesen der VPS-Daten und IC1 Steuerung

Die Steuerung von IC1 erfolgt von den Pins 18 und 19. Die Ausgangssignale stehen am Pin 16 und 17 (siehe Tabelle 3-8-2).

Nr. 1: Betrieb zum Einlesen von VPS-Daten in das Schieberegister. Zu diesem Zeitpunkt ist Pin 16 auf H-Pegel, und der Impuls am Pin 17 entspricht dem in der Abb. 3-8-8.

Nr. 2: Prüfbetrieb. VPS-Daten (2,5 MHz) kommen vom Pin 16, und die 5 MHz Takt-Signale erscheinen am Ausgang 17.

Nr. 3: Auslese-Betrieb. Die Daten vom Schieberegister 1 kommen vom Pin 16, entsprechend der (ca. 1 MHz) Takt-Impulse am Pin 18. Daten für das Schieberegister 2 kommen vom Pin 17.

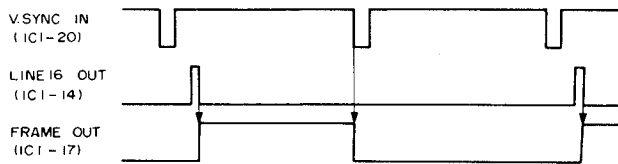


Abb./Fig. 3-8-8 VPS-Impulsverlauf  
Frame out

The shift register clock signal is produced by CNT2, FF5, NR3 and FF6. CNT12 is a 4-bit counter. After 8 counts from the 2.5 MHz VPS data fall, Q4 goes High. This signal is sent to the D input of FF5, where it is sampled at the 5 MHz clock rise and NR3 gate opens.

The 5 MHz clock signal is supplied to FF6, where it is counted down to 2.5 MHz for producing the shift register clock signal.

The 8 cycle period of Word 1 during which the shift register clock is not supplied is due to instability of 5 MHz clock.

In the above manner, the circuit functions to sequentially read the VPS data into the shift register in accordance with the 2.5 MHz clock signal.

### 3. VPS data readout and IC1 mode control

IC1 mode is controlled by pins 18 and 19. Outputs are obtained from pins 16 and 17. Refer to Table 3-8-2.

No. 1: Mode for writing VPS data into shift register. At this time, pin 16 is High and the pulse from pin 17 is as indicated in Fig. 3-8-8.

No. 2: Test mode. VPS data (2.5 MHz) are obtained from pin 16 and the 5 MHz clock signal output appears at pin 17.

No. 3: Readout mode. Shift register 1 data are obtained from pin 16 according to the clock input (approx. 1 MHz) at pin 18. Shift register 2 data are obtained from pin 17.

No.	MCTL Pin 19	MCLK Pin 18	DATA 0 Pin 16	DATA 1 Pin 17
1	1	1	High	Frame
2	1	0	2.5 MHz	5 MHz
3	0	↓	SR1 Shift	—
	0	↑	—	SR2 Shift

Tabelle/Table 3-8-2 Ausgangssignale IC1/IC1 mode

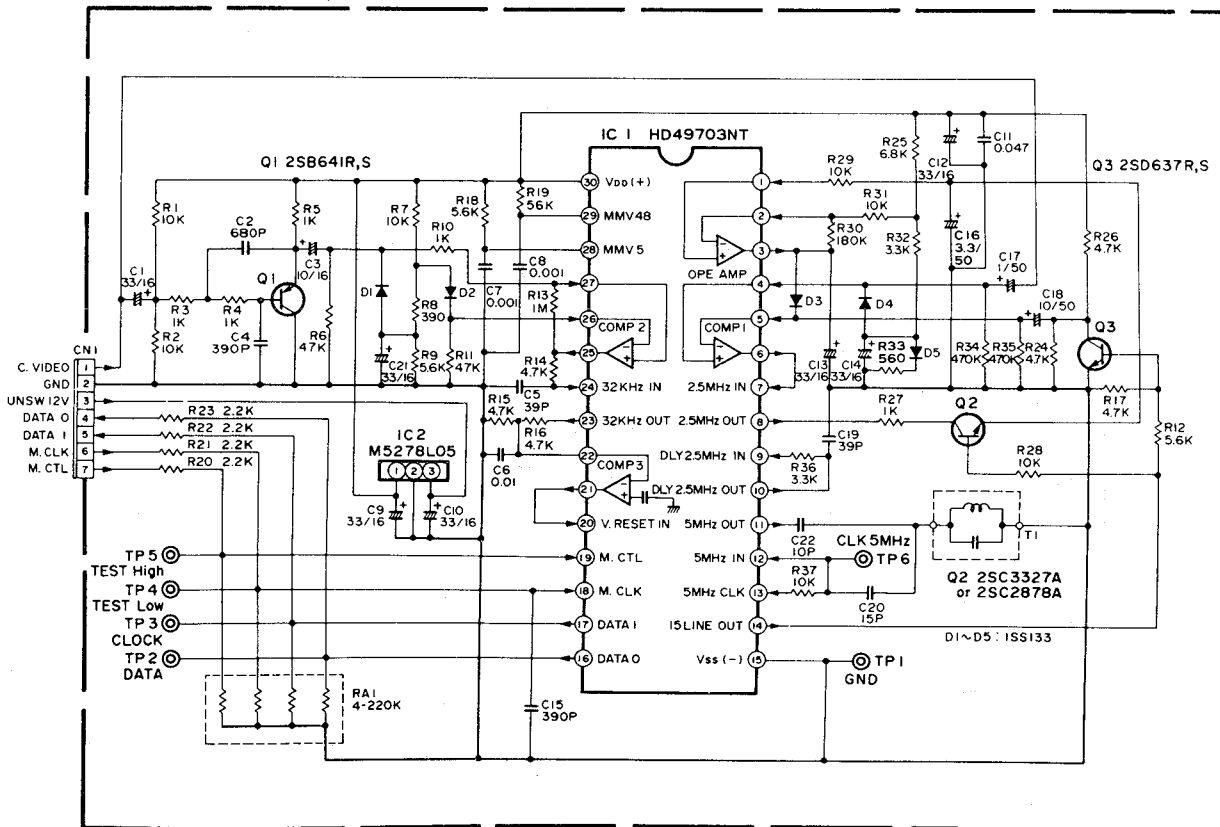


Abb./Fig. 3-8-9 VPS-Modul/VPS adapter schematic diagram



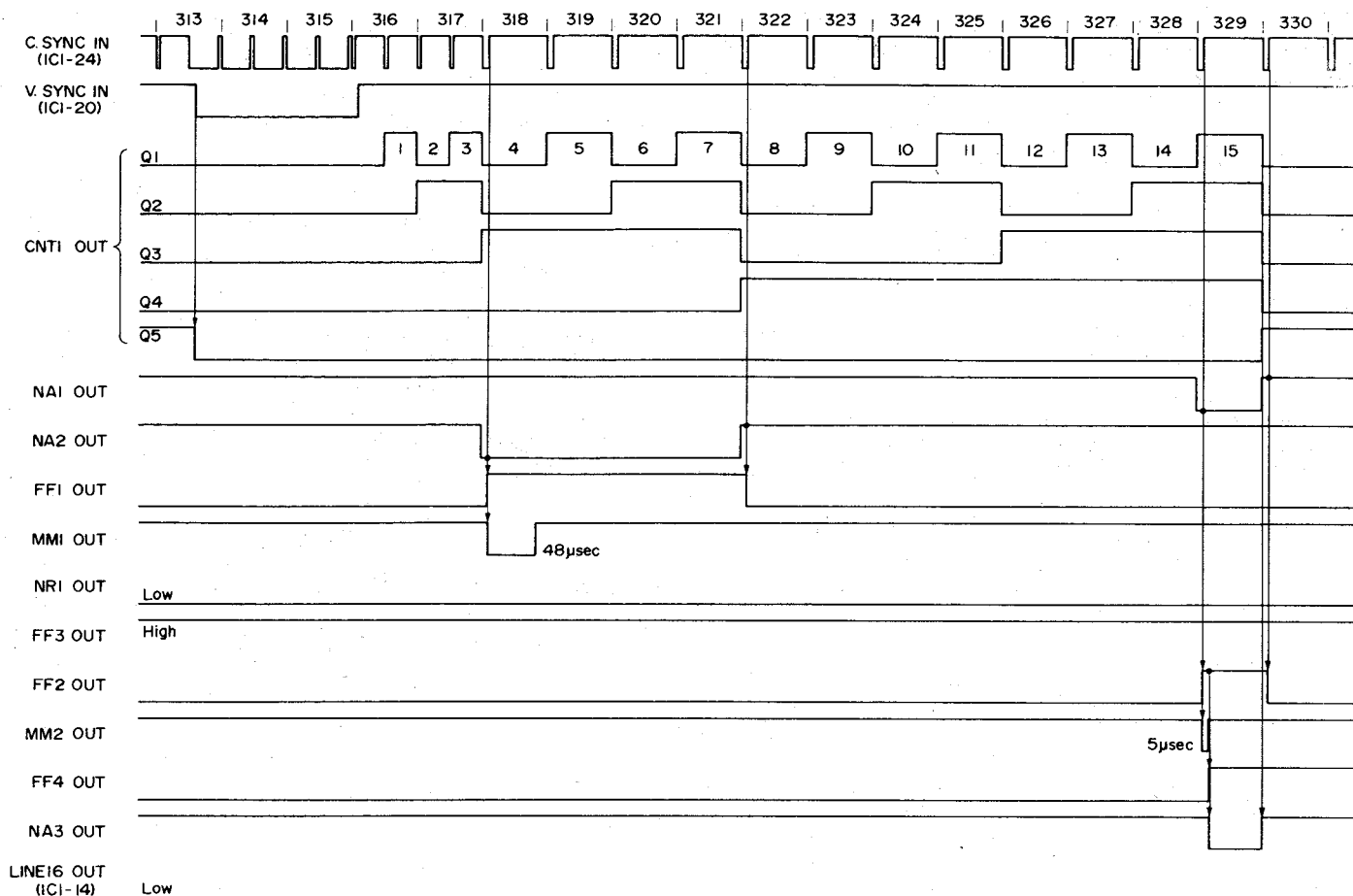


Abb./Fig. 3-8-6 Zeitabläufe IC1 (2)/IC1 timing chart (2)

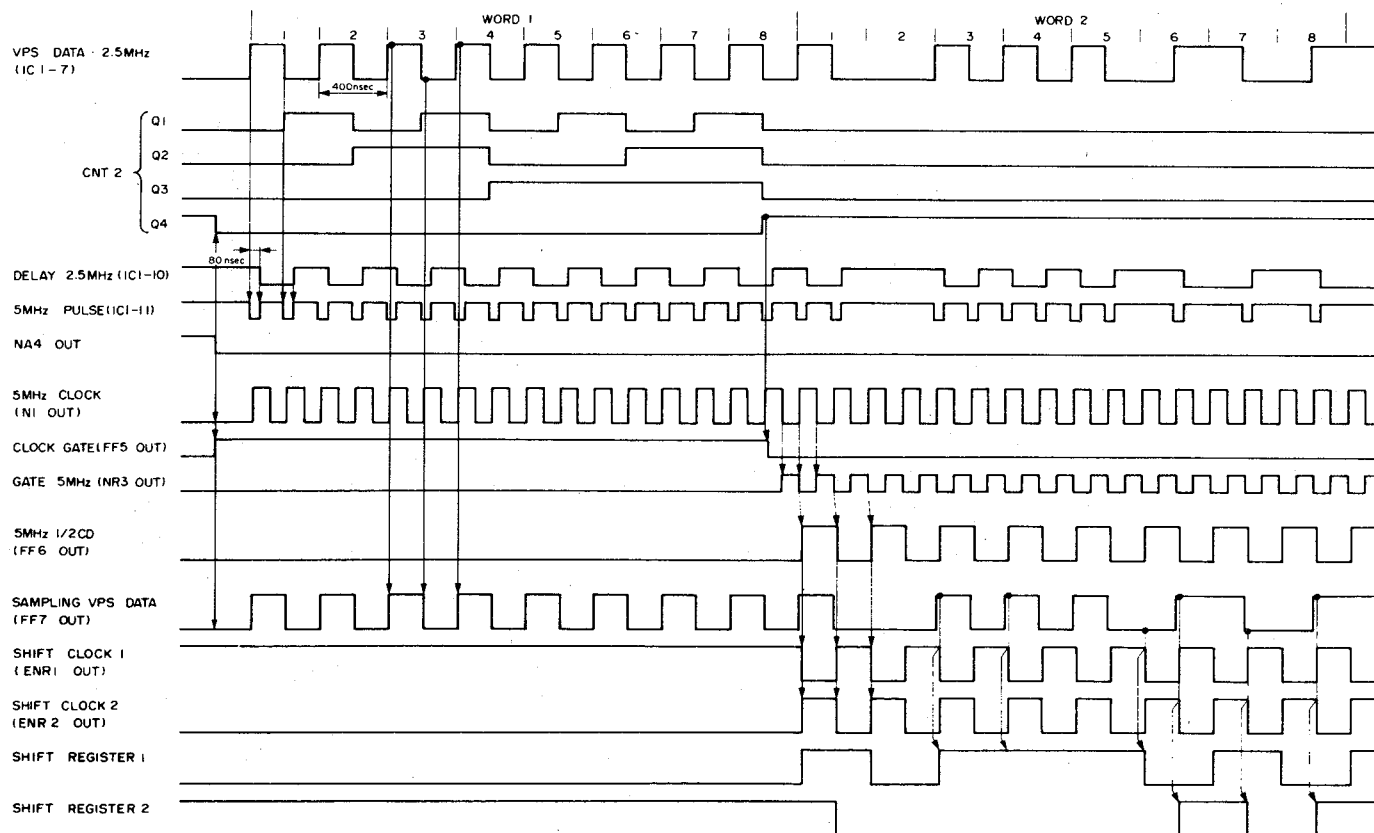


Abb./Fig. 3-8-7 Zeitabläufe IC1 (3)/IC1 timing chart (3)



## Technische Daten:

### Systemdaten

Format:	VHS-Pal-Standard mit Hi-Fi-Ton
Video-Aufzeichnungssystem	Rotierendes Zweikopf-Schrägschur-Aufzeichnungssystem mit einer Zweier-Videokopf-spalt-Kombination.
Hifi-Tonaufzeichnungsverfahren:	Band-Tiefenmodulations-Aufzeichnungsverfahren entsprechend dem Stereo-Hifi-VHS-Standard
Anzahl der Tonspuren:	2 Hifi-Tonspuren 1 Standard-Tonspur
Fernsehnorm:	CCIR-625 Zeilen-Pal
Bandbreite:	12,65 mm
Bandgeschwindigkeit:	(SP): 23,39 mm/sec. (LP): 11,70 mm/sec.
Aufzeichnungsdauer:	(SP): max. 4 Std. mit einer E-240er Cassette (LP): max. 8 Std. mit einer E-240er Cassette

### Anschlußdaten

Netzanschluß:	220 V, 50/60 Hz
Leistungsaufnahme:	40 Watt

### Video

Eingang:	0,5 V <sub>ss</sub> ... 2,0 V <sub>ss</sub> , 75 Ohm unsymmetrisch
Ausgang:	1,0 V <sub>ss</sub> / 75 Ohm unsymmetrisch
Signal/Rauschverhältnis:	43 dB (Bildschärfe-Einsteller in Mittelstellung)
Auflösung (horizontal):	250 Zeilen (Bildschärfe-Einsteller in Mittelstellung)

### Audio

Eingang: Chinch-Buchse:	-20 dBs, 50 kOhm, unsymmetrisch
Scart-Buchse:	-3,8 dBs, 10 kOhm, unsymmetrisch
Ausgang: Chinch-Buchse:	-6 dBs, große Impedanz
Scart-Buchse:	-3,8 dBs, große Impedanz
Ausgangsimpedanz:	≤ 1 KOhm, unsymmetrisch
Signal/Rauschverhältnis:	≥ 40 dB
Frequenzbereich:	70-10 000 Hz
Hifi-Audio Frequenzbereich:	20-20 000 Hz
Dynamik-Umfang:	≥ 80 dB
Gleichlaufschwankung:	≤ 0,005% WRMS

### TV-Tuner/HF-Teil

Kanal-Speicherkapazität:	32 Kanäle
Antenneneingang:	VHF-Band 47-89 MHz, 104-300 MHz, 302-470 MHz UHF-Band IV, V 470-862 MHz
Antennen-Ausgang:	UHF-Kanäle 32-40 (einstellbar)

### Schaltuhr

Display:	24-Stunden-Floureszens-Digital-Anzeige mit Tagesangabe
----------	--

Synchronisation:	Quarz-Oszillator
Vorprogrammierungszeitraum:	1 Jahr
Programmspeicherplätze:	8 Programme

### Mechanische Daten

Abmessungen (BxHxD):	435x95x376 mm
Gewicht:	7,9 kg
Umgebungstemperatur:	
Betrieb:	5° C-40° C
Lagerung:	-20° C-60° C

## Technical specifications:

### System Data

Format:	VHS Pal standard with Hi-Fi audio
Video recording system:	Rotary two-head helical scan system with slant double-azimuth combination video heads
Hi-Fi audio recording system:	Deep-layer recording system conforming to stereo Hi-Fi VHS standard
No. of audio channels:	2 Hi-Fi audio channels 1 normal audio channel
TV Standard:	CCIR-625 lines-Pal
Tape width:	12,65 mm
Tape speed:(SP):	23,39 mm/sec
(LP):	11,70 mm/sec
Maximum recording time:	
(SP):	max. 4 hours, with E-240 video cassette
(LP):	max. 8 hours, with E-240 video cassette

### Connection Data

Mains connection:	220 V, 50/60 Hz
Power consumption:	40 W (50 W with camera)
Camera connector output:	12 V... max. 8 Watt

### Video

Input:	0,5 to 2,0 V <sub>p-p</sub> , 75 ohms, unbalanced
Output:	1,0 V <sub>p-p</sub> , 75 ohms unbalanced
Signal-to-noise ratio:	43 db (Picture Sharpness control at centre position)
Horizontal resolution:	250 lines (with Picture Sharpness control at center position)

### Audio

Input: RCA x2 socket:	-20 dBs, 50 k-ohms, unbalanced
Scart socket:	-3,8 dBs, high impedance load
Output: RCA x2 socket:	-6 dBs, high impedance load
Scart socket:	-3,8 dBs, high impedance load
Output impedance:	≤ 1 k-ohm, unbalanced
Signal-to-noise ratio:	≥ 40 dB
Frequency range:	70 Hz to 10,000 Hz
Hi-Fi audio Frequency range:	20 Hz to 20,000 Hz
Dynamic range:	≥ 80 dB
Wow and Flutter:	≤ 0,005% WRMS

### TV tuner/RF section

Channel storage capacity:	32 channels
Aerial input:	VHF band 47-89 MHz, 104-300 MHz, 302-470 MHz UHF band IV/V, 470-862 MHz
Aerial output:	UHF channels 32-40 (Adjustable)

### Digital clock/timer

Clock display:	24-hours fluorescent digital display with day indication
Reference frequency:	Quartz controlled
Start time setting:	Within one year
Programming capacity:	8 programmes

### Mechanical Data

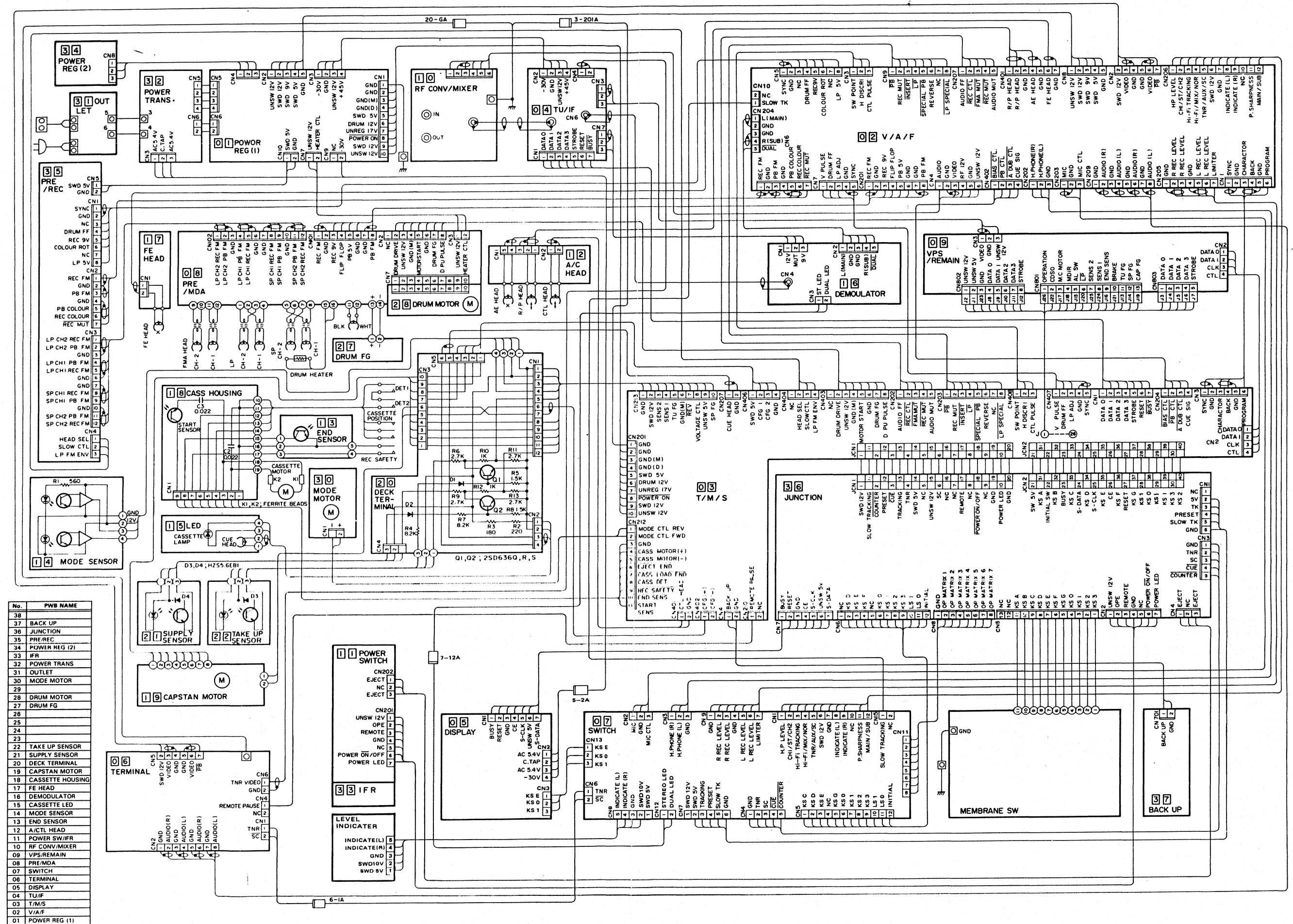
Dimensions (WxHxD):	435x95x376 mm
Weight:	7,9 kg
Temperature	
Operating:	5° C to 40° C
Storage:	-20° C to 60° C

### Dioden Diodes

### Anschlußbelegung Pin Connections

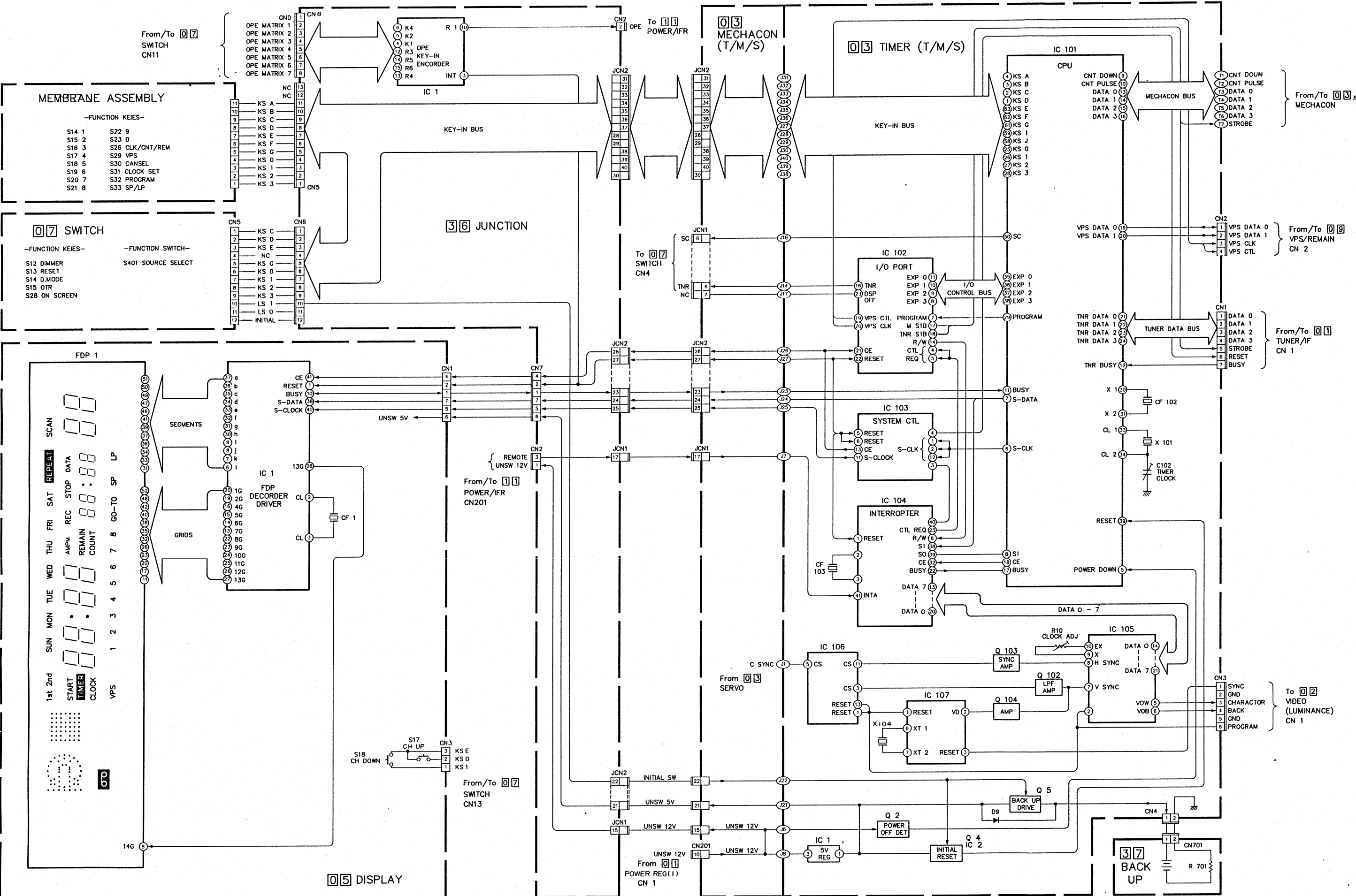
	30	31	32	33	34
A					
B					
C					
D					
E					
F					
G					
H					
I					

# Gesamtverdrahtungsplan Overall Wiring Diagram

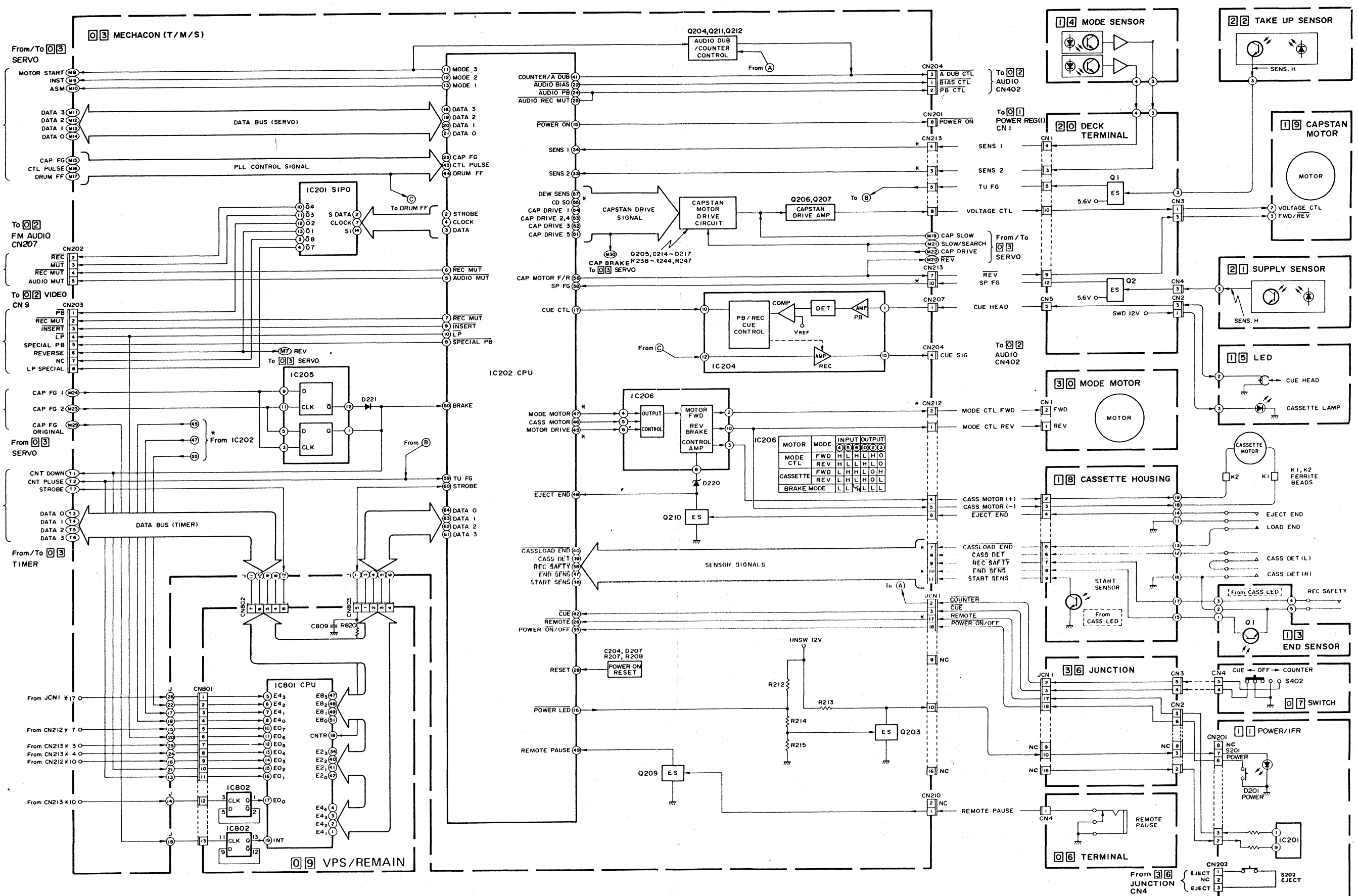


## Timer/Display-Blockdarstellung

### Timer/Display Block Diagram

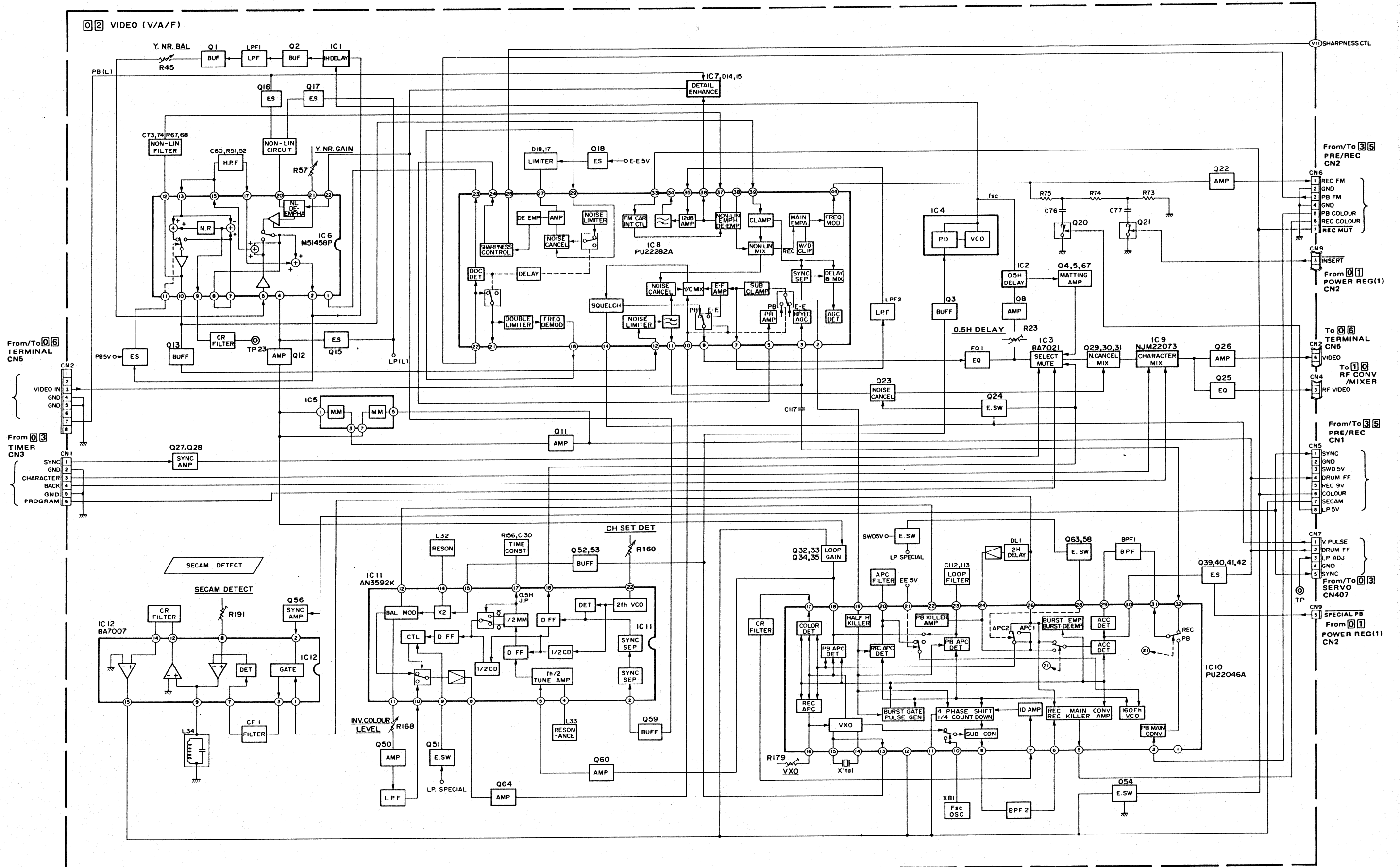


# Ablaufsteuerung-Blockdarstellung Mechanism Control Block Diagram

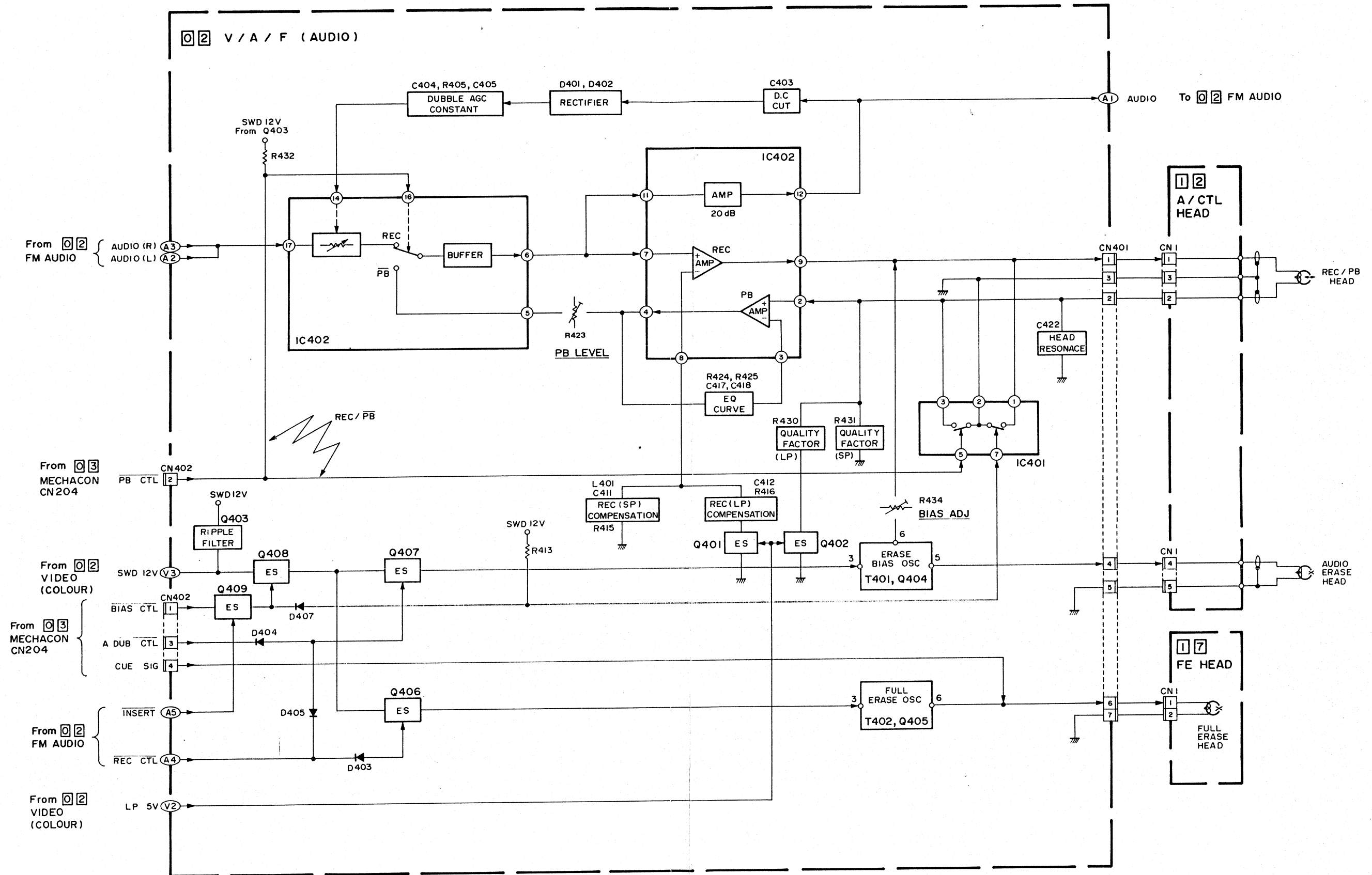




## Video-Blockdarstellung



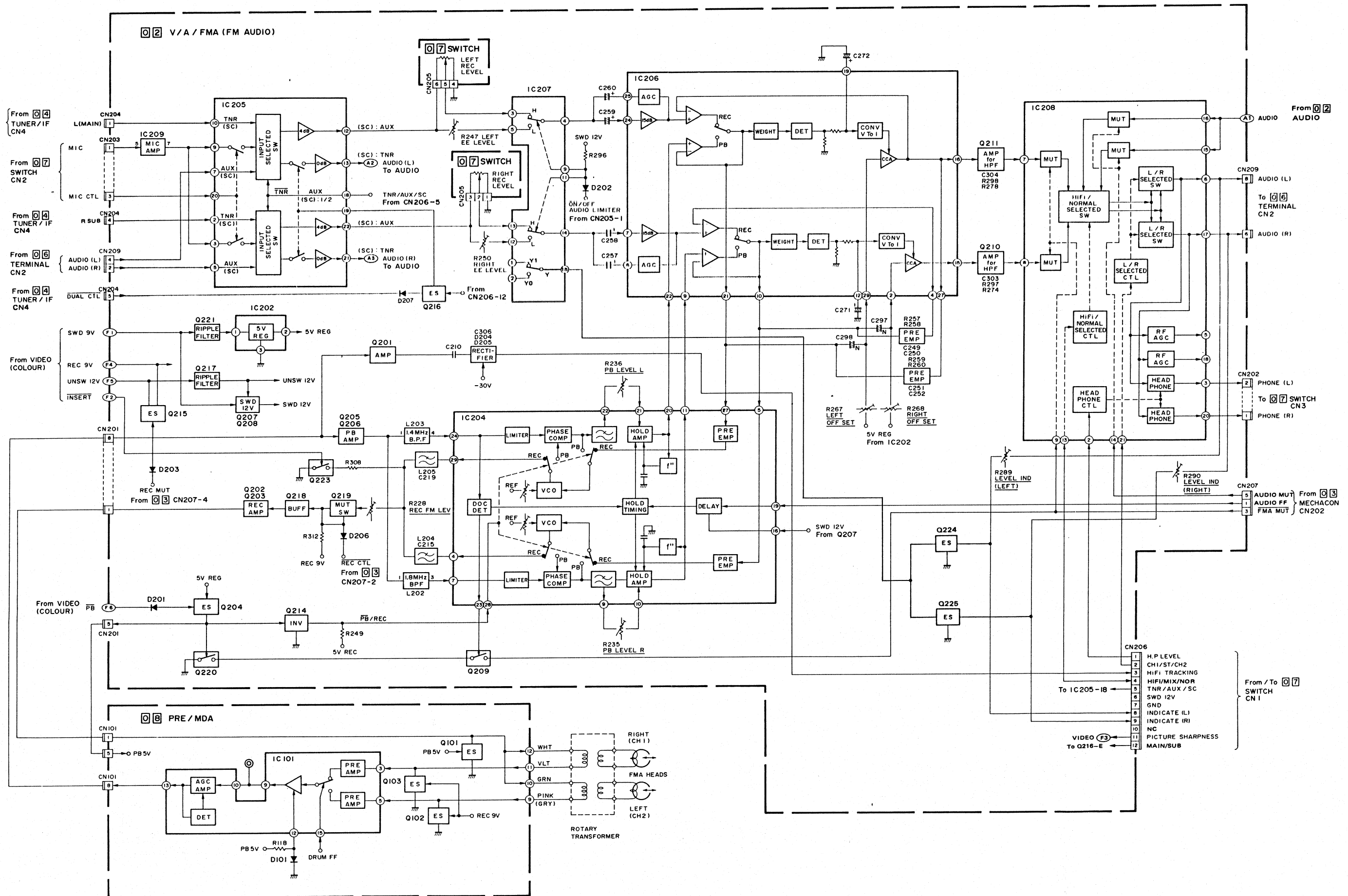
# Audio-Blockdarstellung Audio Block Diagram





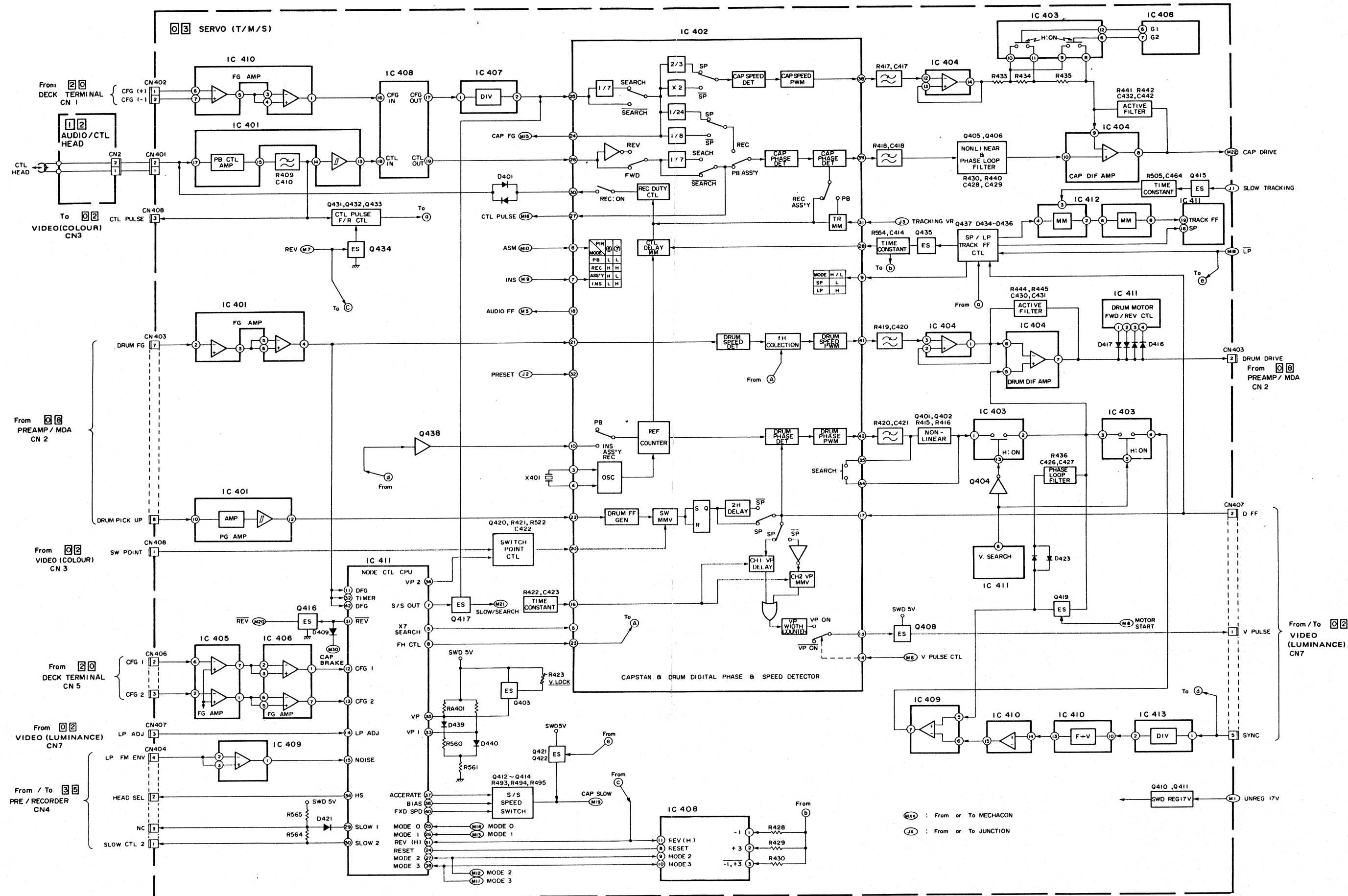
# FM Audio-Blockdarstellung

## FM Audio Block Diagram

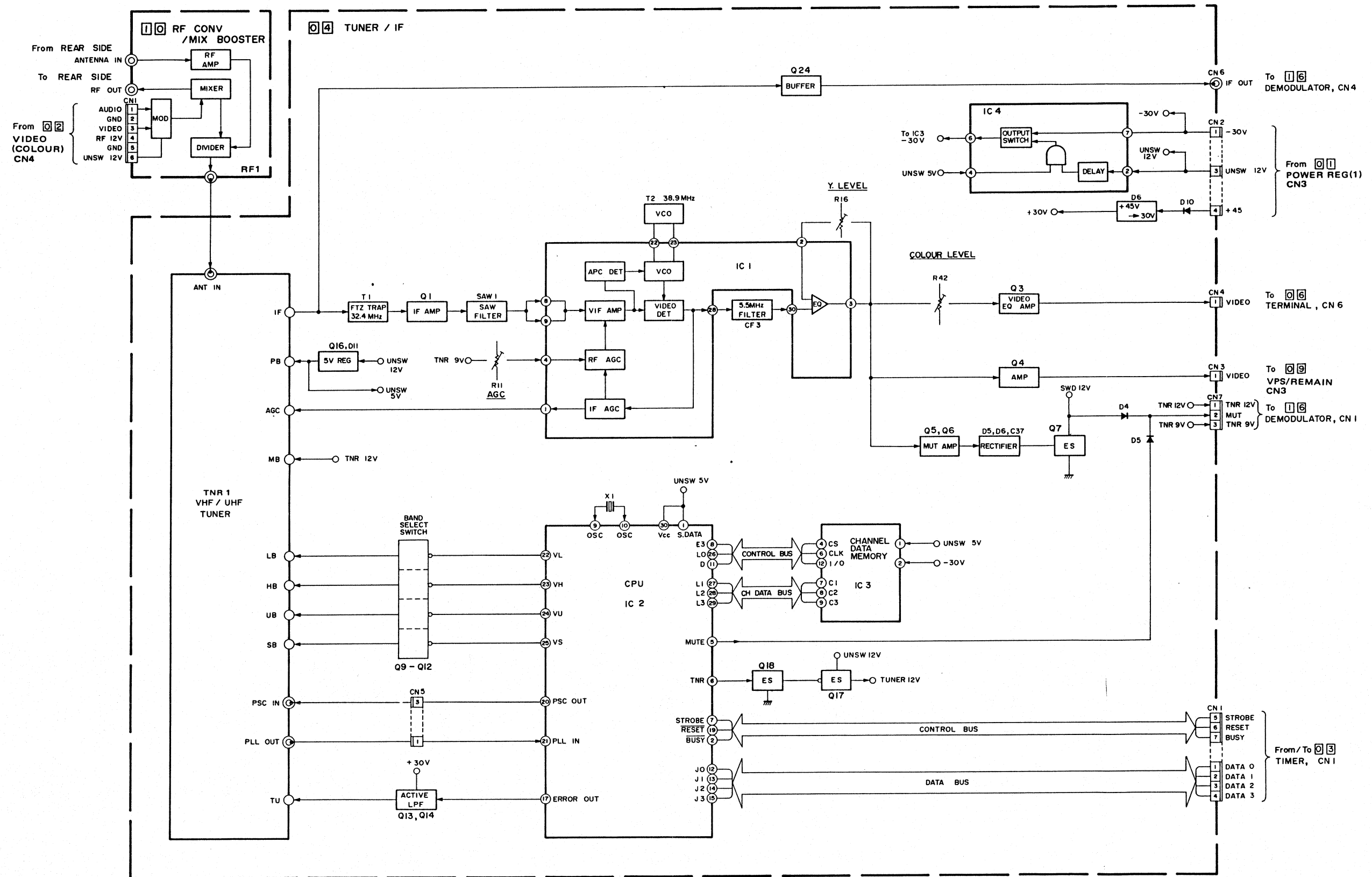


## Servo-Blockdarstellung

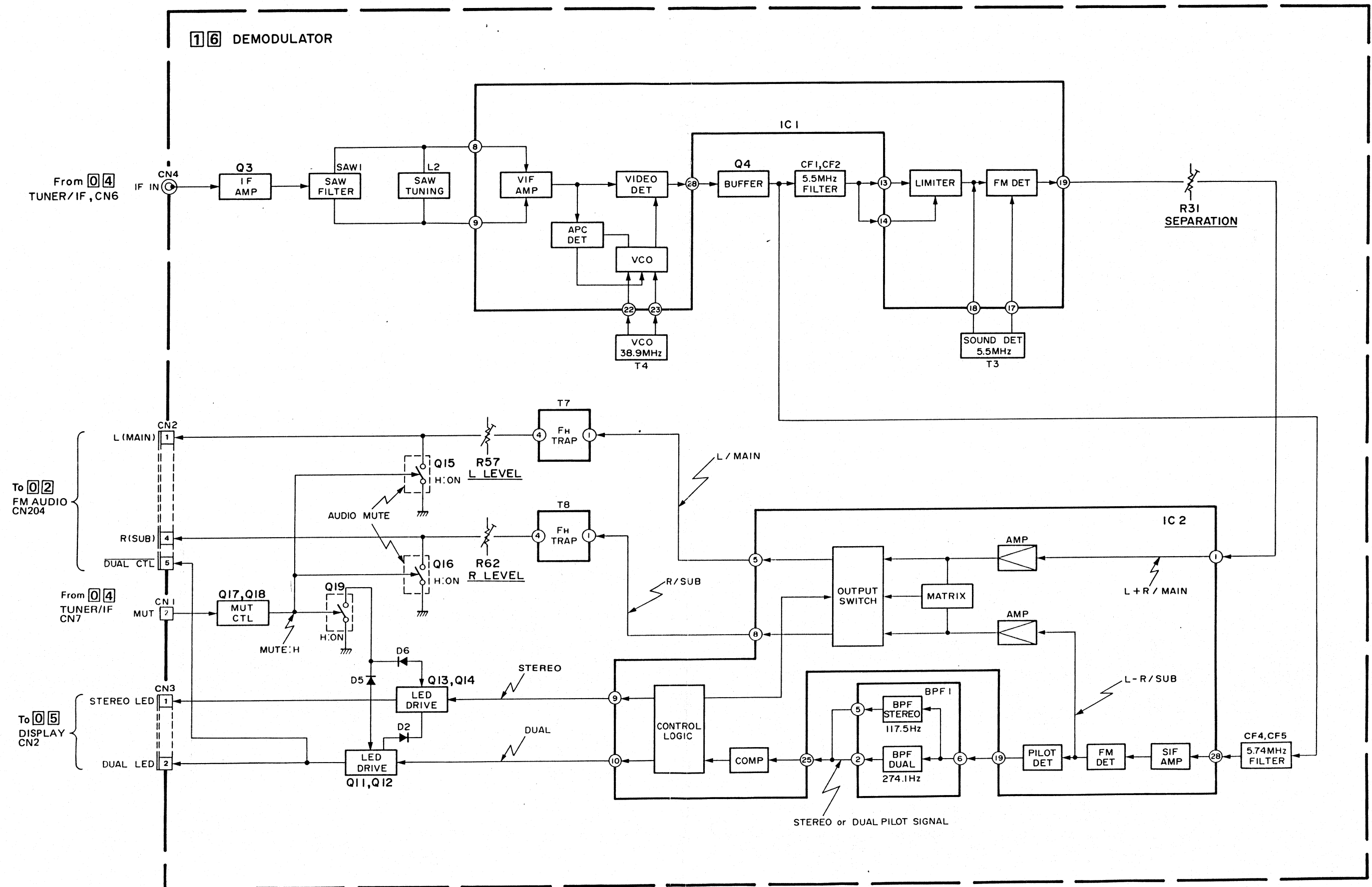
### Servo Block Diagram



# Tuner/ZF-Blockdarstellung Tuner/IF Block Diagram

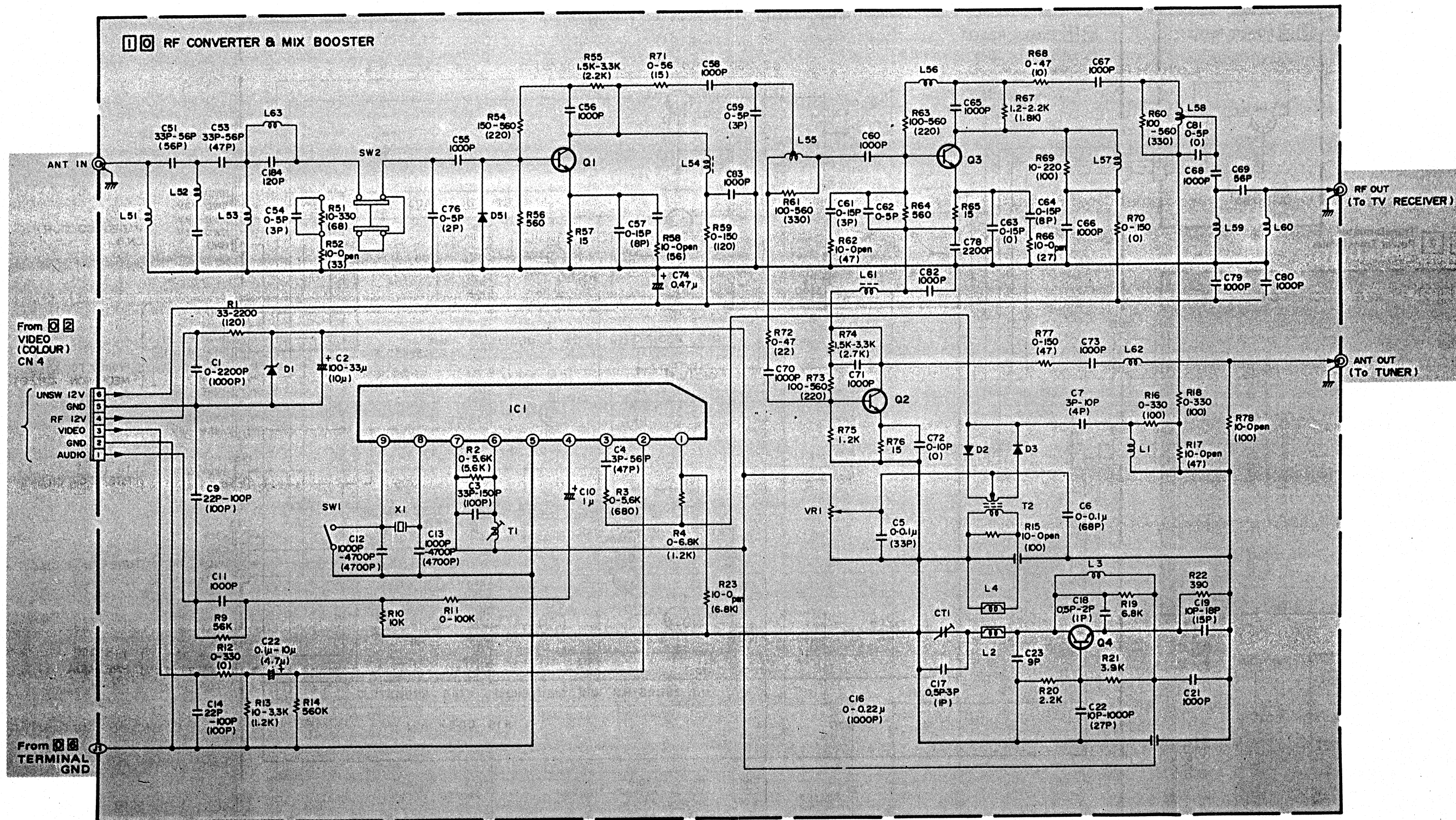


# Demodulator-Blockdarstellung Demodulator Block Diagram





1 0 HF-Modulator/Antennenverstärker  
RF Converter/Mix Booster

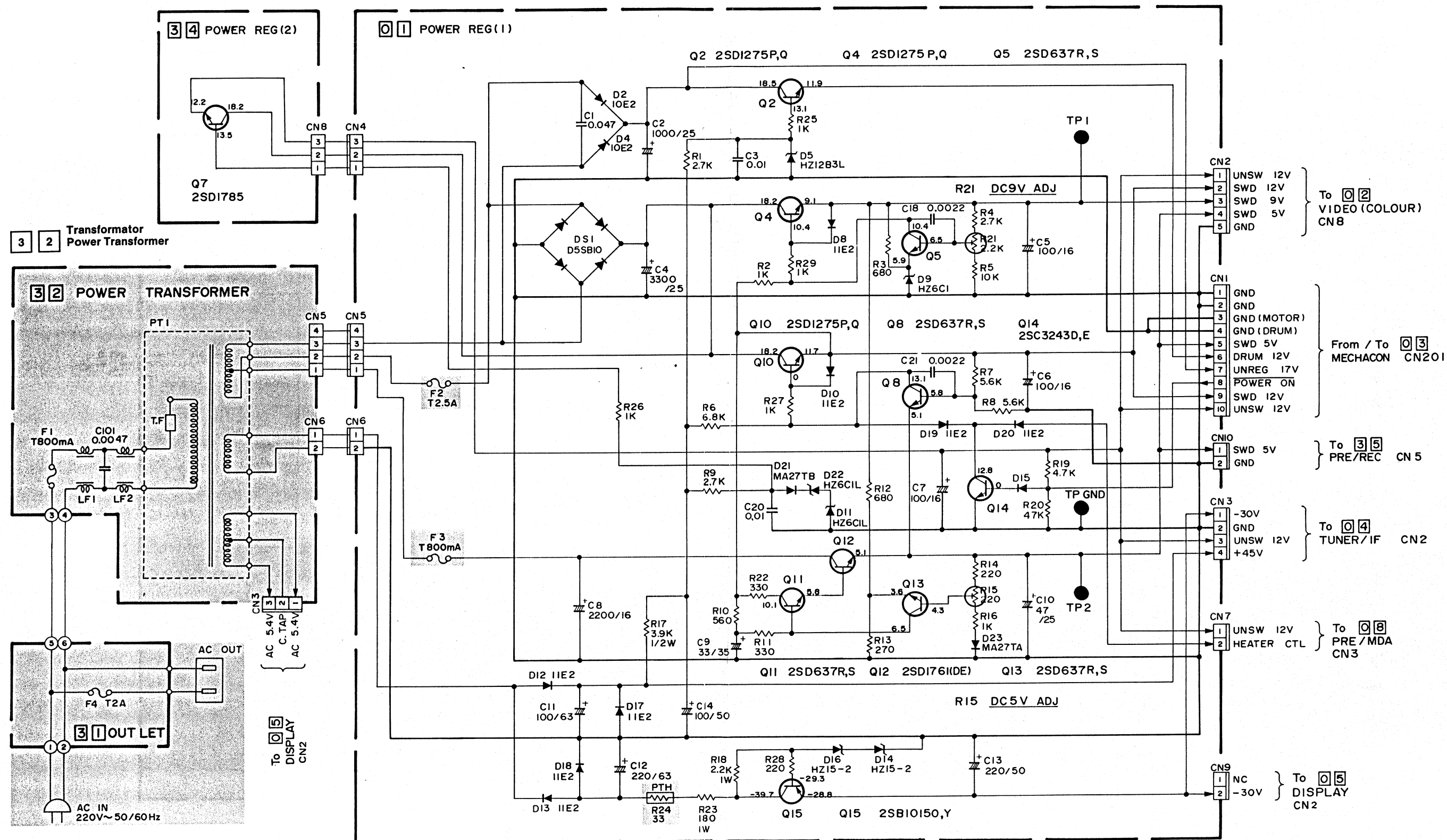


NOTE. IC1 : LA7053 or Equivalent.  
Q1-3: 2SC3355, 2SC2570A, 2SC3512, 2SC3510 or Equivalent.  
Q4 : 2SC2759, 2SC2754, 2SC2734 or Equivalent.  
D1 : HZ7C2, RD7.5 or Equivalent.  
D2,3: ISS174 or Equivalent.  
D51 : IS2076, ISS133, IS2473 or Equivalent.  
X1 : CSB500E5, CSB500E53, KAR-500AH or Equivalent.



0 1 **Netzteil-Schaltung (1)**  
**Regulator Schematic Diagram (1)**

3 4 **Netzteil-Schaltung (2)**  
**Regulator Schematic Diagram (2)**



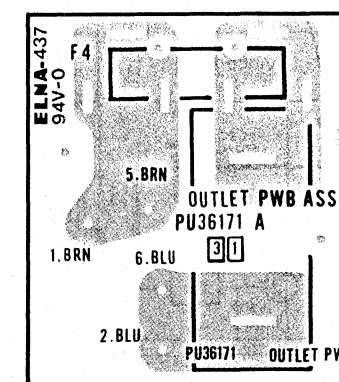
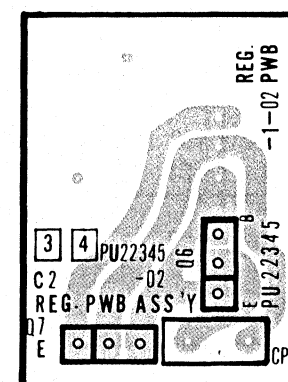
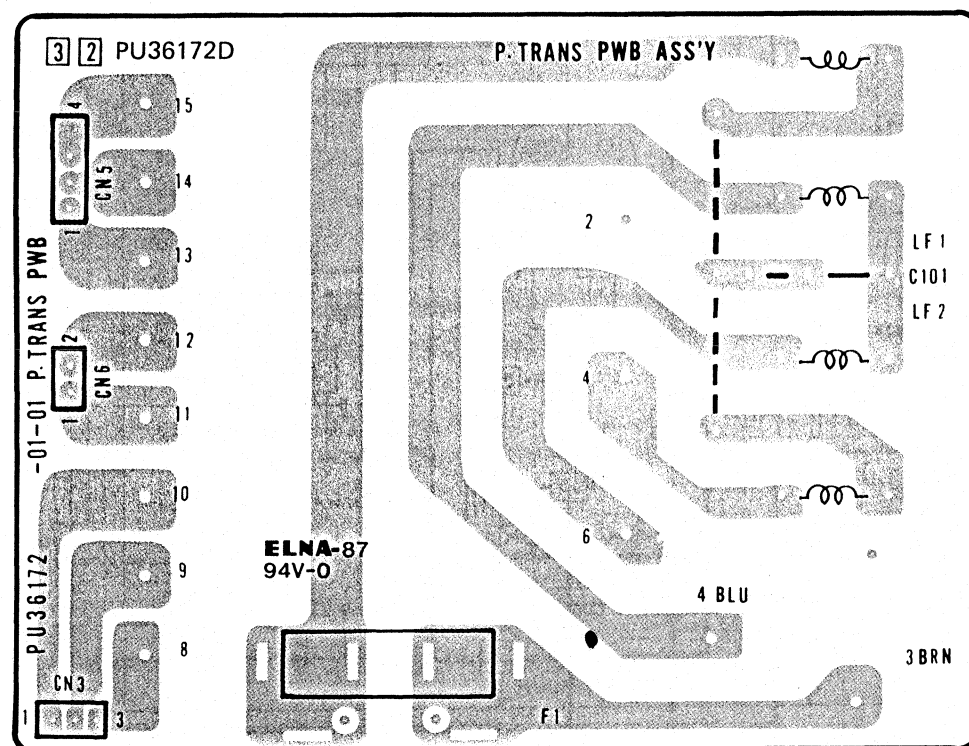
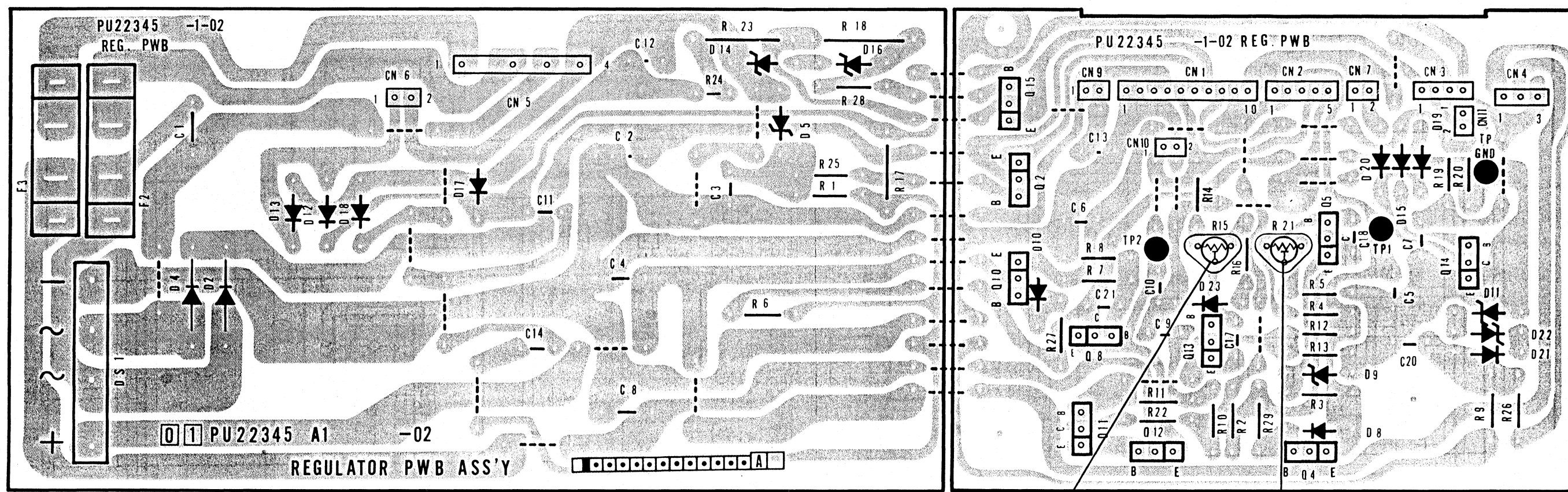
3 1 **Netzanschluß**  
**Outlet**

**NOTES:**

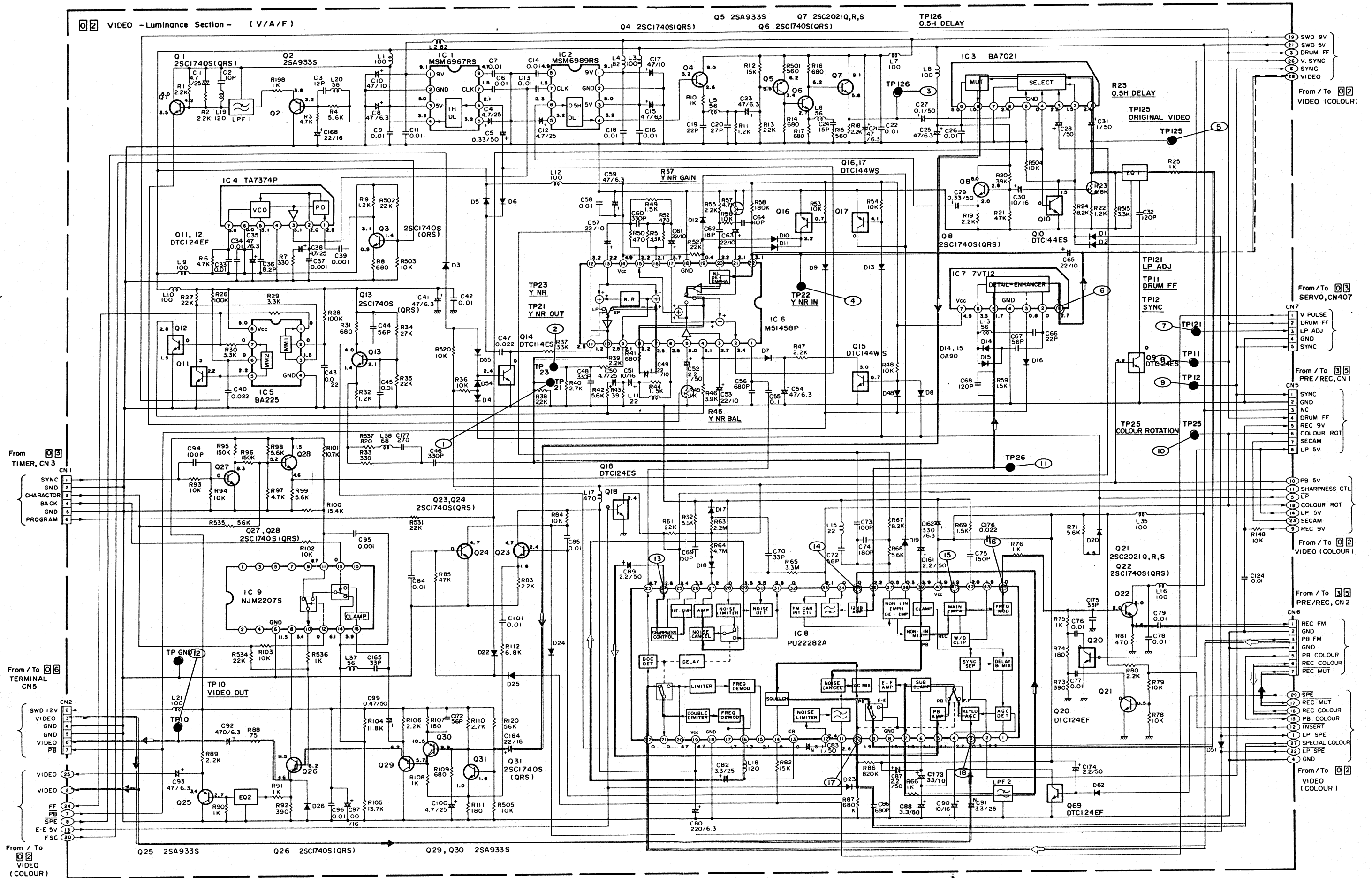
1. Shaded (■) parts are critical for safety. Replace only with specified part numbers.
2. Voltages are DC-measured with a digital voltmeter during stop mode.

Alle Gleichspannungen sind mit einem Digitalvoltmeter im Wiedergabe-Betrieb gemessen.

Grau unterlegte Bauteile sind Sicherheitsbauteile und dürfen nur durch Originalteile ersetzt werden!

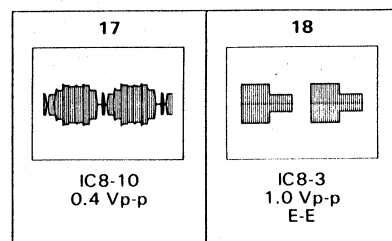


0 2 Video Schematic Diagram

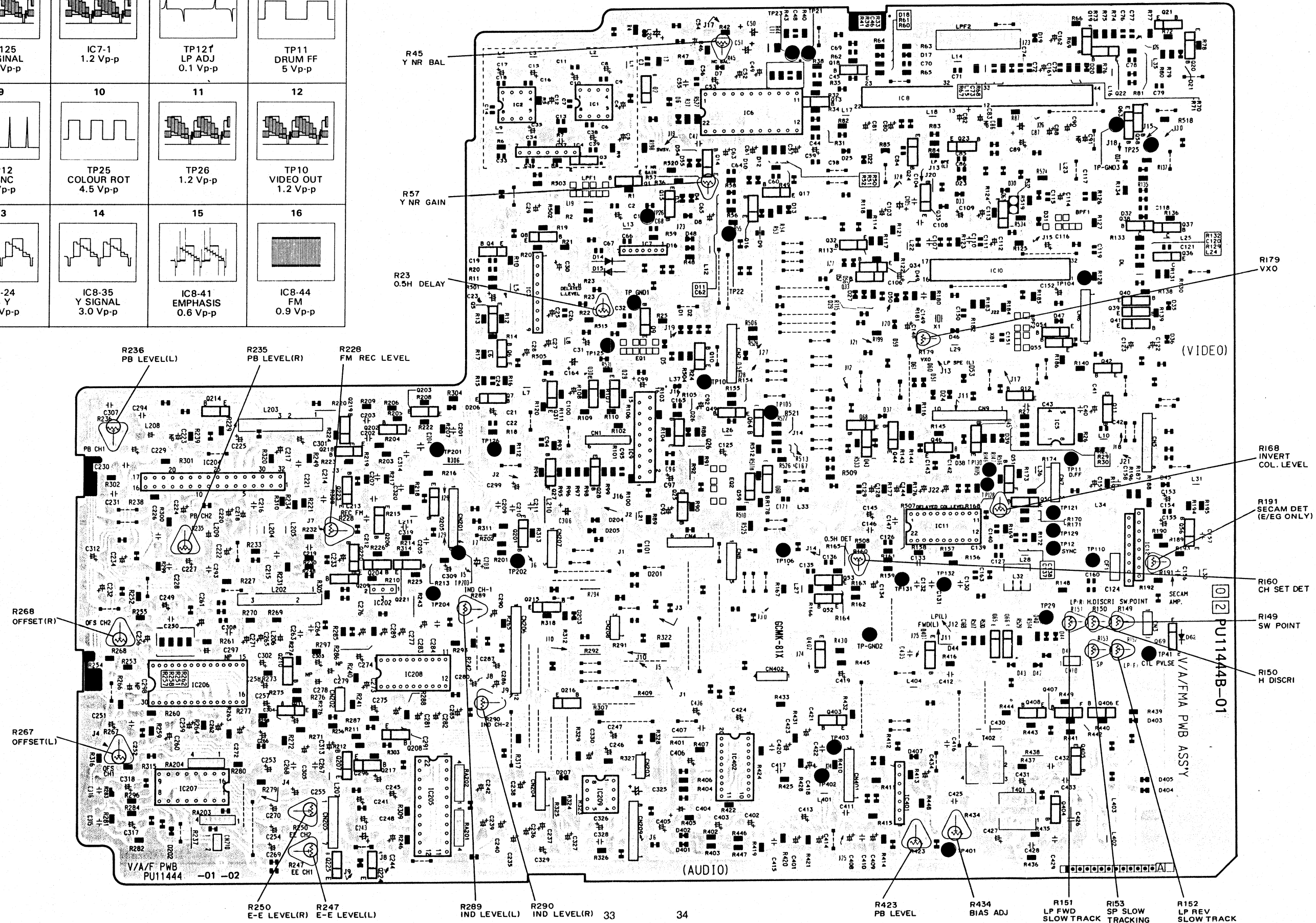


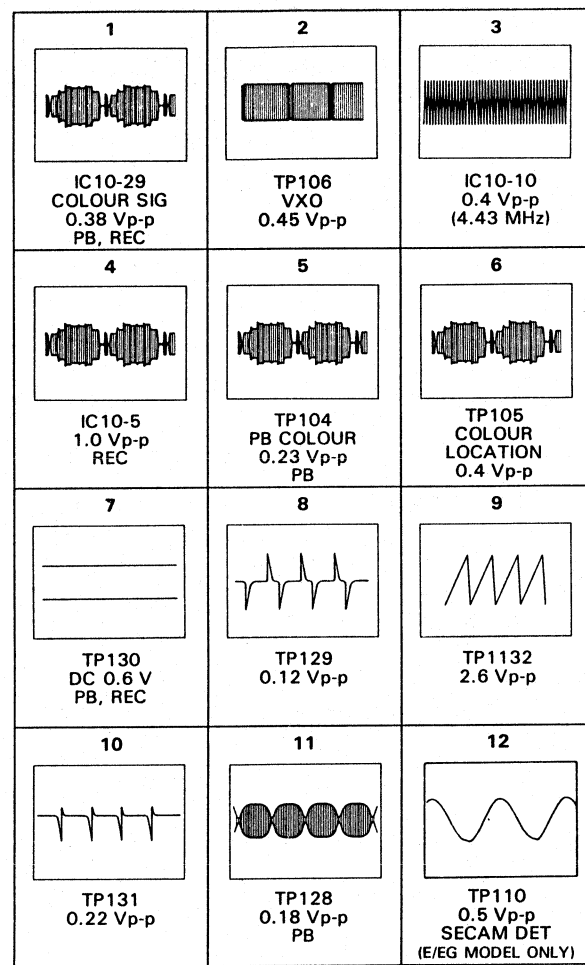


0	2
---	---



**Y-Teil  
Luminance Section**

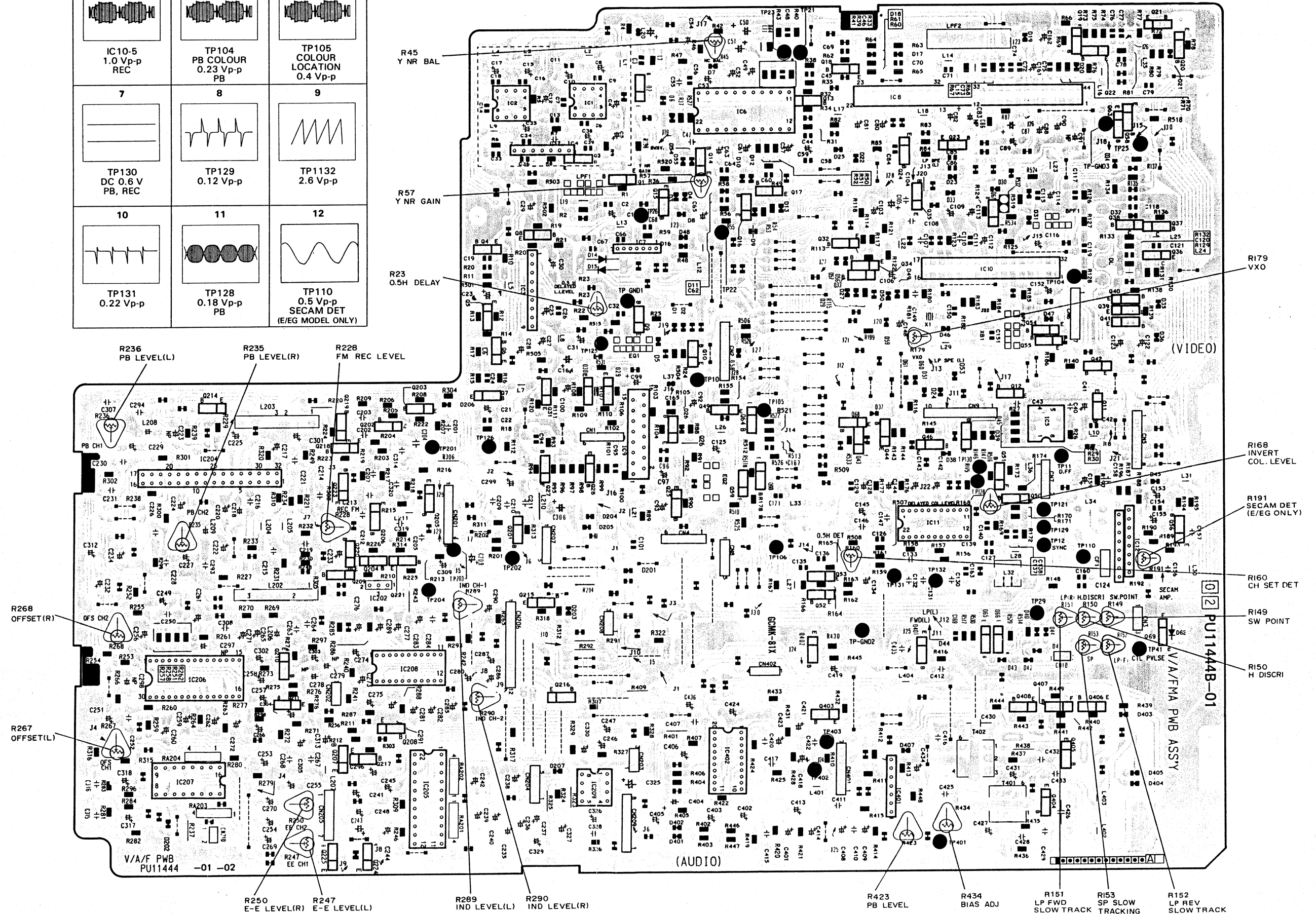




Video-Oszillogramme  
Video Waveforms

Farb-Teil  
Color Section

0 2 Video-Platte  
Video Circuit Board



# 0 2 **Video-Schaltung** **Video Schematic Diagramm**

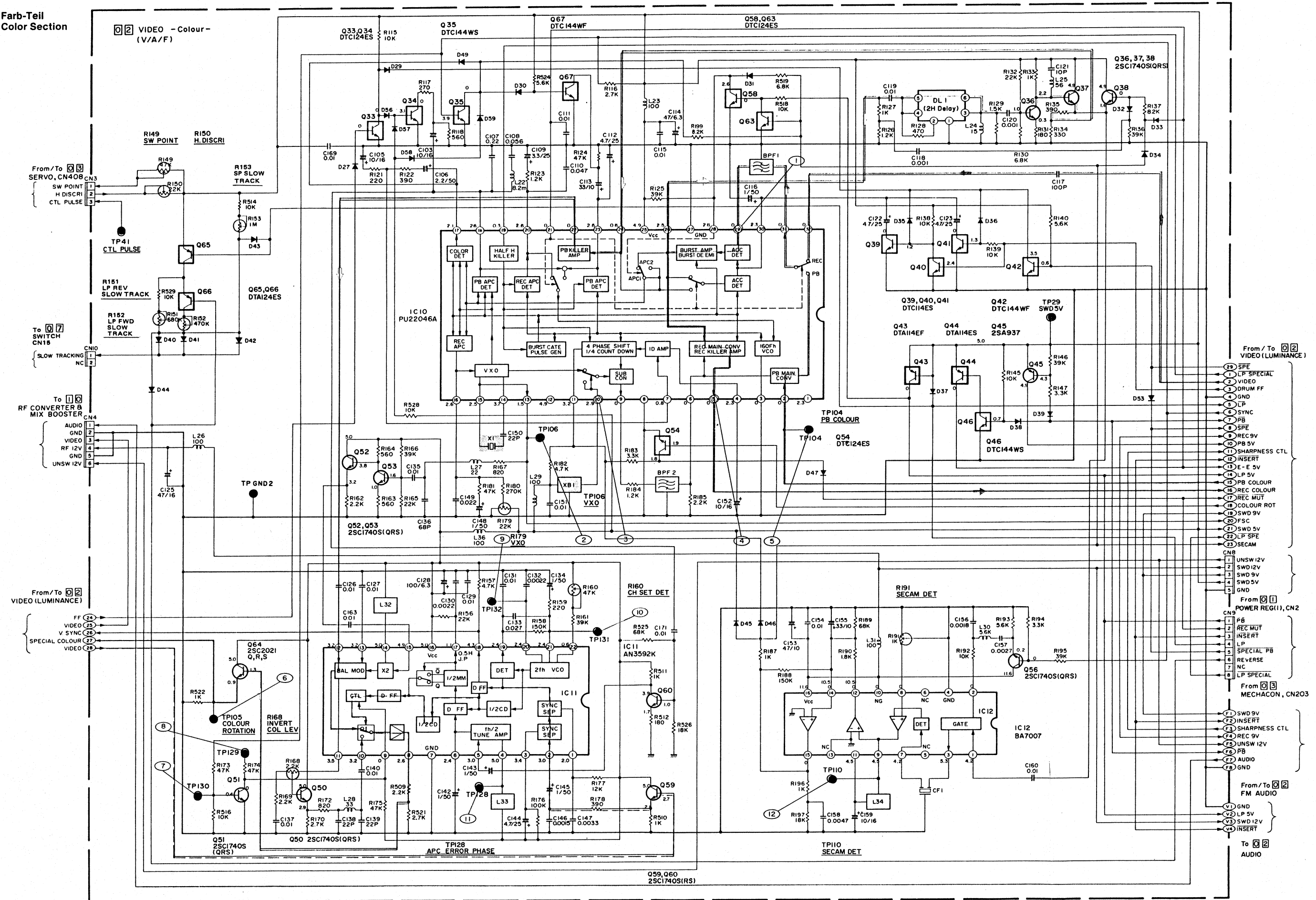
## NOTES:

- Shaded (■) parts are critical for safety. Replace only with specified part numbers.
- Voltages are DC-measured with a digital voltmeter during PLAY BACK mode.

Grau unterlegte Bauteile sind Sicherheitsbauteile und dürfen nur durch Originalteile ersetzt werden!

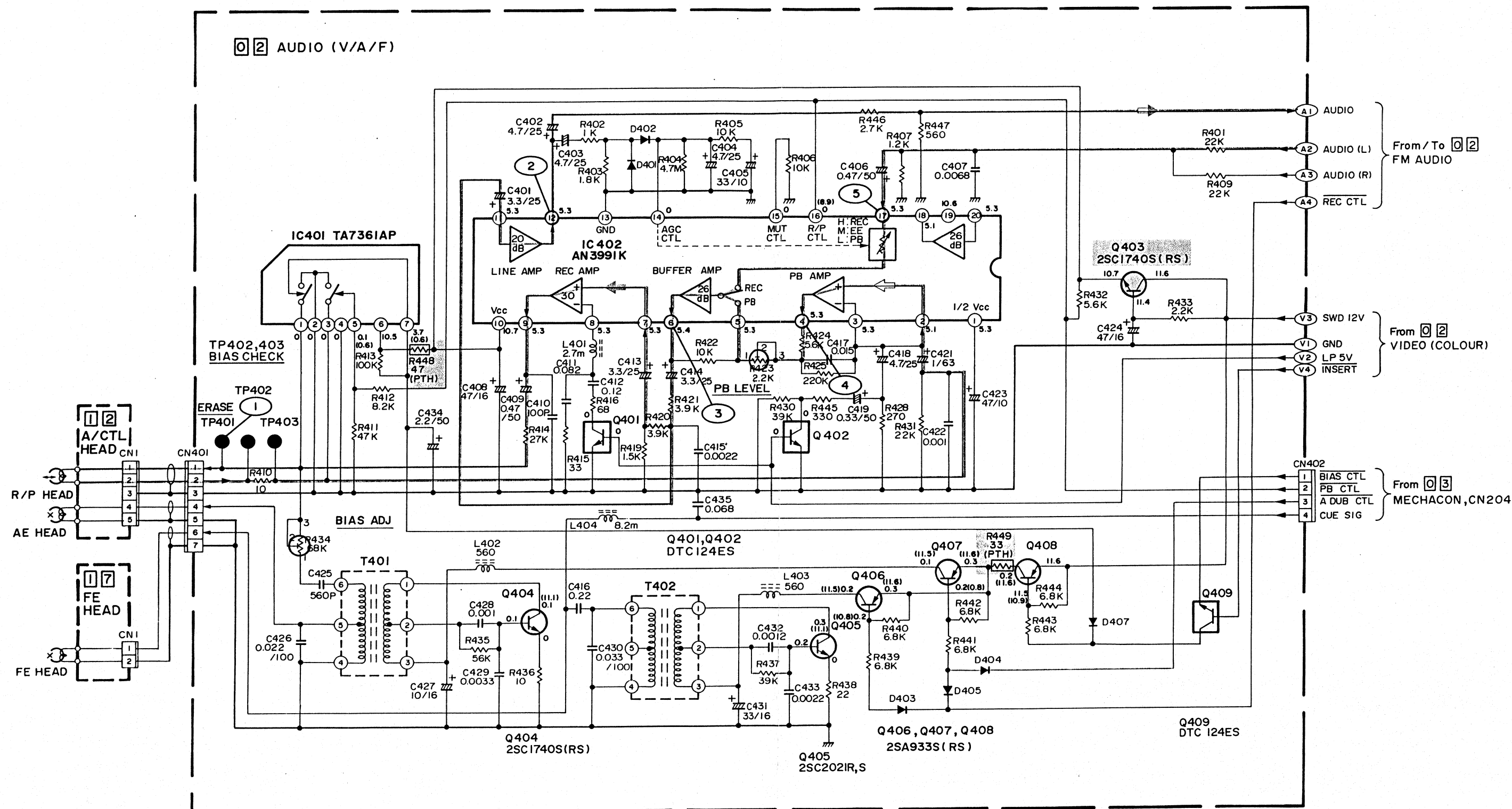
Alle Gleichspannungen sind mit einem Digitalvoltmeter im Wiedergabe-Betrieb gemessen.

## Farb-Teil Color Section

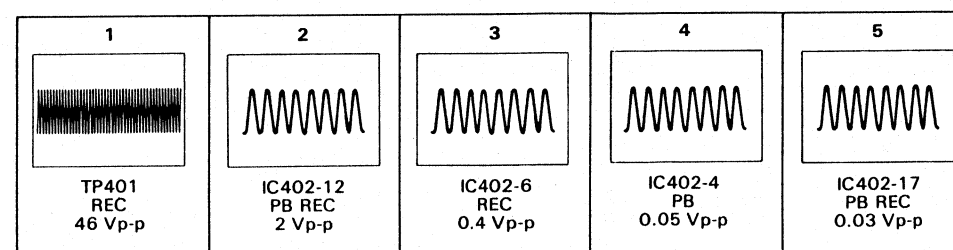




# 0 2 Audio-Schaltung Audio Schematic Diagram



Audio-Oszillogramme  
Audio Waveforms



## NOTES:

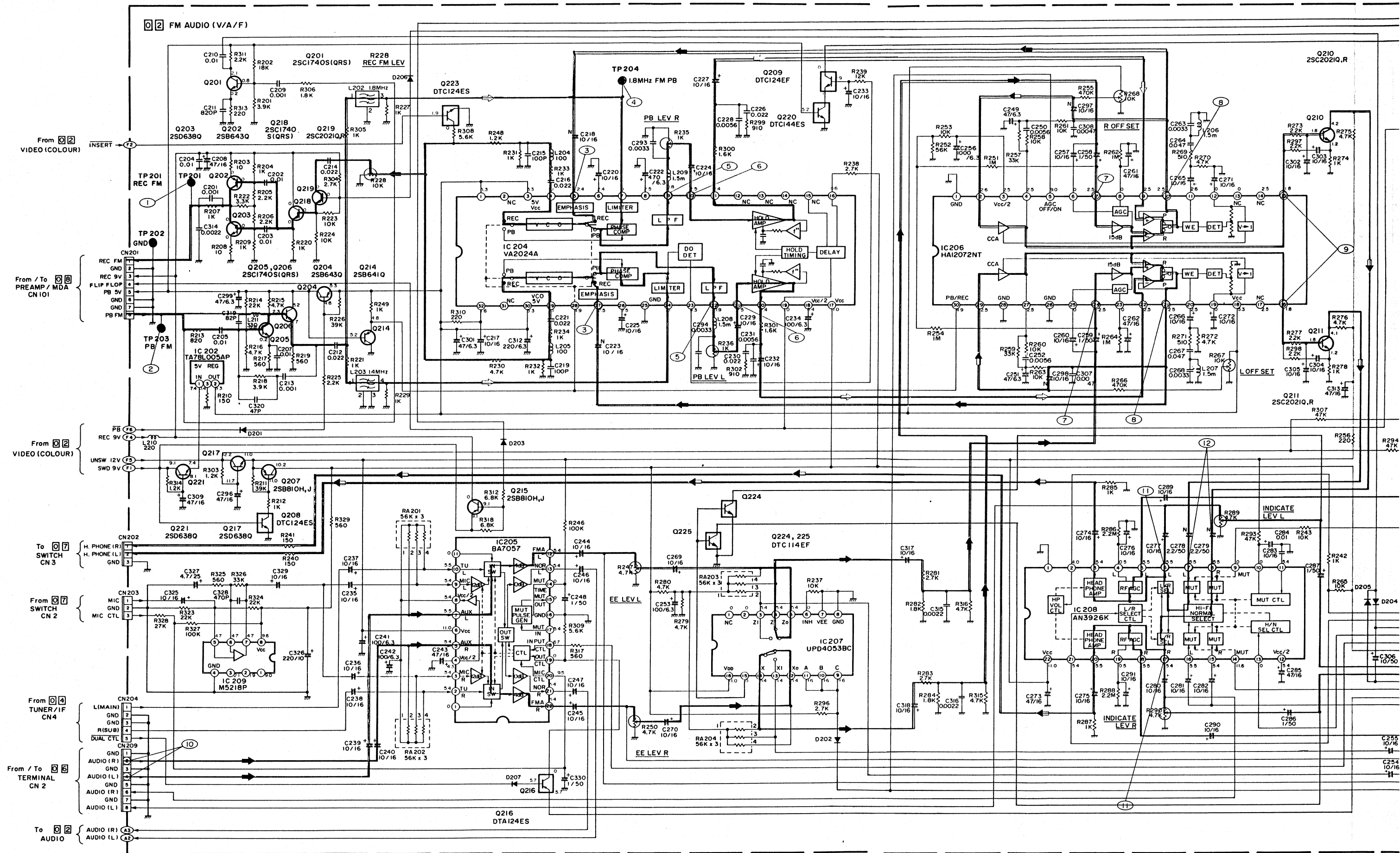
1. Shaded (■) parts are critical for safety. Replace only with specified part numbers.

Grau unterlegte Bauteile sind Sicherheitsbauteile und dürfen nur durch Originalteile ersetzt werden!

# 2



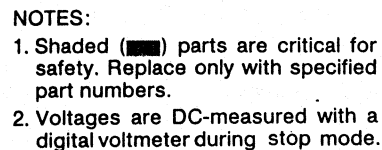






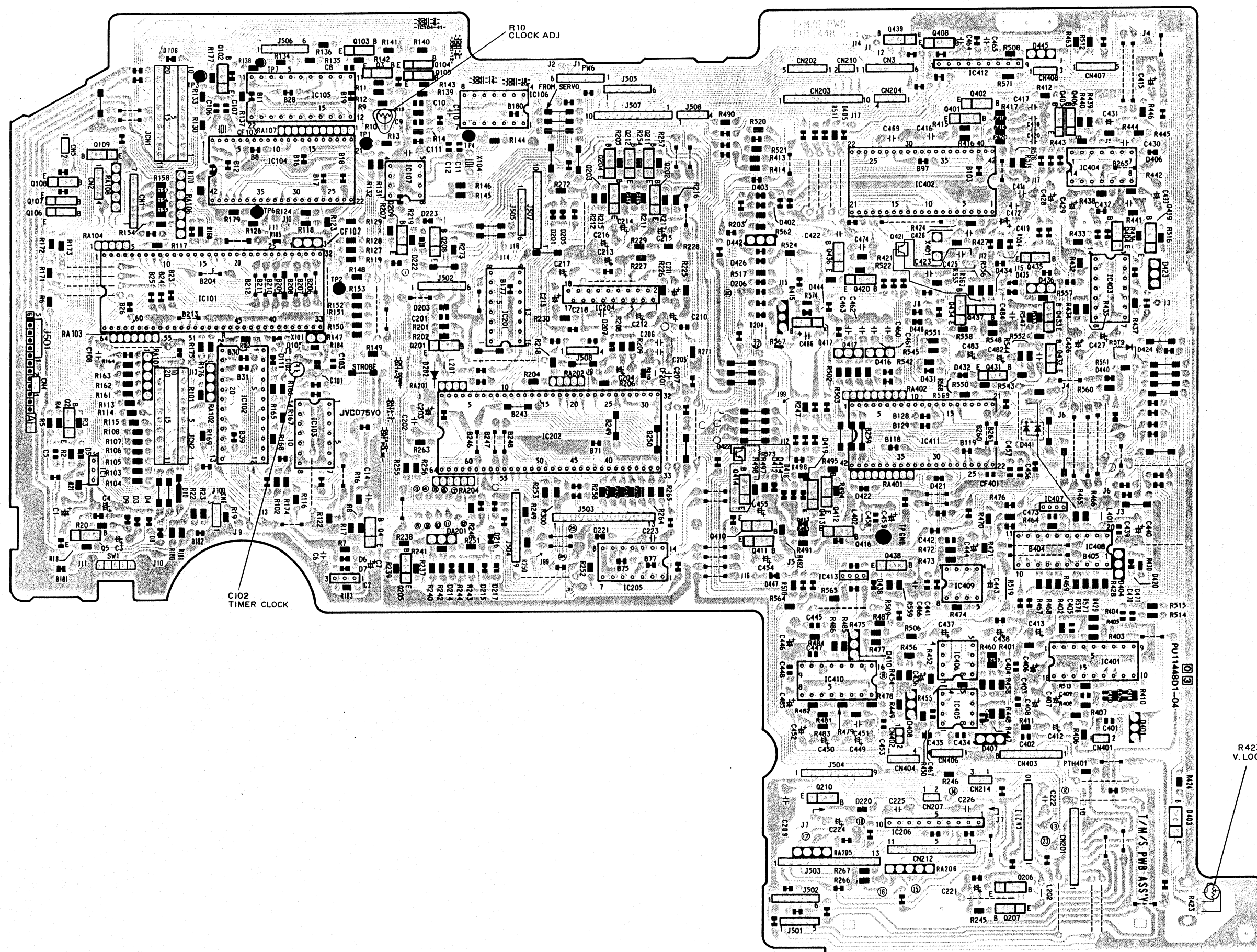


**0 3**





## Ablaufsteuerungs-Platte Mechanism Control Circuit Board

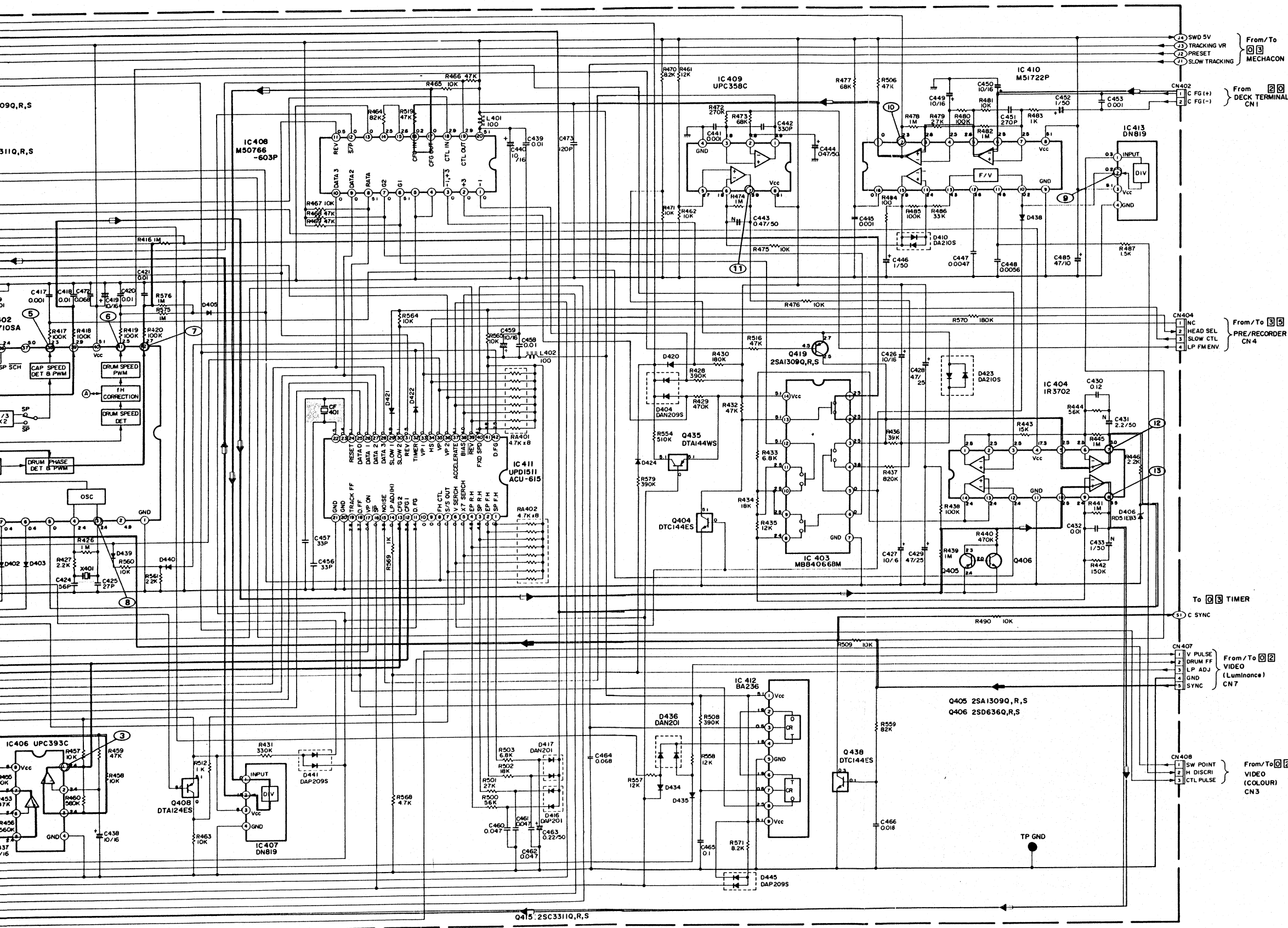




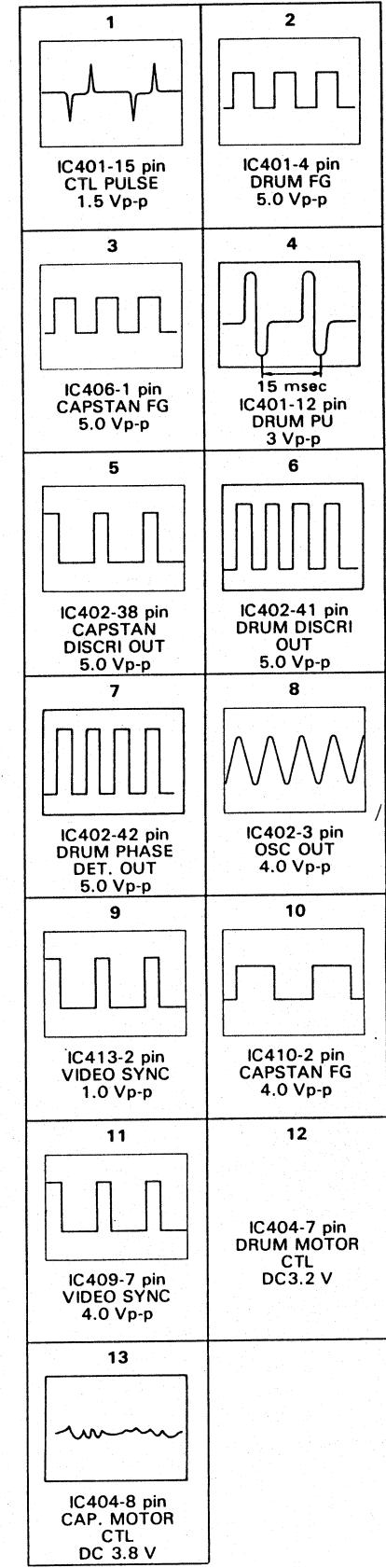
03







Servo-Oszillogramme  
Servo Waveforms

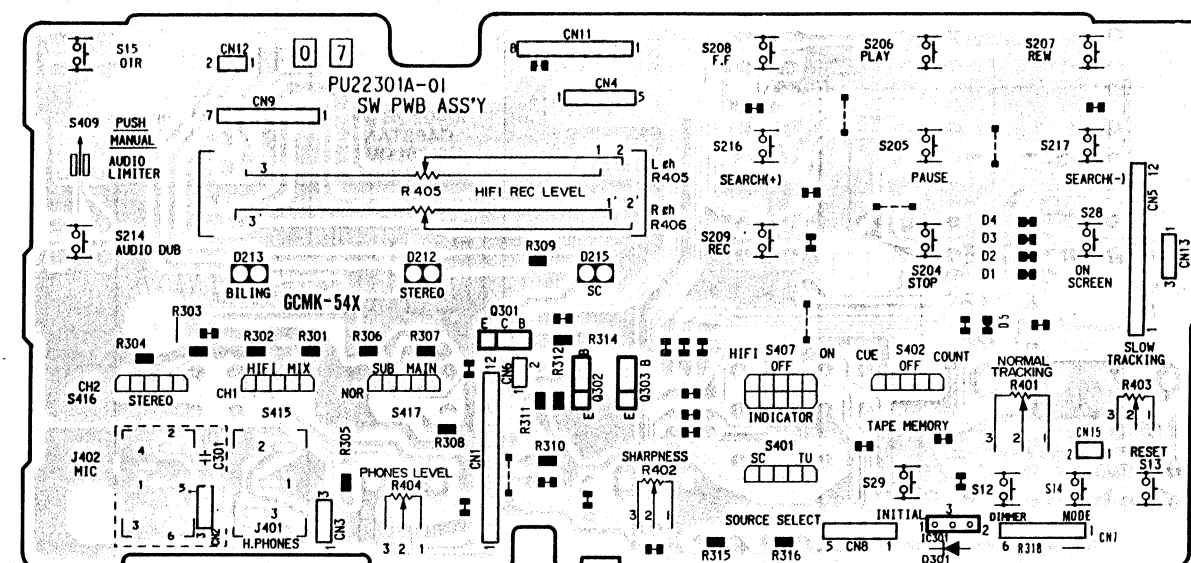


Grau unterlegte Bauteile sind Sicherheitsbauteile und dürfen nur durch Originalteile ersetzt werden!

Alle Gleichspannungen sind mit einem Digitalvoltmeter im Wiedergabe-Betrieb gemessen.

NOTES:  
1. Shaded (■) parts are critical for safety. Replace only with specified part numbers.  
2. Voltages are DC-measured with a digital voltmeter during PLAY BACK mode.



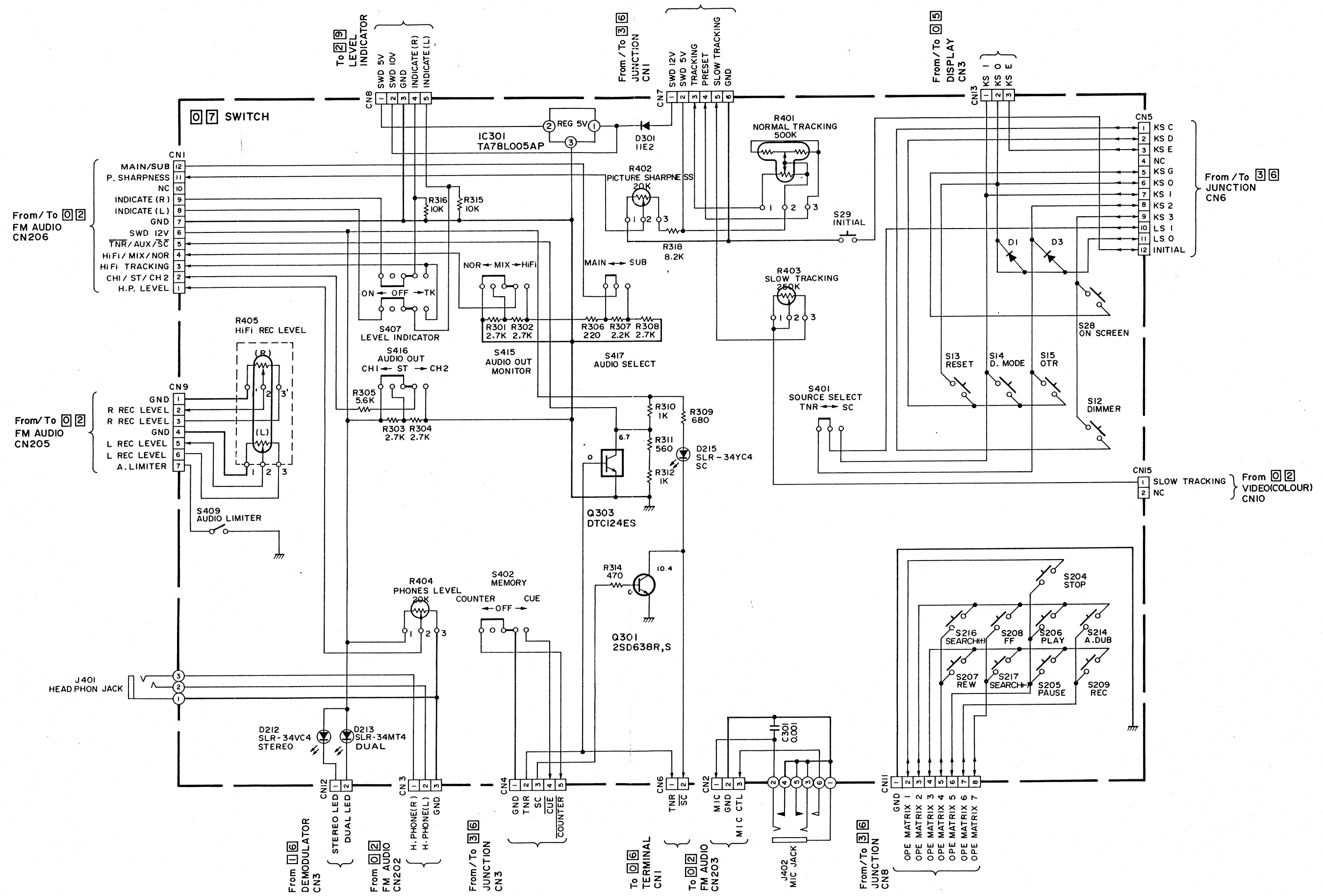


0

7

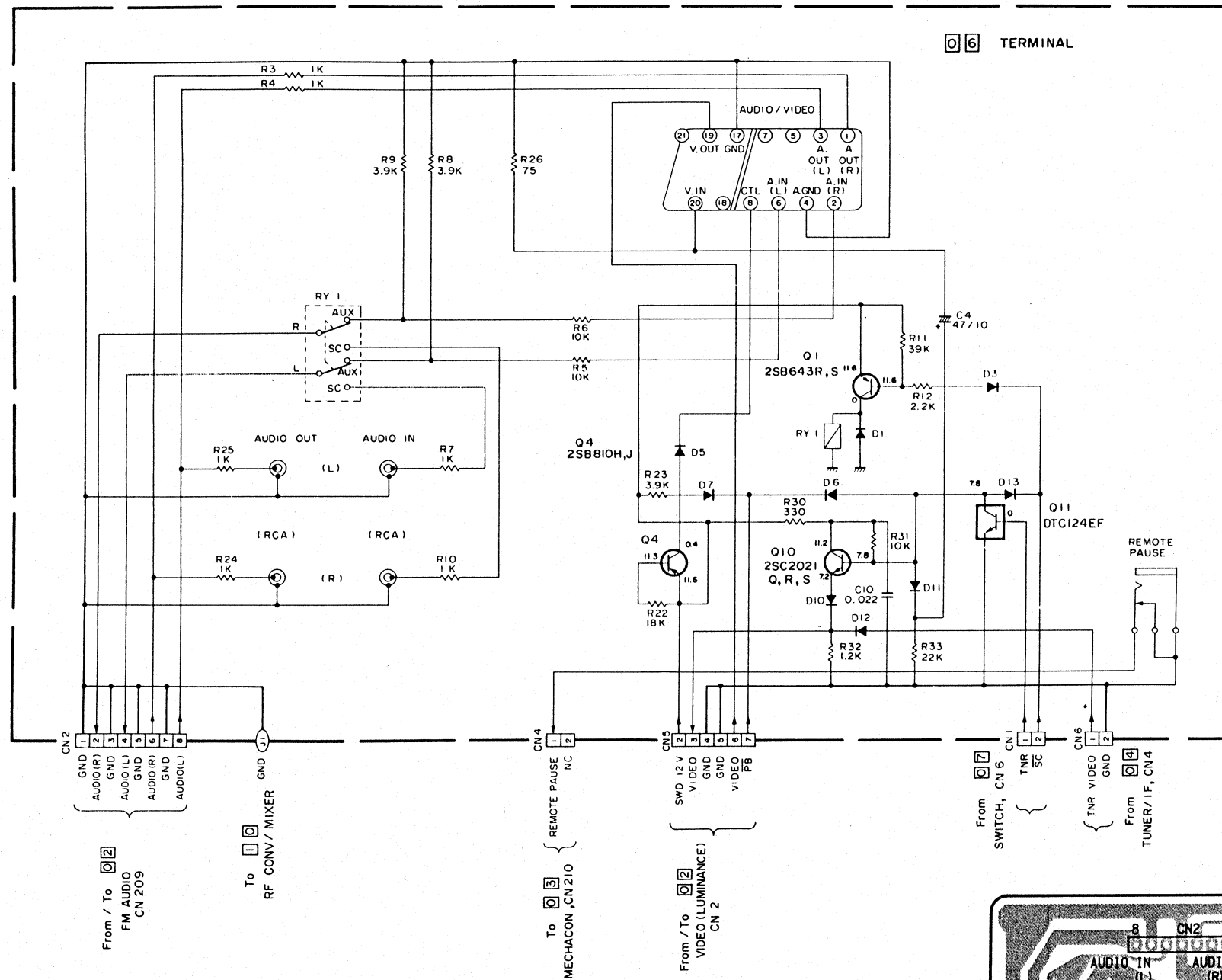
## Schalter-Schaltung

## Switch Schematic Diagram





0 6 Anschlußbuchsen  
Terminal

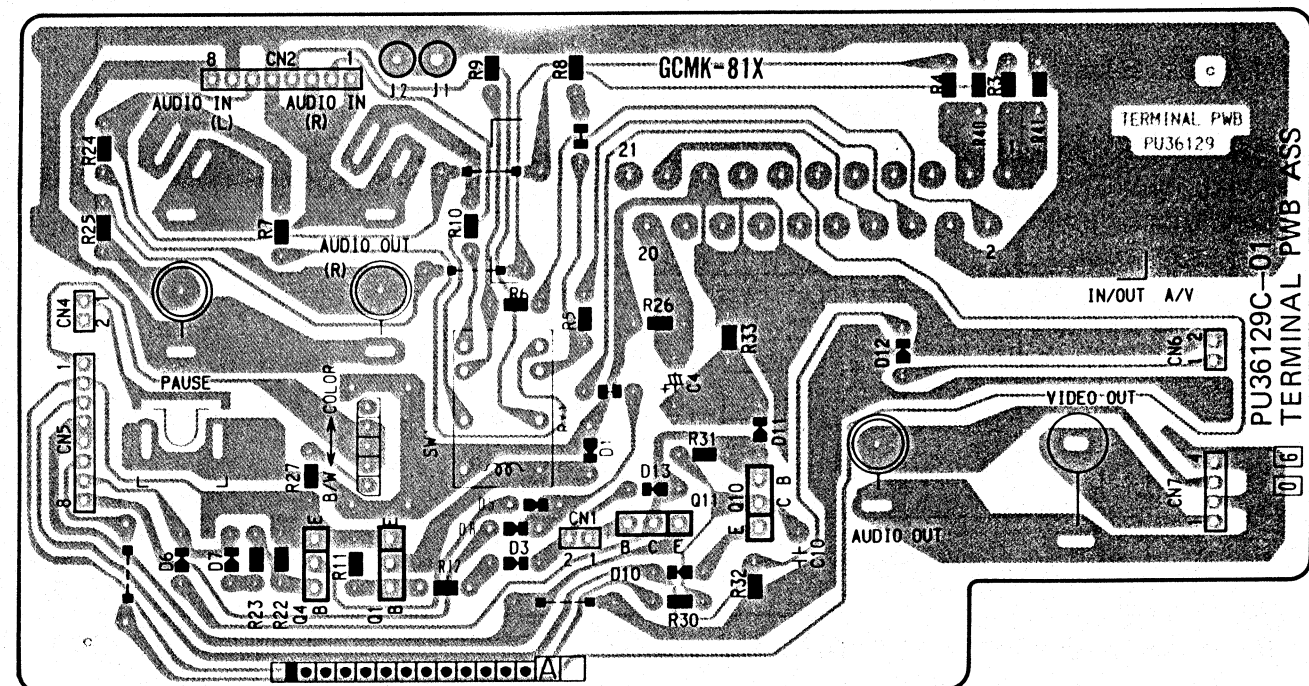


NOTE

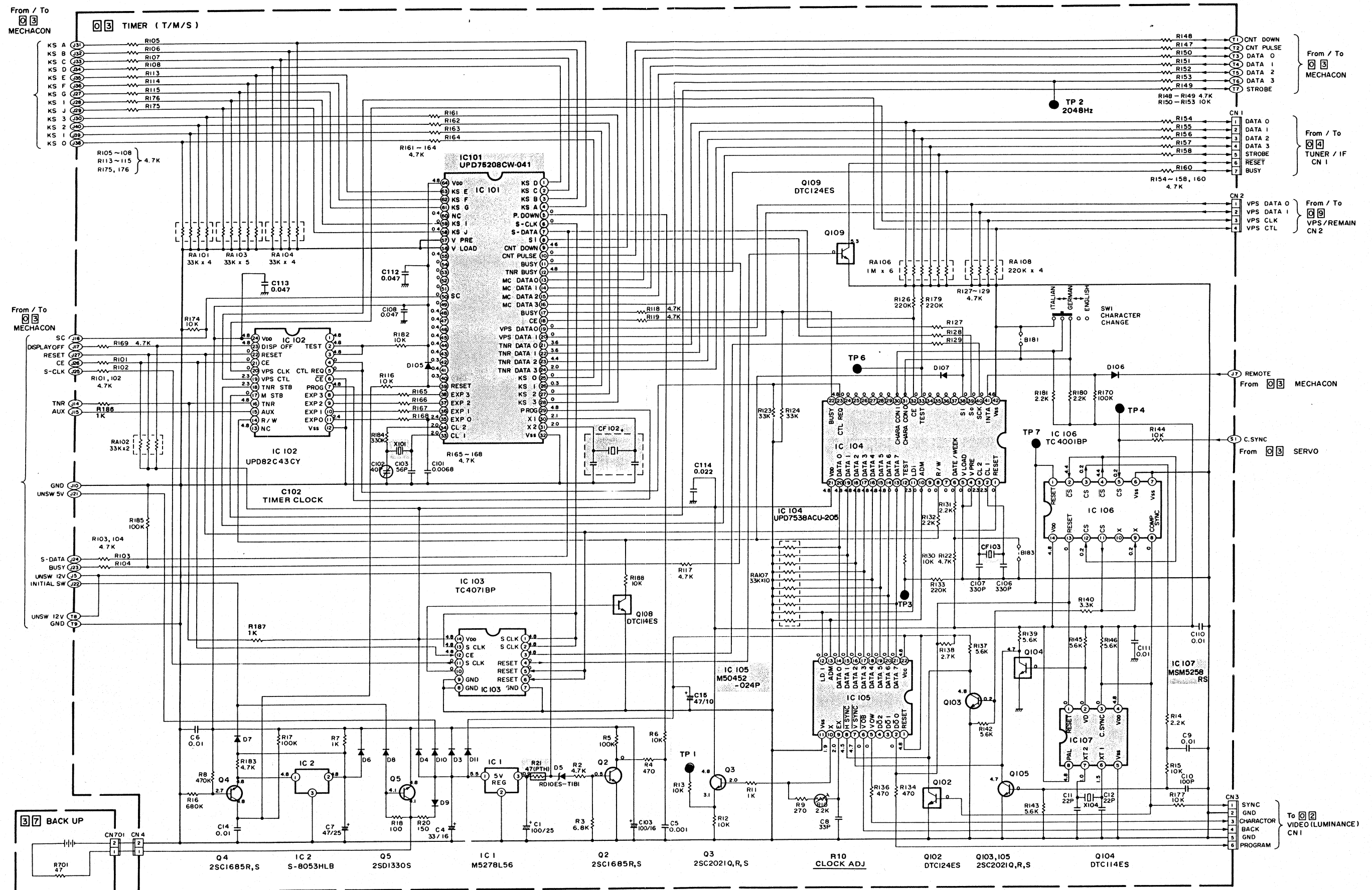
Voltages are DC-measured with a digital voltmeter during stop mode.

Alle Gleichspannungen sind mit einem Digitalvoltmeter im Stopp-Betrieb gemessen.

0 6 Anschlußbuchsen-Platte  
Terminal Circuit Board



# 0 3 Timer-Schaltung Timer Schematic Diagram



Alle Gleichspannungen sind mit einem Digitalvoltmeter im Stopp-Betrieb gemessen.

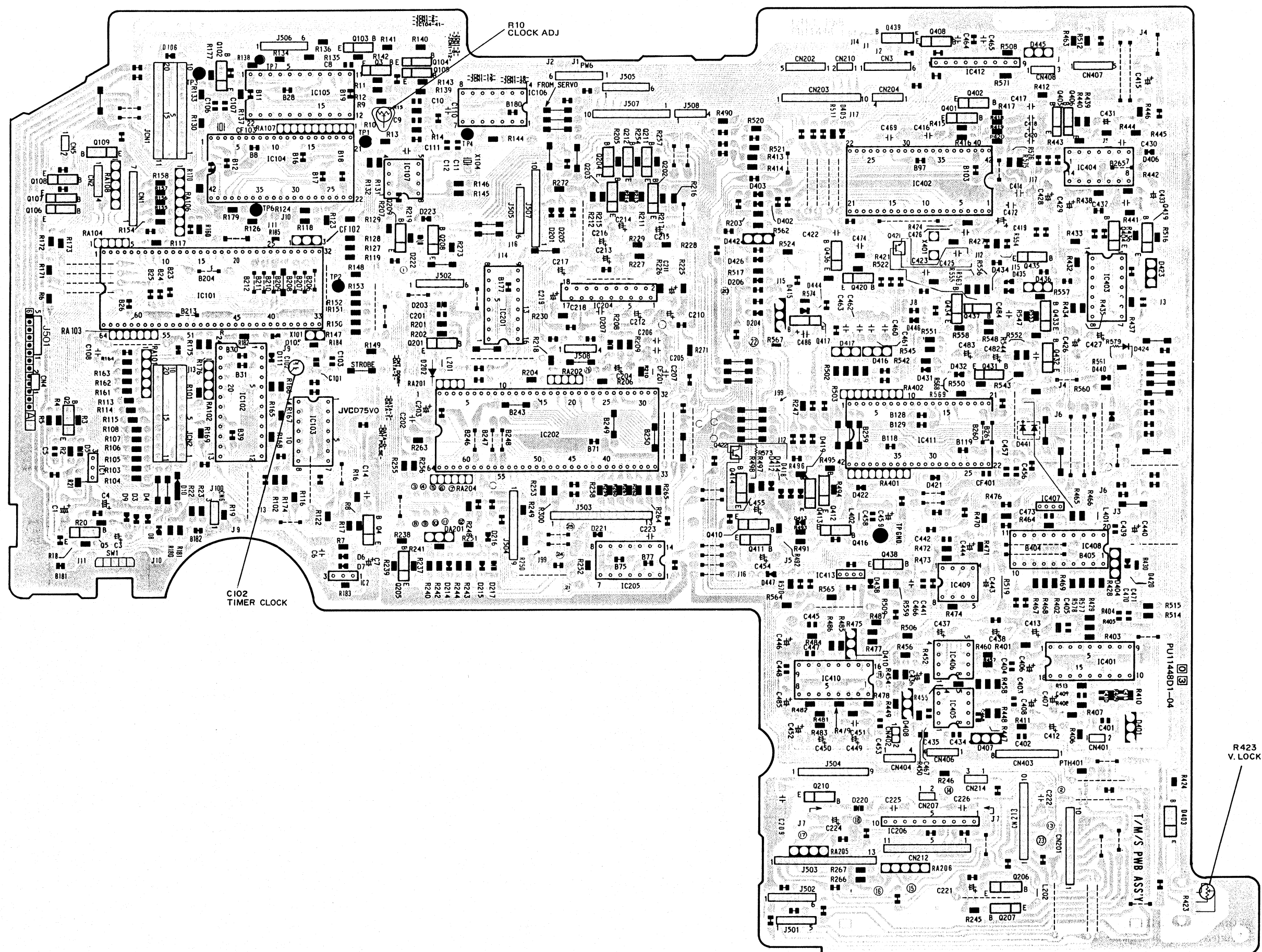
Grau unterlegte Bauteile sind Sicherheitsbauteile und dürfen nur durch Originalteile ersetzt werden!

## NOTES:

1. Shaded (■) parts are critical for safety. Replace only with specified part numbers.

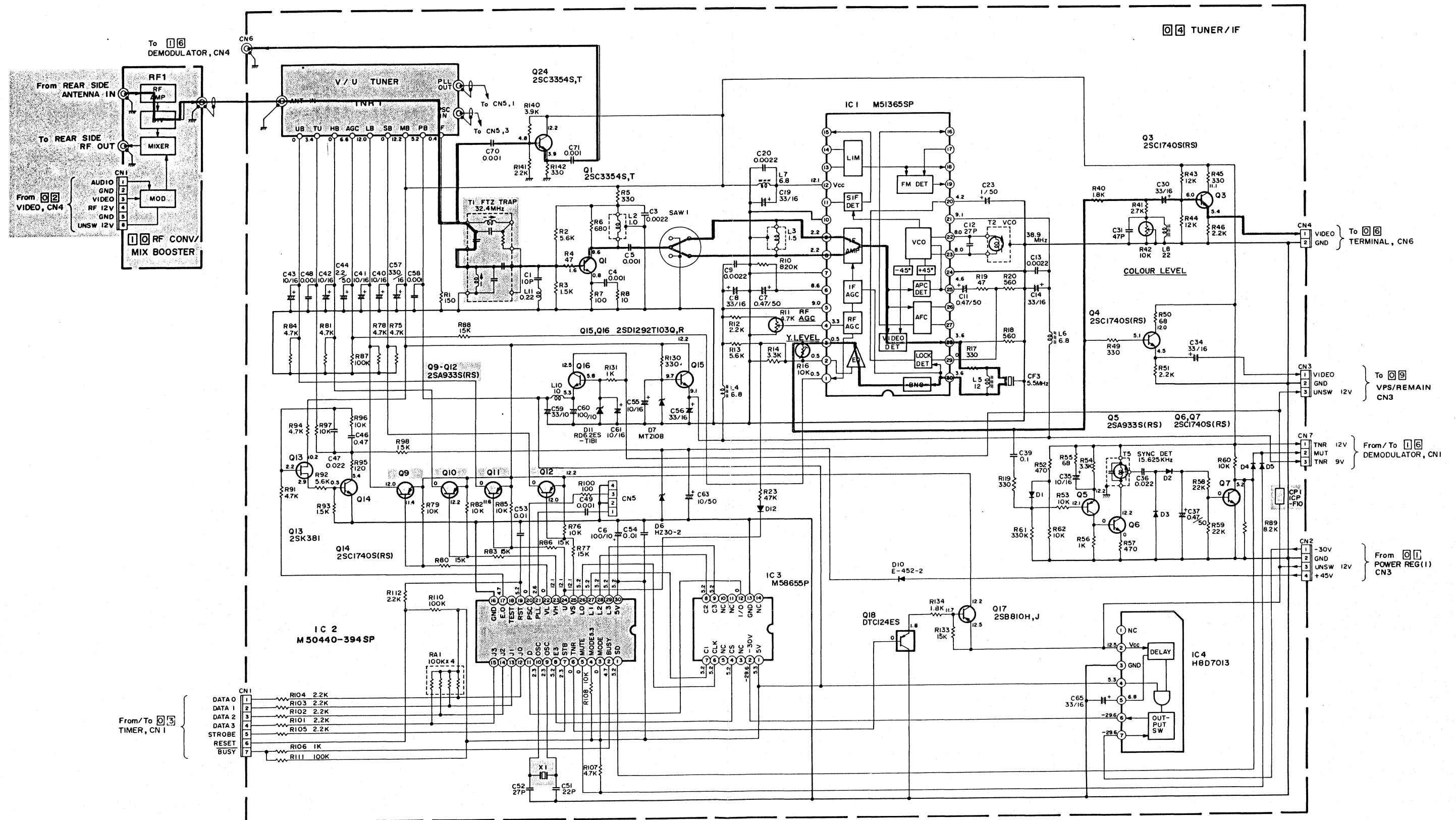
2. Voltages are DC-measured with a digital voltmeter during stop mode.

## Timer-Platte Timer Circuit Board





# 0 4 **Tuner/ZF-Schaltung** **Tuner/IF Schematic Diagram**



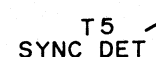
Grau unterlegte Bauteile sind Sicherheitsbauteile und dürfen nur durch Originalteile ersetzt werden!

Alle Gleichspannungen sind mit einem Digitalvoltmeter im Stopp-Betrieb gemessen.

## NOTES:

1. Shaded (■) parts are critical for safety. Replace only with specified part numbers.

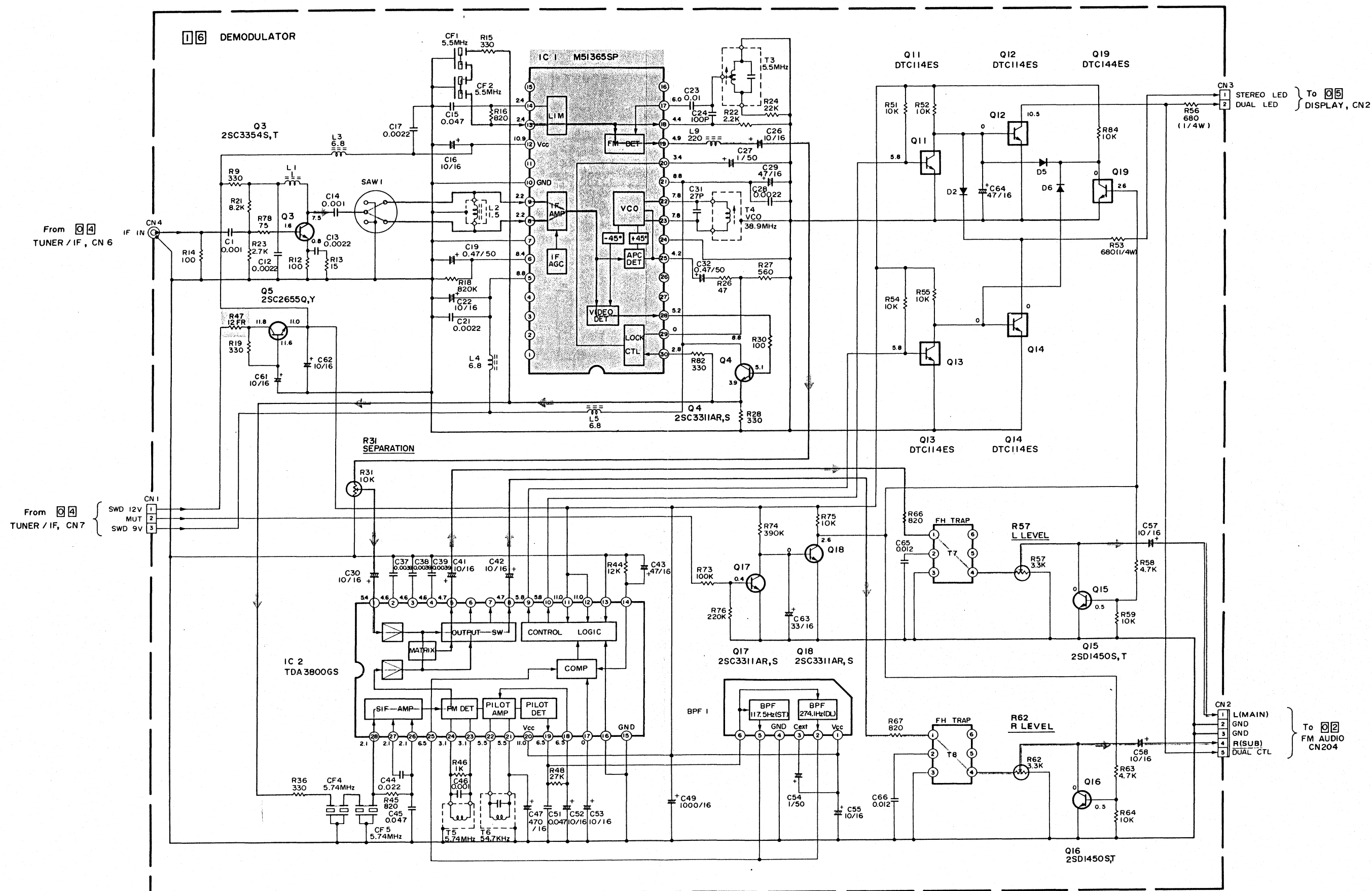
2. Voltages are DC-measured with a digital voltmeter during stop mode.



# 1 6 Demodulator-Schaltung Demodulator Schematic Diagram

Grau unterlegte Bauteile sind Sicherheitsbauteile und dürfen nur durch Originalteile ersetzt werden!

Alle Gleichspannungen sind mit einem Digitalvoltmeter im Stopp-Betrieb gemessen.

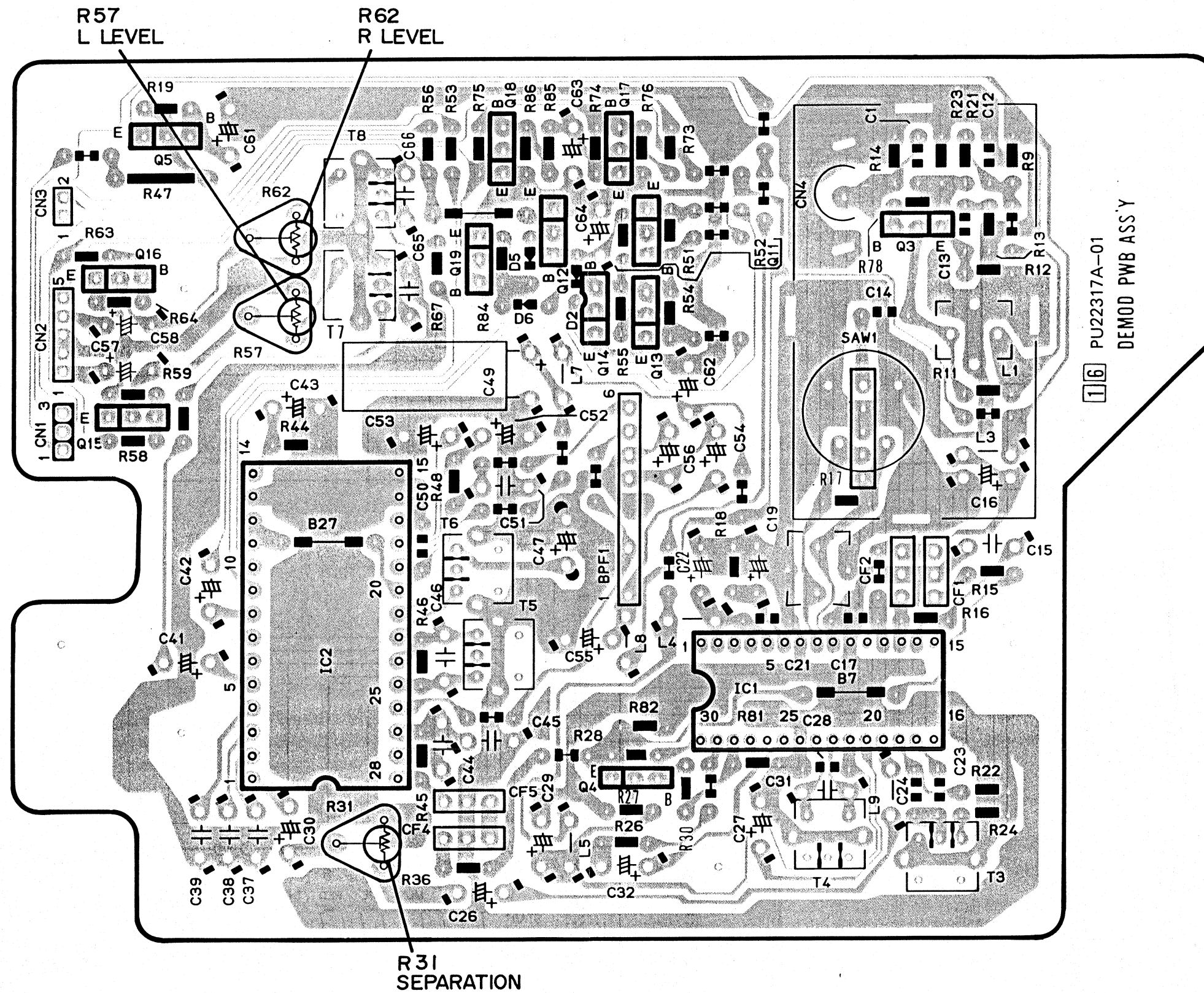


## NOTES:

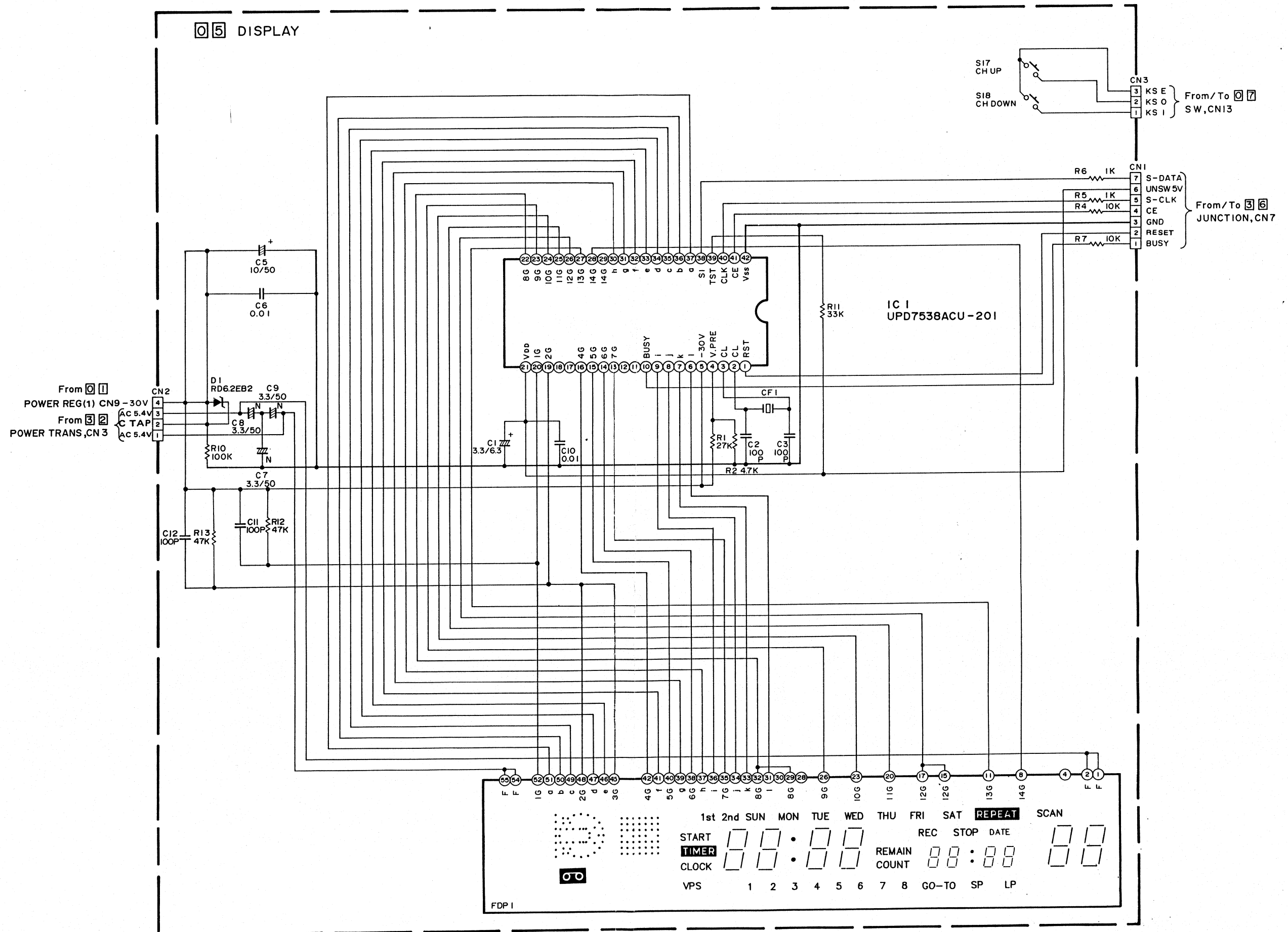
1. Shaded (■) parts are critical for safety. Replace only with specified part numbers.
2. Voltages are DC-measured with a digital voltmeter during stop mode.



1 6 Demodulator-Platte  
Demodulator Circuit Board

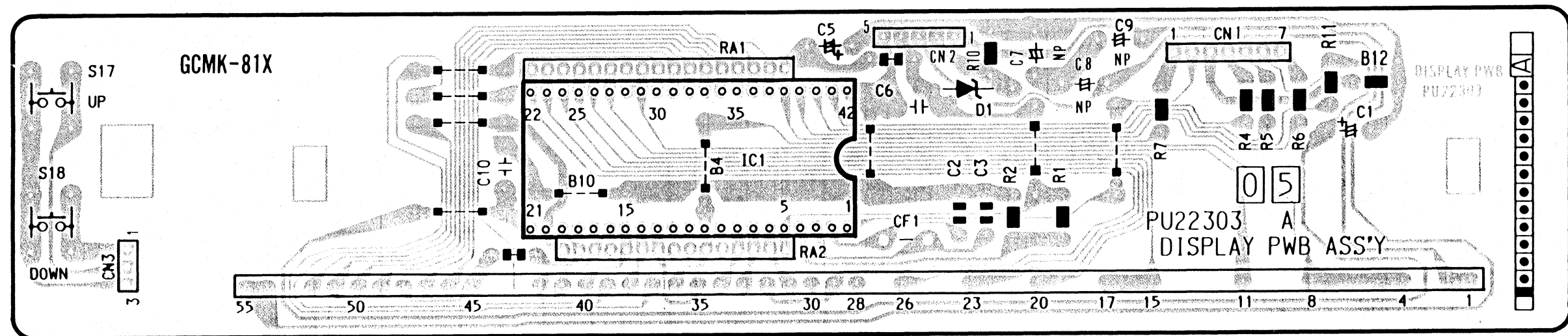


# 0 5 Anzeige-Schaltung Display Schematic Diagram

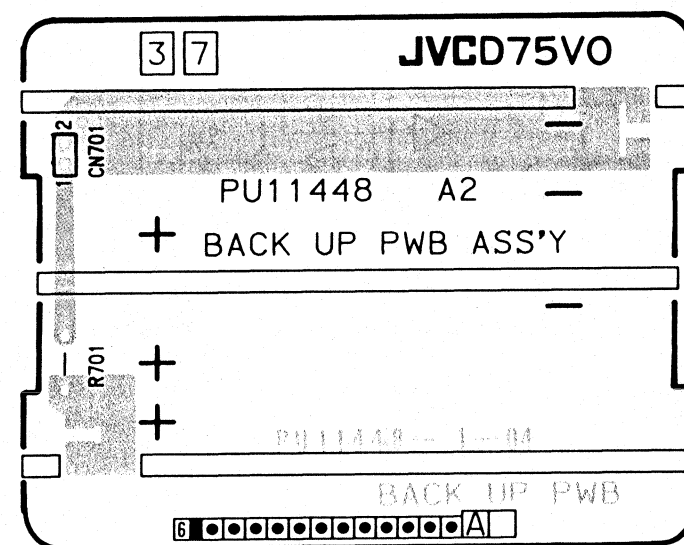




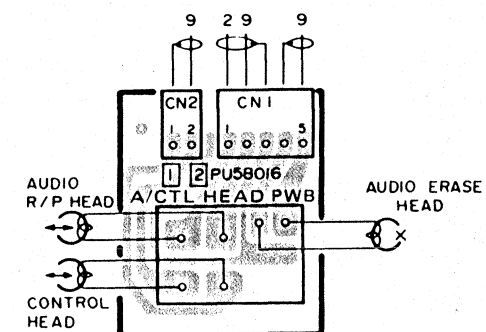
5



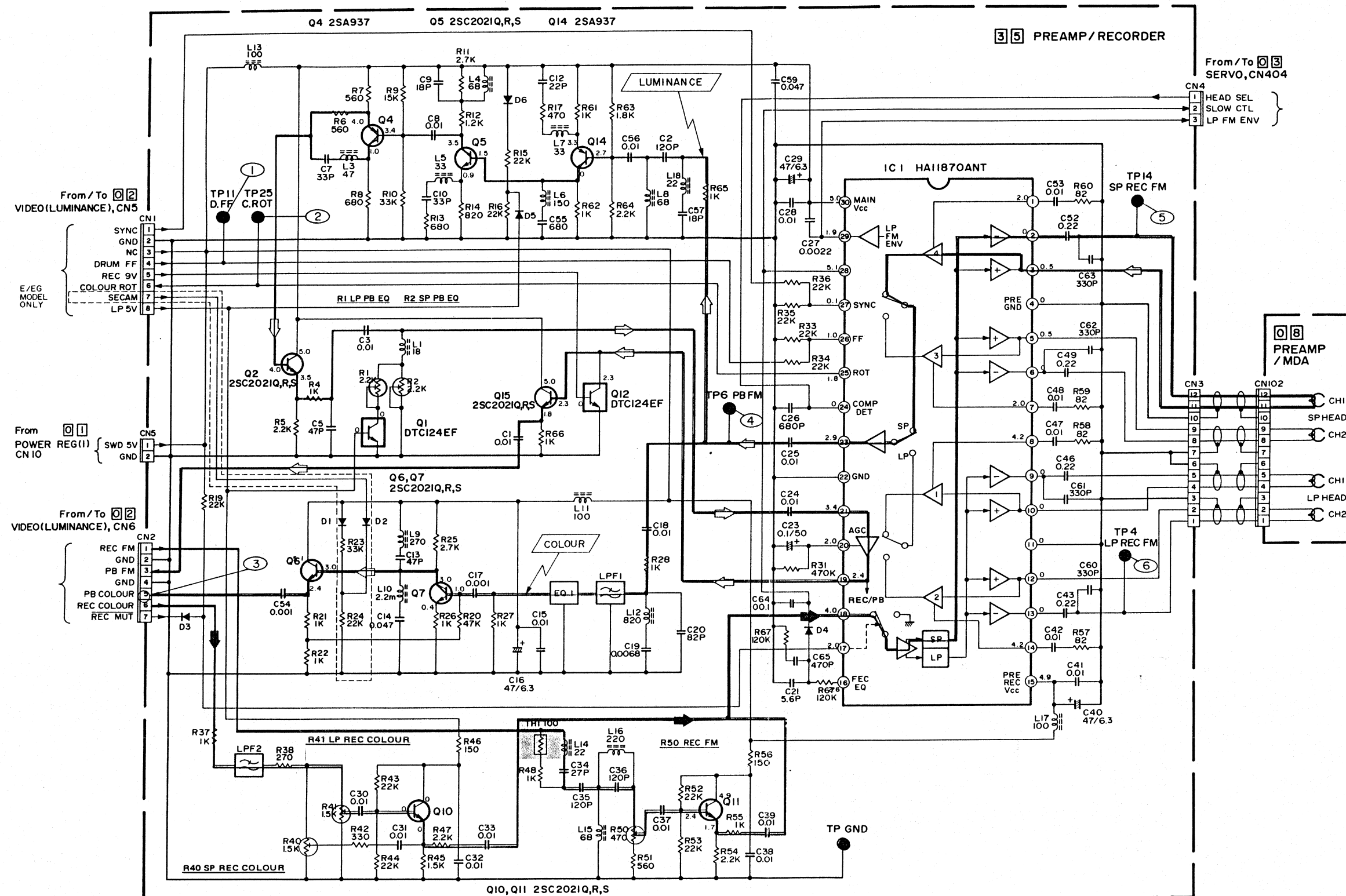
## 7



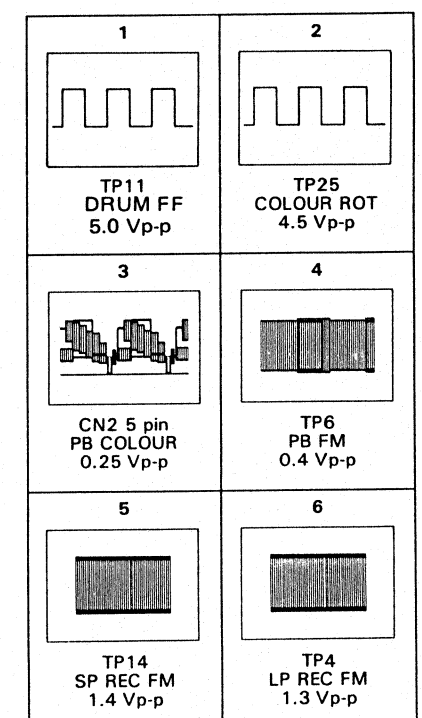
## 2



# 3 5 **Aufnahme-Vorverstärker Schaltung** **Pre/Rec Schematic Diagram**



**Aufnahme-Vorverstärker Oszillogramme**  
**Pre/Rec Waveforms**

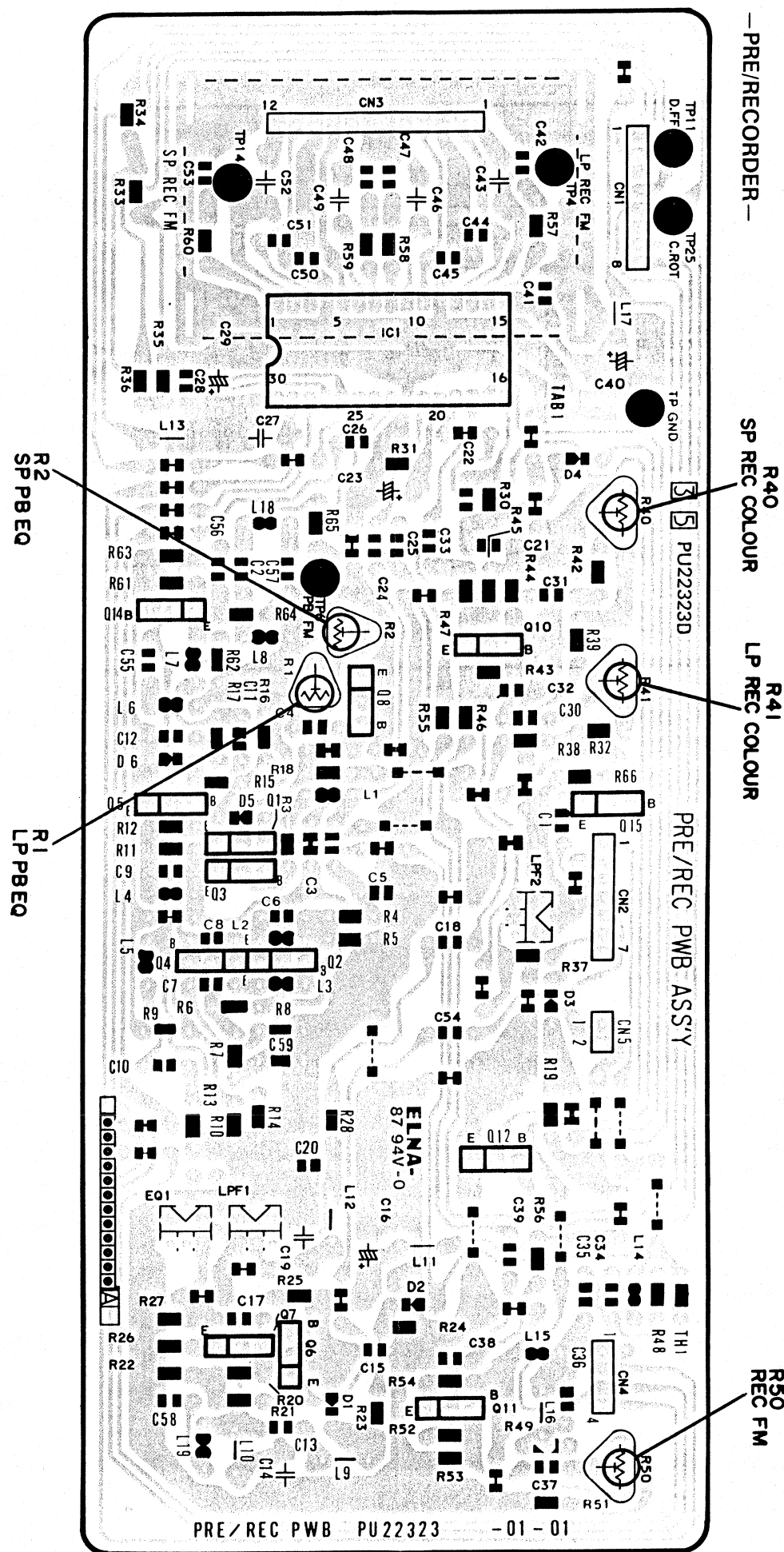


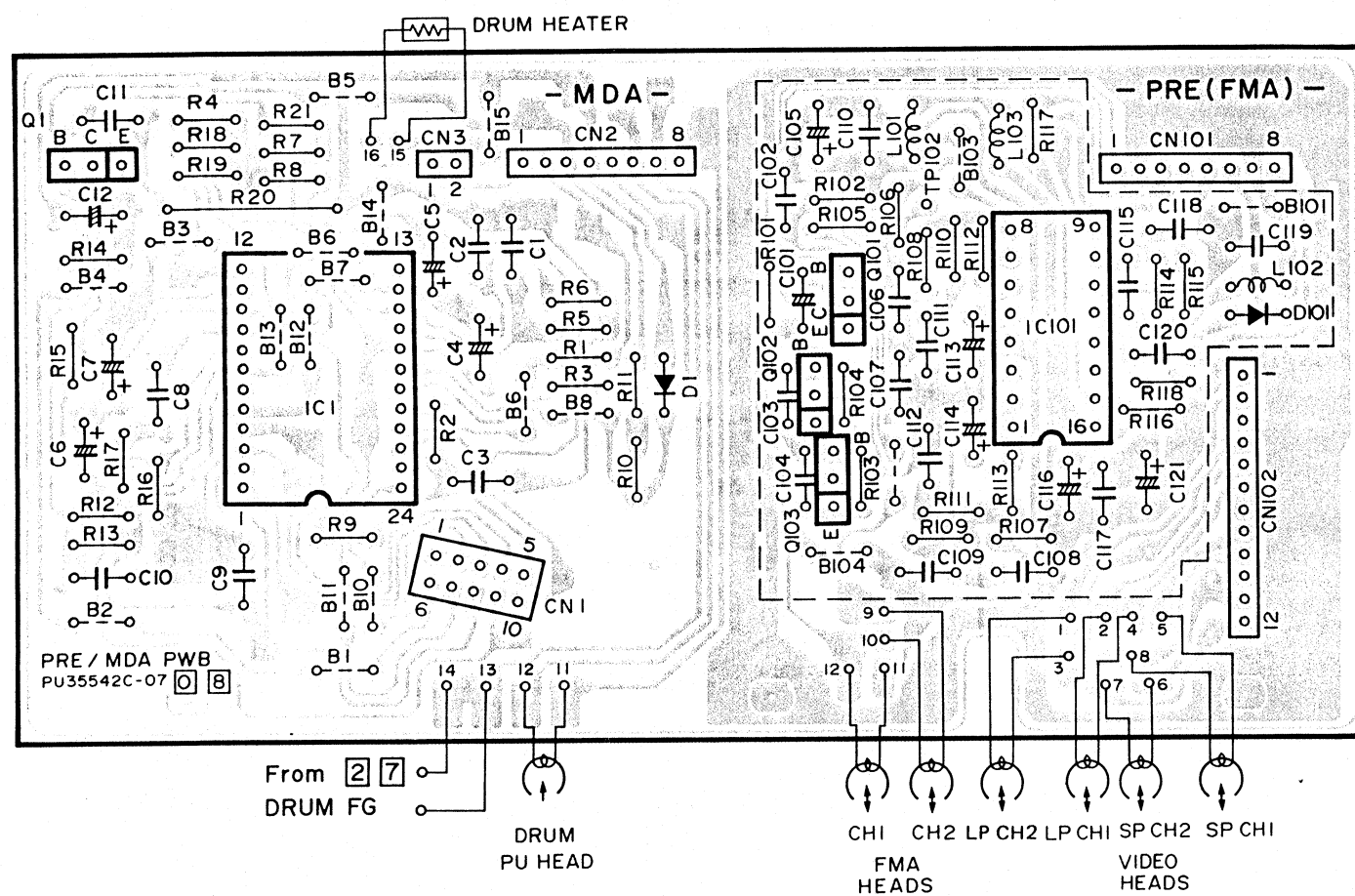
Alle Gleichspannungen sind mit einem Digitalvoltmeter  
im Wiedergabe-Betrieb gemessen.

Grau unterlegte Bauteile sind Sicherheitsbauteile und  
dürfen nur durch Originalteile ersetzt werden!

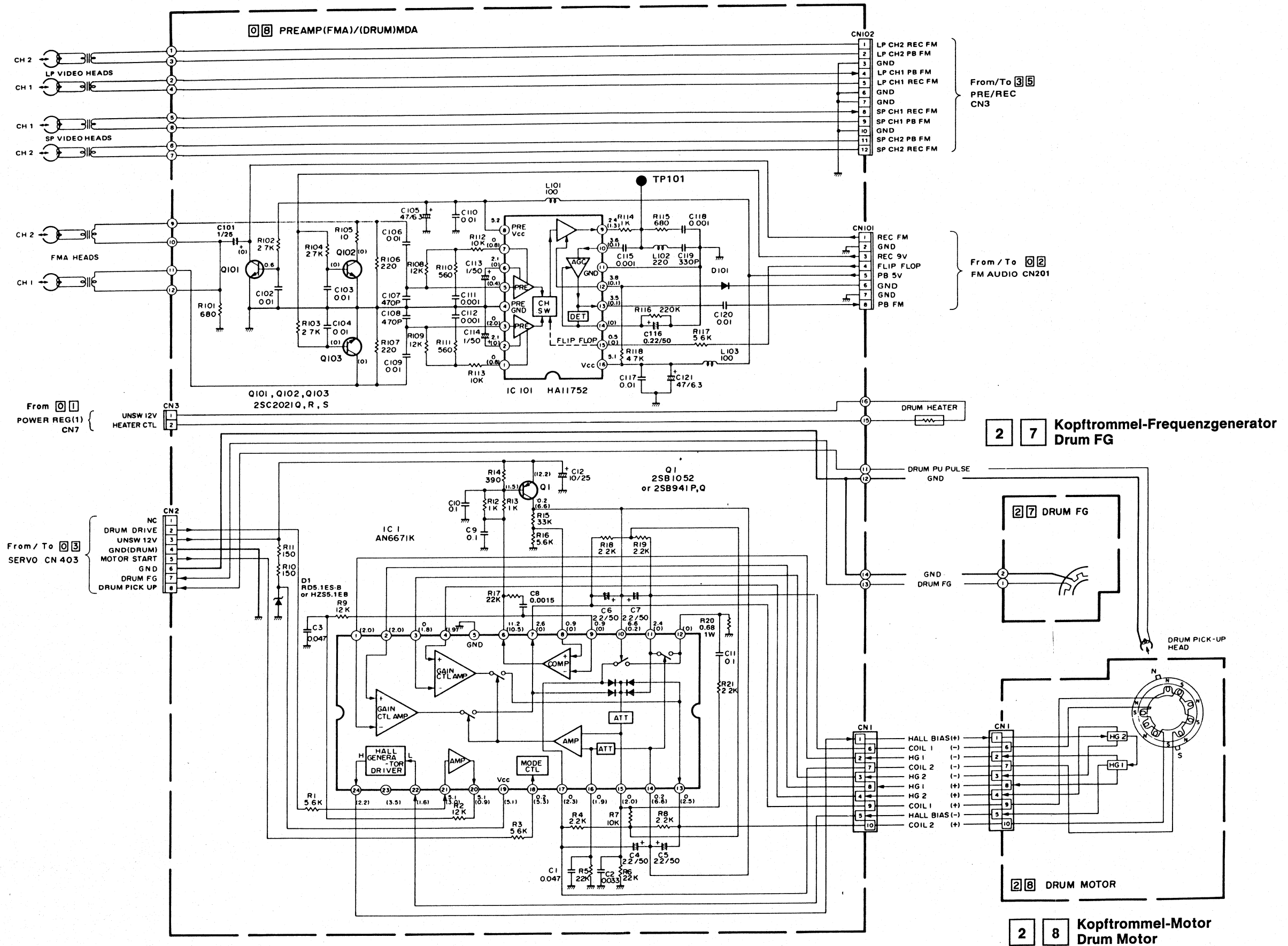
## NOTES:

- Shaded (■) parts are critical for safety. Replace only with specified part numbers.
- Voltages are DC-measured with a digital voltmeter during PLAY BACK mode.





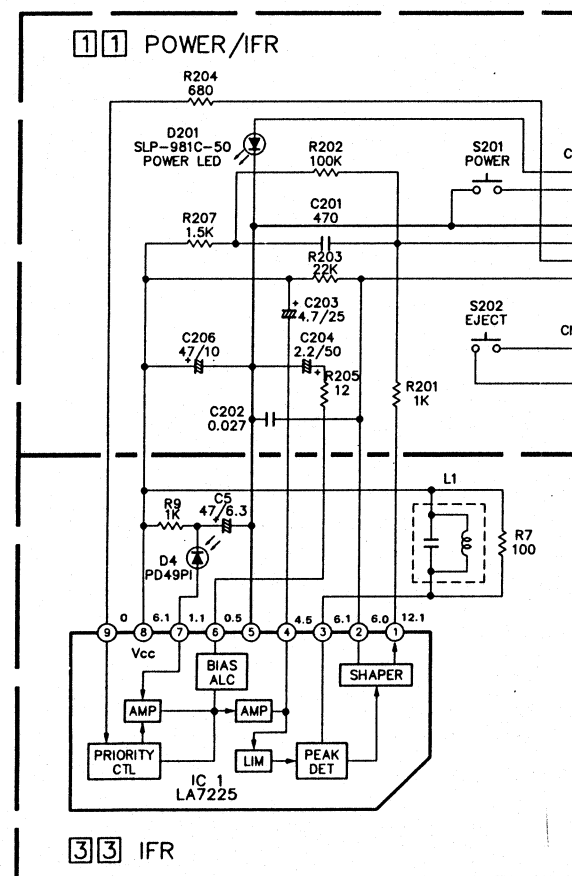
**0 8 Vorverstärker/Kopftrommel MDA-Schaltung**  
**Pre AMP/Drum MDA Schematic Diagram**





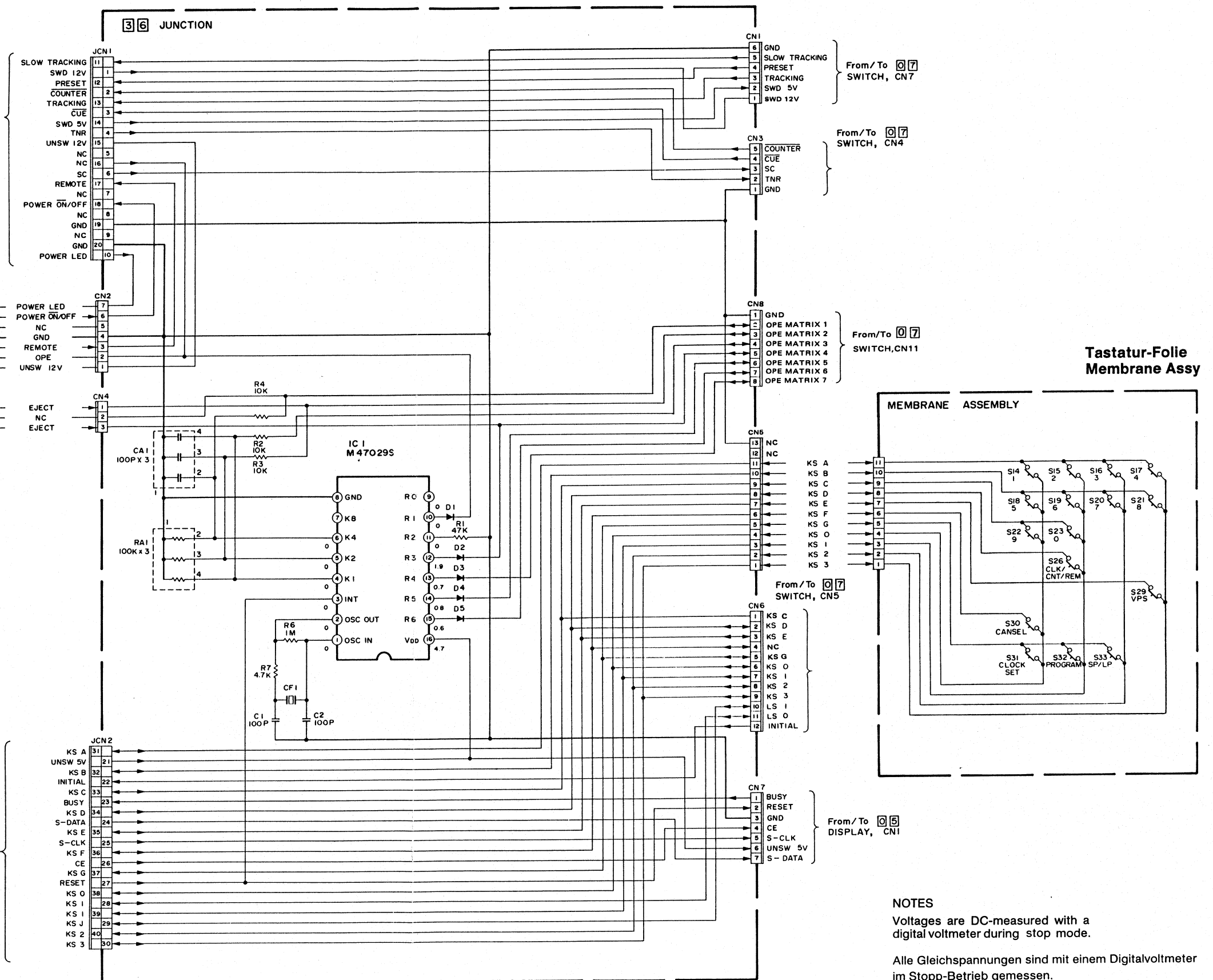
# 3 6 Verbindungs-Schaltung Junction Schematic Diagram

## 1 1 Power/Infrarot-Schaltung Power/IFR Schematic Diagram

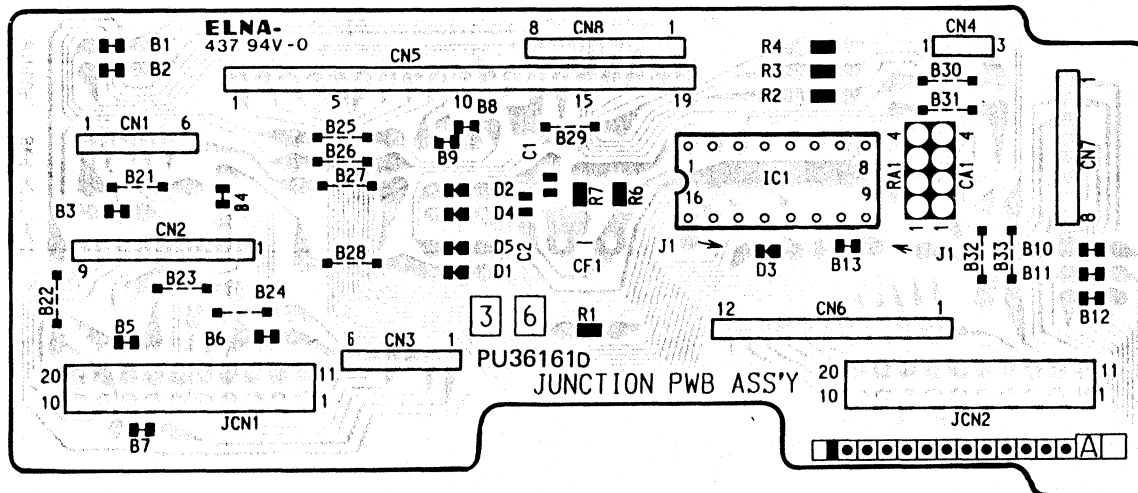


## 3 3 Infrarot-Schaltung IFR Schematic Diagram

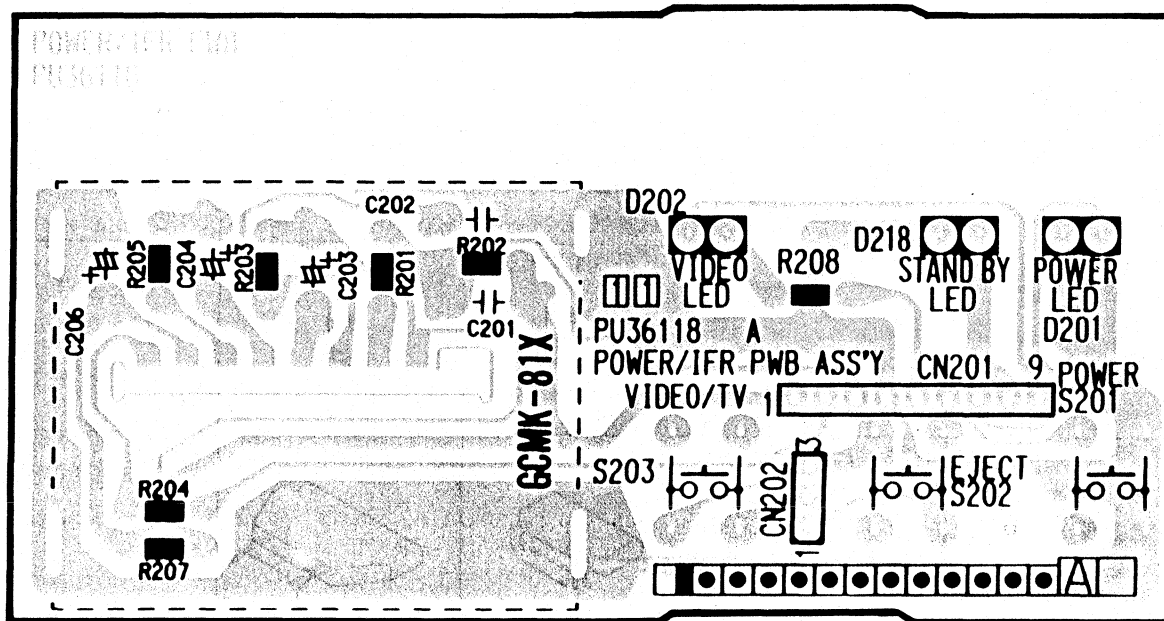
From/To 0 3  
MECHACON, JCN2



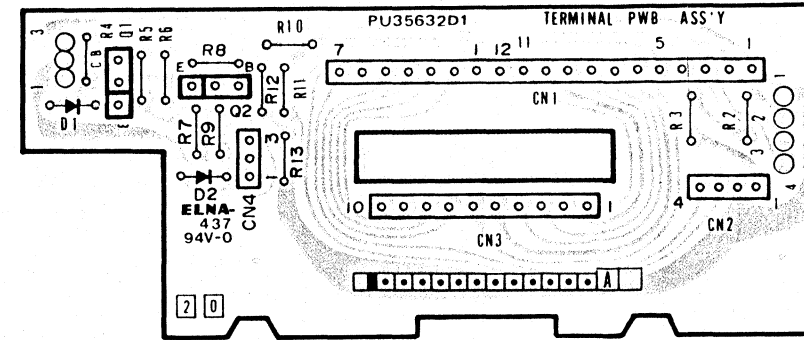
**3 6 Verbindungs-Platte**  
**Junction Circuit Board**



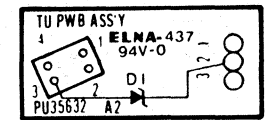
**1 1 Power/Infrarot-Platte**  
**Power/IFR Circuit Board**



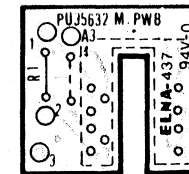
**2 0 Laufwerk-Anschlußplatte**  
**Deck Terminal Circuit Board**



**2 2 Aufwickelteller-Sensor**  
**Take up Sensor**



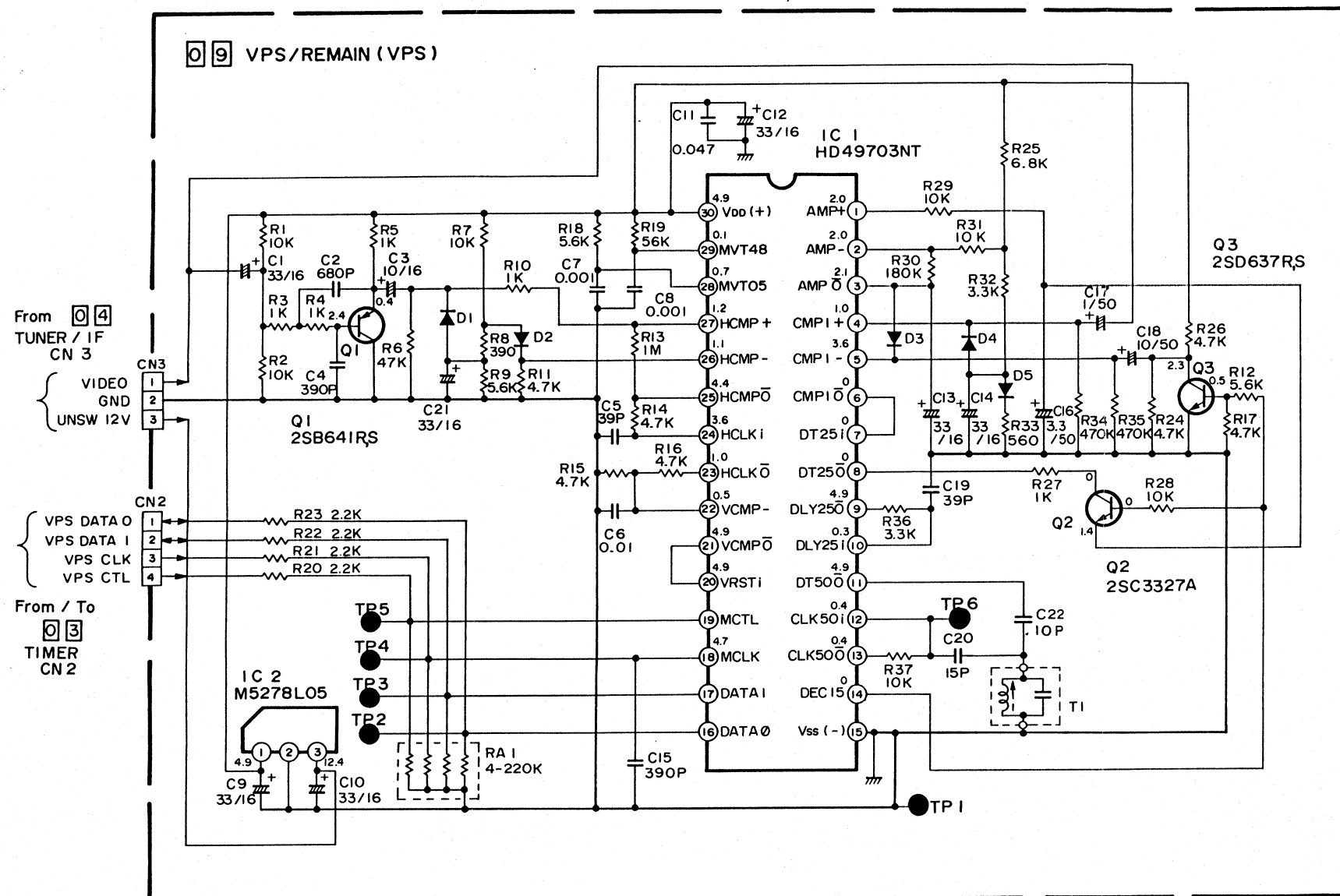
**1 4 Fädel/Steuer-Sensor**  
**Loading/Mode Sensor**



0

9

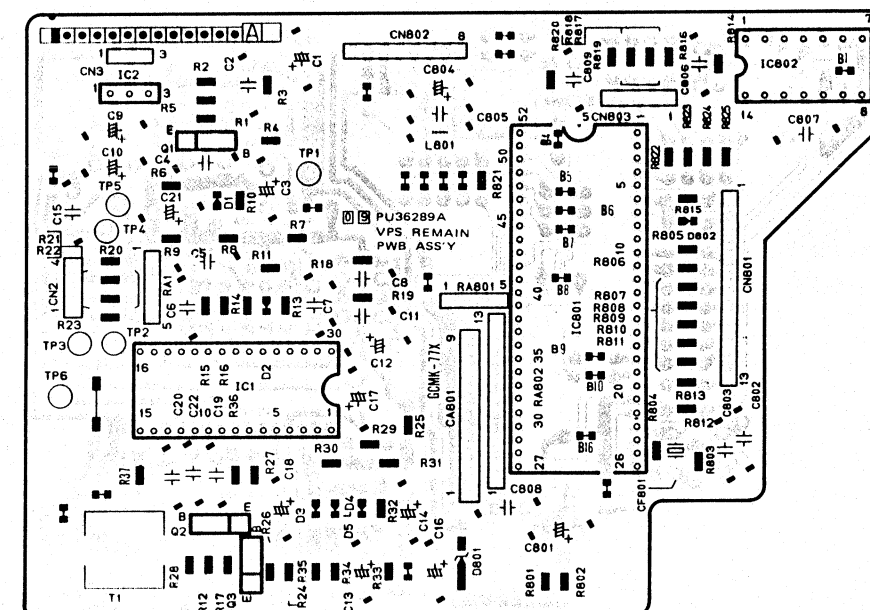
VPS-Schaltung  
VPS Schematic Diagram



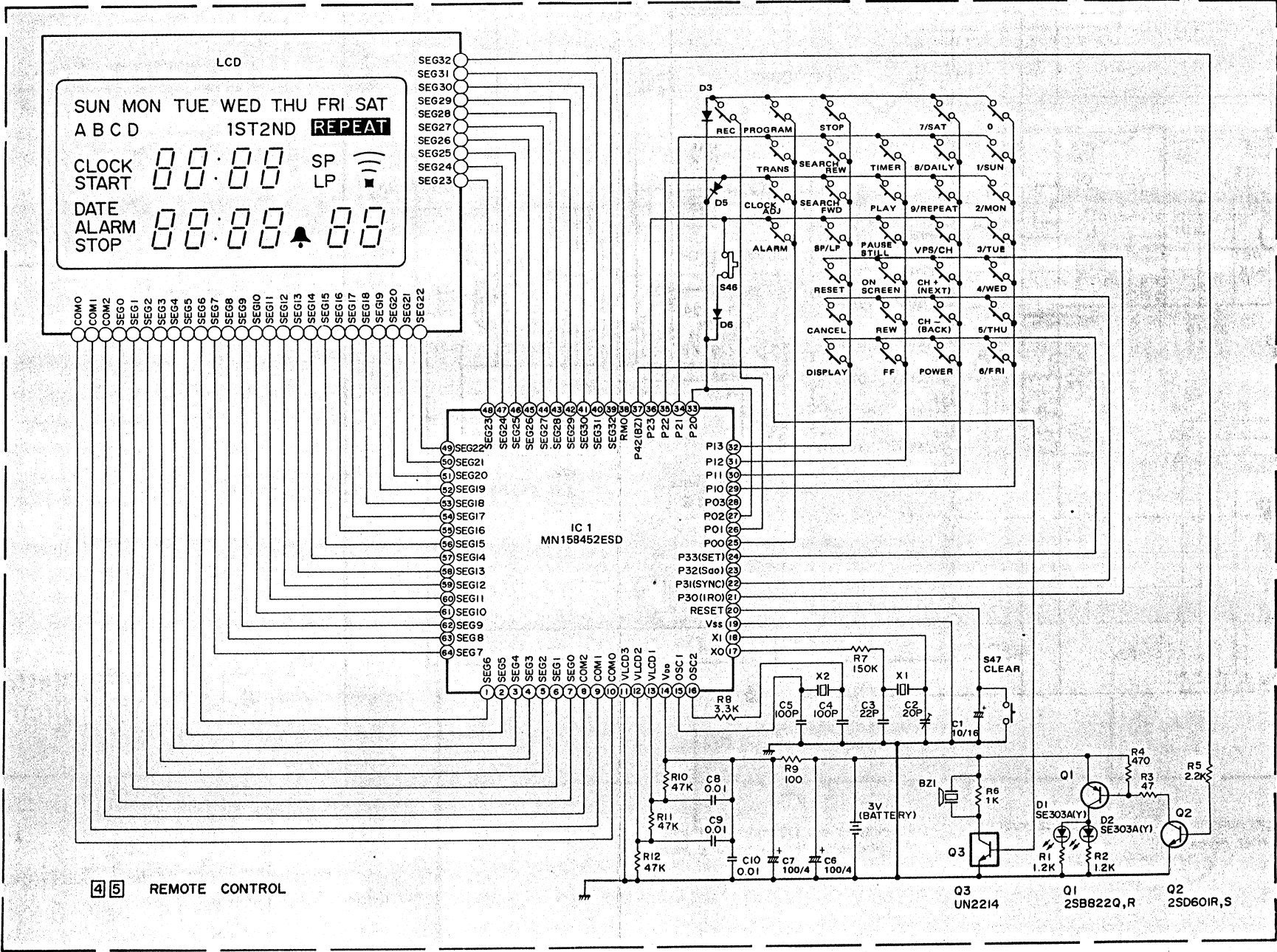
0

9

VPS-Platte  
VPS Circuit Board







Transistoren  
Transistors

Anschlußbelegung  
Pin Connections

	20	21	22	23	24
A					
B					
C					
D					
E					
F					
G					
H					
I					

Integrierte Schaltungen  
Integrated Circuits

Anschlußbelegung  
Pin Connections

	1	2	3	4	5
A					
B					
C					
D					
E					
F					
G					
H					
I					